

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5356253号
(P5356253)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	
HO 1 L 21/8247 (2006.01)	
HO 1 L 27/115 (2006.01)	

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2009-546462 (P2009-546462)	(73) 特許権者	504199127
(86) (22) 出願日	平成20年1月10日 (2008.1.10)		フリースケール セミコンダクター イン
(65) 公表番号	特表2010-517270 (P2010-517270A)		コーポレイテッド
(43) 公表日	平成22年5月20日 (2010.5.20)		アメリカ合衆国 テキサス州 78735
(86) 国際出願番号	PCT/US2008/050693		オースティン ウィリアム キャノン
(87) 国際公開番号	W02008/091736		ドライブ ウェスト 6501
(87) 国際公開日	平成20年7月31日 (2008.7.31)	(74) 代理人	100142907
審査請求日	平成23年1月7日 (2011.1.7)		弁理士 本田 淳
(31) 優先権主張番号	11/625,882	(72) 発明者	ラオ、ラジェッシュ
(32) 優先日	平成19年1月23日 (2007.1.23)		アメリカ合衆国 78753 テキサス州
(33) 優先権主張国	米国 (US)		オースティン ツェラー レーン 12
			524

最終頁に続く

(54) 【発明の名称】 不揮発性メモリデバイスを作製する方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板を使用する、不揮発性メモリの製造方法において、
 電荷を蓄積する材料を含む電荷蓄積層を形成する工程と、
 前記電荷蓄積層の上にコントロールゲート電極を形成する工程と、
 前記コントロールゲート電極の上に設けられる保護層であって、酸化物、シリコンおよび窒化物をエッチングしないエッチャントによってエッチングされることができることによってエッチ選択性を可能にする、保護層を形成する工程と、
 前記コントロールゲート電極に隣接する第1側壁スペーサを形成する工程と、
 前記第1側壁スペーサに隣接する第2側壁スペーサを形成する工程と、
 前記コントロールゲート電極の対向する両側面の一方に隣接する残りの第2側壁スペーサを残したまま、前記コントロールゲート電極の他方の側面から前記第2側壁スペーサを除去する工程と、
 前記第1側壁スペーサの外側縁部および前記第2側壁スペーサの外側縁部にそれぞれ整合して前記半導体基板内に第1および第2電流電極領域を形成する工程と、
 前記残りの第2側壁スペーサからセレクトゲート電極を形成する工程と、
 前記コントロールゲート電極の上の前記保護層を除去する工程と、
 前記コントロールゲート電極、前記セレクトゲート電極ならびに前記第1および第2電流電極領域に対して電気コンタクトを作製する工程とを備える、方法。

【請求項2】

ナノクラスタ層として前記電荷蓄積層を形成する工程をさらに備える、請求項1に記載の方法。

【請求項3】

前記保護層を形成する工程は、

シリコンゲルマニウムまたは窒化材料を含む第1材料層を形成する工程と、

前記第1材料層の上に設けられる酸化物を含む第2材料層を形成する工程とをさらに備える、請求項1に記載の方法。

【請求項4】

誘電性材料から前記第1側壁スペーサを形成する工程と、

伝導性材料から前記第2側壁スペーサを形成する工程とをさらに備える、請求項1に記載の方法。

10

【請求項5】

前記残りの第2側壁スペーサおよび前記第1側壁スペーサの露出した部分に隣接して、誘電性材料を含む第3側壁スペーサを形成する工程をさらに備える、請求項1に記載の方法。

【請求項6】

前記コントロールゲート電極の一部分の上に設けられるとともに、前記第1側壁スペーサの露出した内側側壁に隣接するように、電気絶縁性材料からなる第4側壁スペーサを形成する工程と、

前記第3側壁スペーサの外側で横方向に、同様に電気絶縁性材料を含む第5側壁スペーサを形成する工程とをさらに備える、請求項5に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、半導体デバイスに関し、より具体的には、不揮発性メモリに関する。

【背景技術】

【0002】

不揮発性メモリ(NVM)は、スタンドアロンデバイスとしてまたはロジックを有するオンボードチップなどの埋め込み用途として現在の半導体製品において主要な役割を果たす。マイクロコントローラの高いパーセンテージが、こうしたNVMを含む。通常、こうしたNVMは、各メモリデバイス用の浮遊ゲートを有する。利用可能になりつつある代替法は、電荷蓄積層についてナノ結晶を使用することであり、ナノ結晶は、改善された信頼性を提供するが、プログラムされた状態とイレーズされた状態との間の差が小さい点で小さなメモリウィンドウを有する。これの主要な原因は、イレーズ中に、電極が、電荷蓄積層内に逆方向注入されることである。イレーズの場合、典型的であるNMOSメモリセル内のコントロールゲートは、基板に対して負電圧でバイアスされて、電子を電荷蓄積層から基板に押しやる。コントロールゲートは、通常、ソースおよびドレインと同じ伝導型にドーピングされるため、負バイアスは、また、電子をコントロールゲートから蓄積層に押しやる。イレーズ中に、蓄積層からの除去電子のレートが、ゲートから電荷層に到着する電子レートと同じになる点に達する。これが起こると、たとえ電子の正味の平衡が電荷蓄積層内に残っていても、さらなるイレーズは起こらない。この現象は、また、シリコン酸化物窒化物酸化物シリコン(silicon-oxide-nitride oxide-silicon)(SONOS)メモリセル内でかなりの程度に存在する。

30

40

【0003】

この逆方向注入を低減するための知られている手法は、N型ソース/ドレインを有するPドーピングされたゲートを使用することである。しかし、このデバイスは製造するのが難しい。それは、ゲートが、好ましくは、ソース/ドレイン打込み中にマスクとして使用されるため、特別なマスクングステップが使用されない限り、ゲートが、ソース/ドレインと同じドーピングを受けるからである。さらなるマスクングは、ソース/ドレインが、ゲ-

50

トに自己整合しないようにさせる傾向がある。

【発明の概要】

【発明が解決しようとする課題】

【0004】

そのため、ソース/ドレインと異なる伝導型にドーブされるコントロールゲートを得る
ときの改良された技法についての必要性が存在する。

【課題を解決するための手段】

【0005】

一態様では、不揮発性メモリ(NVM)セルは、最初に、電荷蓄積層の上にあるゲート
材料層をP型にドーブし、次に、ゲート材料の上に打込みマス킹層を形成することによ
って得られる。マス킹層およびゲート材料は、同時にパターンングされることができ
るため、打込みマスクは、ソース/ドレイン用のエリアではなく、コントロールゲート
の真上にある。ソース/ドレインは、その後、コントロールゲートの上の所定場所に打込
みマスクによって打込まれる。打込みマスクは、ソース/ドレイン打込み用のマスクであ
るだけでなく、酸化物、窒化物およびシリコンなどのMOSトランジスタを作製するた
めに存在する他の材料に対して選択性を持ってエッチングされることもできる材料である
ように選択される。打込みマスクは、ソース/ドレイン用の打込み後に除去されるため、ゲ
ートはP型のまま残る。これは、図面および以下の説明を参照してよりよく理解される。

【図面の簡単な説明】

【0006】

【図1】第1の実施形態による処理内のステージにおける半導体デバイスの断面図。

【図2】処理内の後続のステージにおける図1の半導体デバイスの断面図。

【図3】処理内の後続のステージにおける図2の半導体デバイスの断面図。

【図4】処理内の後続のステージにおける図3の半導体デバイスの断面図。

【図5】処理内の後続のステージにおける図4の半導体デバイスの断面図。

【図6】処理内の後続のステージにおける図5の半導体デバイスの断面図。

【図7】処理内の後続のステージにおける図6の半導体デバイスの断面図。

【図8】処理内の後続のステージにおける図7の半導体デバイスの断面図。

【図9】処理内の後続のステージにおける図8の半導体デバイスの断面図。

【図10】処理内の後続のステージにおける図9の半導体デバイスの断面図。

【図11】処理内の後続のステージにおける図10の半導体デバイスの断面図。

【図12】処理内の後続のステージにおける図11の半導体デバイスの断面図。

【図13】第2の実施形態による処理内のステージにおける半導体デバイスの断面図。

【図14】処理内の後続のステージにおける図13の半導体デバイスの断面図。

【図15】処理内の後続のステージにおける図14の半導体デバイスの断面図。

【図16】処理内の後続のステージにおける図15の半導体デバイスの断面図。

【図17】処理内の後続のステージにおける図16の半導体デバイスの断面図。

【図18】処理内の後続のステージにおける図17の半導体デバイスの断面図。

【図19】処理内の後続のステージにおける図18の半導体デバイスの断面図。

【図20】処理内の後続のステージにおける図19の半導体デバイスの断面図。

【発明を実施するための形態】

【0007】

本発明は、例として示され、同じ参照が類似の要素を指示する添付図面によって制限さ
れない。図の要素は、簡潔かつ明確にするために示され、必ずしも一定比例尺に従って描
かれていないことを当業者は理解する。

【0008】

図1には、半導体デバイス10が示され、半導体デバイス10は、基板12、基板12
の上の電荷蓄積層14、電荷蓄積層14の上の高濃度にドーブされた(heavily-doped)
ポリシリコン層16、ポリシリコン層16の上の打込み遮断層18および打込み遮断層1
8の上の酸化物層20を備える。基板12は、好ましくは、シリコンであるが、ゲルマニ

10

20

30

40

50

ウムまたはシリコンゲルマニウム (SiGe) などの別の半導体材料であることができる。シリコン基板 12 は、バルクシリコン基板として示されるが、1つの代替として、セミコンダクタオンインシュレータ (semiconductor-on-insulator) (SOI) 基板内の上部の半導体層であることができる。電荷蓄積層 14 は、絶縁層によってポリシリコン層 16 および基板 12 から絶縁されるナノ結晶 15 などのナノ結晶を含む。ナノ結晶はナノクラスターとも呼ばれる。打込み遮断層 18 は、好ましくは、シリコンゲルマニウムまたは窒化チタンである。他の材料、たとえば、窒化チタン以外の窒化材料もまた、有効であることがわかる場合がある。打込み遮断層 18 は、打込みを遮断するのに有効であるべきであり、また、酸化物、窒化物およびシリコンに対して選択性を持ってエッチングされることができべきである。打込み遮断層 18 は、ソース/ドレイン打込み中にポリシリコン層 16 用の保護層として機能する。電荷蓄積層 14 は、好ましくは、約 170 ~ 350 オングストローム厚である。ポリシリコン層 16 および打込み遮断層 18 は、好ましくは 1000 および 1500 オングストロームと同じ厚さであってよい。酸化物層は、好ましくは、約 100 ~ 300 オングストロームである。ポリシリコンは共通ゲート材料である。

【0009】

図2には、酸化物層 20、打込み遮断層 18、ポリシリコン層 16 および電荷蓄積層 14 を通るゲートパターンニングステップ後の半導体デバイス 10 が示される。これは、基板 12 を露出させる作用を有する。ポリシリコン層 16 の残りの部分は、形成される不揮発性メモリのコントロールゲートになるためのものである。このエッチは、フォトリソグラフィマスクを使用し、また、種々の層がエッチングされるにつれて、化学物質の変化を要求してもよい。打込み遮断層 18 が窒化チタンである場合、打込み遮断層 18 用の有効なエッチ化学物質は、アルゴンと塩素の混合物である。打込み遮断層 18 がシリコンゲルマニウムある場合、臭化水素 (HBr) 化学物質が誘導結合式プラズマチャンバ内で使用されてもよい。酸化物、ポリシリコンおよび電荷蓄積層 14 用の従来のエッチ化学物質が使用されてもよい。電荷蓄積層 14 は、通常、ポリシリコンナノ結晶および酸化物を含むことになるが、異なる絶縁材料または異なるナノ結晶を有してもよい。

【0010】

図3には、ポリシリコン層 16 の残りの部分および露出した基板 12 の面上に酸化物層 22 を形成する酸化物成長ステップを実施した後の半導体デバイス 10 が示される。

図4には、ポリシリコン層 16、打込み遮断層 18、酸化物層 20 および電荷蓄積層 14 の残りの部分の周りに側壁スペーサ 24 を形成した後の半導体デバイス 10 が示される。側壁スペーサは、好ましくは、実質的にコンフォーマルな堆積を実施し、それに続き異方性エッチを実施することによって従来のスペーサ様式で形成される高温酸化物 (high temperature oxide) (HTO) スペーサである。異方性エッチは、側壁スペーサ 24 に隣接する基板を露出されたままにする。酸化物層 20 は、多少薄化されるが、実質的に残ったままになることになる。酸化物層 22 の上にある側壁スペーサ 24 の底部は、好ましくは、約 100 オングストロームである。

【0011】

図5には、酸化物層 26 を形成するために、基板 12 の露出した部分に関して酸化物成長ステップを実施した後の半導体デバイス 10 が示される。

図6には、側壁スペーサ 24 の面上に側壁スペーサ 28 を形成した後の半導体デバイス 10 が示される。側壁スペーサ 28 は、好ましくはポリシリコンを含む。側壁スペーサ 28 を形成する異方性エッチ中に、側壁スペーサ 28 を形成するときに使用されるエッチャントを打込み遮断層 18 が受けることを防止するように酸化物層 20 が働く。

【0012】

図7には、ポリシリコン層 16、打込み遮断層 18、酸化物層 20 および電荷蓄積層 14 の残りの部分の一方の面から側壁スペーサ 28 を除去した後の半導体デバイス 10 が示される。このエッチステップは、マスクを要求するが、非常に精密なマスクを必要としない。マスクは、残ったままになる側壁スペーサ 28 の面を露出することを回避するのに十分に精密である必要があるだけであり、容易に達成される。残りの側壁スペーサ 28 は、

10

20

30

40

50

形成されるNVMセル用のセレクトゲートであるためのものである。

【0013】

図8には、側壁スペーサ24および側壁スペーサ28をマスクとして使用して、N型ドーパント、好ましくはヒ素のエクステンション打込みを実施し、それにより、側壁スペーサ24に隣接するドレイン領域30および側壁スペーサ28に隣接するソース領域31の形成をもたらされた後の半導体デバイス10が示される。側壁スペーサ28は、また、この打込みによって、N型に部分的にドーブされる。図8にはまた、側壁スペーサ24および側壁スペーサ28の周りの窒化物の側壁スペーサ32が示される。

【0014】

図9には、ソース/ドレインコンタクトを作製するためにドーピング濃度を増加するディープソース/ドレイン打込みを実施した後の半導体デバイス10が示される。この打込みは、ドレイン領域34およびソース領域36をもたらす。ディープソース/ドレイン打込みは、リンか、ヒ素か、または両方によってもよい。側壁スペーサ28は、またさらに、この打込みによってN型ドーブされる。

【0015】

図10には、酸化層20および打込み遮断層18の残りの部分を除去した後の半導体デバイス10が示される。これは、おそらく、酸化物のエッチングからシリコンゲルマニウムまたは窒化チタンのエッチングに到るのに化学物質の変化を要求することになる。打込み遮断層18を除去するために湿潤化学物質が好ましい。除去時に、打込み遮断層18が除去され、側壁スペーサ32から窒化物、側壁スペーサ28からポリシリコン、側壁スペーサ24から酸化物および基板12からシリコンが露出する。こうして、打込み遮断層を除去するために選択されたエッチ化学物質は、打込み遮断層18をエッチングすることができなければならないが、好ましくは、酸化物、窒化物またはシリコンを大幅にはエッチングしない。これは、打込み遮断層をエッチングするときのエッチ化学物質が、好ましくは、酸化物、窒化物またはシリコンに対して選択性を有するとして述べられることができる。打込み遮断層18がSiGeである場合、RCA洗浄がウェットエッチについて使用されてもよい。一形態では、RCA洗浄は、2ステッププロセスであり、第1ステップは、水酸化アンモニウム、過酸化水素および水を含む混合物に対する暴露を含む。第2ステップは、塩酸、過酸化水素および水を含む混合物に対する暴露を含む。打込み遮断層18がTiNである場合、硫酸および過酸化水素の混合物を含むピラニア洗浄がウェットエッチについて使用されてもよい。

【0016】

図11には、ベース側壁スペーサ32において側壁スペーサ38を、ポリシリコン層16の残りの部分の上で、かつ、側壁スペーサ24に隣接して側壁スペーサ40を形成した後の半導体デバイス10が示される。打込み遮断層18がSiGeである場合、RCA洗浄がウェットエッチについて使用されてもよい。一形態では、RCA洗浄は、2ステッププロセスであり、第1ステップは、水酸化アンモニウム、過酸化水素および水を含む混合物に対する暴露を含む。第2ステップは、塩酸、過酸化水素および水を含む混合物に対する暴露を含む。打込み遮断層18がTiNである場合、硫酸および過酸化水素の混合物を含むピラニア洗浄がウェットエッチについて使用されてもよい。

【0017】

図12には、ゲートおよびソース/ドレインコンタクトを作製するためのシリサイド形成ステップを実施した後の半導体デバイス10が示される。これは、側壁スペーサ28の上部部分内にシリサイド領域46を、ポリシリコン部分16内にシリサイド領域44を、ドレイン領域34内にシリサイド領域42を、ソース領域36内にシリサイド領域48をもたらす。図12の半導体デバイス10は、コントロールゲートがP型であり、ソースおよびドレインがN型である不揮発性メモリを示す。セレクトゲートとしての側壁スペーサ28はまた、ソースおよびドレイン領域34および36を形成する打込みを受けるためN型である。側壁スペーサ28は、同様にその場でドーブされてもよい。後続のアニールは、側壁スペーサ28が、N型により均等にドーブされるようにさせる。側壁スペーサ24

10

20

30

40

50

は、コントロールゲートとセレクトゲートとの間の電気絶縁を提供する。ソース領域 3 4 およびドレイン領域 3 6 は、コントロールゲートの対向する面上にある。

【 0 0 1 8 】

図 1 3 には、半導体デバイス 5 0 が示され、半導体デバイス 5 0 は、基板 5 2、基板 5 2 の上の電荷蓄積層 5 4、電荷蓄積層 5 4 の上のポリシリコン層 5 6、ポリシリコン層 5 6 の上の打込み遮断層 5 8 および打込み遮断層 5 8 の上の酸化物層 6 0 を備える。図 1 の場合と同様に、基板 5 2 は、好ましくは、シリコンであるが、ゲルマニウムまたはシリコンゲルマニウムなどの別の半導体材料であることができる。シリコン基板 5 2 は、バルクシリコン基板として示されるが、1つの代替として、セミコンダクタオンインシュレータ (S O I) 基板内の上部の半導体層であることができる。電荷蓄積層 5 4 は、絶縁層によ

10

ってポリシリコン層 5 6 および基板 5 2 から絶縁されるナノ結晶 5 5 などのナノ結晶を含む。打込み遮断層 5 8 は、好ましくは、シリコンゲルマニウムまたは窒化チタンである。他の材料もまた、有効であることがわかる場合がある。打込み遮断層 5 8 は、打込みを遮断するのに有効であるべきであり、また、酸化物、窒化物およびシリコンに対して選択性を持ってエッチングされることができべきである。電荷蓄積層 5 4 は、好ましくは、約 1 7 0 ~ 3 5 0 オングストローム厚である。ポリシリコン層 5 6 および打込み遮断層 5 8 は、好ましくは 1 0 0 0 および 1 5 0 0 オングストロームと同じ厚さであってよい。酸化物層 6 0 は、好ましくは、約 1 0 0 ~ 3 0 0 オングストロームである。ポリシリコン層 5 6 は、P型に高濃度にドーブされる。これは、打込み遮断層 5 8 の堆積前に実施される打込みによって、または、その場でのドーブによって達成される可能性がある。その場でのドーブは、付加的なステップとなる打込みステップを回避するために好ましい。

20

【 0 0 1 9 】

図 1 4 には、図 2 の場合と同様に、酸化物層 6 0、打込み遮断層 5 8、ポリシリコン層 5 6 および電荷蓄積層 5 4 を通るゲートパターンニングステップ後の半導体デバイス 5 0 が示される。これは、基板 5 2 を露出させる作用を有する。ポリシリコン層 5 6 の残りの部分は、形成される不揮発性メモリセルのコントロールゲートになるためのものである。このエッチは、フォトレジストマスクを使用し、また、種々の層がエッチングされるにつれて、化学物質の変化を要求してもよい。打込み遮断層 5 8 が窒化チタンである場合、打込み遮断層 5 8 用の有効なエッチ化学物質は、アルゴンと塩素の混合物である。打込み遮断層 5 8 が S i G e ある場合、臭化水素 (H B r) 化学物質が誘導結合式プラズマチャンバ

30

内で使用されてもよい。酸化物、ポリシリコンおよび電荷蓄積層 5 4 用の従来のエッチ化学物質が使用されてもよい。電荷蓄積層 5 4 は、通常、ポリシリコンナノ結晶および酸化物を含むことになるが、異なる絶縁材料または異なるナノ結晶を有してもよい。

【 0 0 2 0 】

図 1 5 には、層 5 4、5 6、5 8 および 6 0 の残りの部分の周りに H T O の側壁スペーサ 6 2 を形成した後の半導体デバイス 5 0 が示される。酸化物層 6 0 のある程度の薄化が起こる場合があるが、実質的に残ったままになることになる。

【 0 0 2 1 】

図 1 6 には、打込み遮断層 5 8 によって、打込みがポリシリコン層 5 6 の残りの部分に達するのを防止する N 型エクステンション打込みを実施した後の半導体デバイス 5 0 が示

40

される。この打込みは、側壁スペーサ 6 2 の面に隣接するソース/ドレイン領域 6 4 の形成をもたらす。ポリシリコン層 5 6 の残りの部分はコントロールゲートになることになるため、また、さらなる加熱ステップが存在することになるため、ソース/ドレイン領域 6 4 は、実質的にコントロールゲートに隣接し、両者間にチャンネルを有することになる。

【 0 0 2 2 】

図 1 7 には、層 5 4、5 6、5 8 および 6 0 の残りの部分の周りに側壁スペーサ 6 6 を形成した後の半導体デバイス 5 0 が示される。これは窒化物スペーサである。

図 1 8 には、ソース/ドレイン領域 6 8 を形成するためにディープソース/ドレイン打込みを実施した後の半導体デバイス 5 0 が示される。

【 0 0 2 3 】

10

20

30

40

50

図19には、酸化物層60および打込み遮断層58を除去した後の半導体デバイス50が示される。図10において酸化物層20および打込み遮断層18を除去する場合と同様に、これは、おそらく、酸化物のエッチングからシリコンゲルマニウムまたは窒化チタン
のエッチングに到るのに化学物質の変化を要求することになる。打込み遮断層58を除去
するために湿潤化学物質が好ましい。除去時に、打込み遮断層58が除去され、側壁スペ
ーサ66から窒化物、側壁スペーサ24から酸化物および基板12からシリコンが露出す
る。こうして、打込み遮断層を除去するために選択されたエッチ化学物質は、打込み遮断
層58をエッチングすることができなければならないが、好ましくは、酸化物、窒化物ま
たはシリコンを大幅にはエッチングしない。これは、打込み遮断層をエッチングする
ときのエッチ化学物質が、好ましくは、酸化物、窒化物またはシリコンに対して選択性を有す
るとして述べられることができる。打込み遮断層58がSiGeである場合、RCA洗淨
がウェットエッチについて使用されてもよい。一形態では、RCA洗淨は、2ステップ
プロセスであり、第1ステップは、水酸化アンモニウム、過酸化水素および水を含む混合物
に対する暴露を含む。第2ステップは、塩酸、過酸化水素および水を含む混合物に対する
暴露を含む。打込み遮断層58がTiNである場合、硫酸および過酸化水素の混合物を含
むピラニア洗淨がウェットエッチについて使用されてもよい。

10

【0024】

図20には、層56の残りの部分内にシリサイド領域70を、基板52およびソース/
ドレイン68内にシリサイド領域72を形成した後の半導体デバイス50が示される。図
20の半導体デバイス50は、シリサイド化ソース/ドレイン、シリサイド化コントロー
ルゲートおよびP型コントロールゲートを有するNVMセルである。

20

【0025】

ゲート内にP型ドーピングが存在する場合、ゲート内の電子は非常に少なく、そのため
、ゲートから電荷蓄積層14または54への電子移動または電子束は無視できる。これは
、一実施形態では、コントロールゲートがドレインに自己整合し、また、セレクトゲート
がソースに自己整合するという利益を有し、別の実施形態では、ソースおよびドレインが
コントロールゲートに自己整合するという利益を有するプロセスによって達成される。述
べた両方の実施形態において打込み遮断層を除去することは、露出された他の元素に対し
て選択性を有する化学物質を使用することによって達成される。これは、打込みマスキ
ング層のマスク無し除去を可能にするため、コントロールゲートに対する接触が容易に行わ
れる可能性がある。

30

【0026】

先の仕様では、本発明は特定の実施形態を参照して述べられた。しかし、添付特許請求
項において述べられる本発明の範囲から逸脱することなく、種々の修正および変更が行わ
れることができることを当業者は理解する。たとえば、記載されたのと別の化学物質が使用
されて、露出された他のフィーチャに対する選択性を有して遮断層がエッチングされる
。窒化物側壁スペーサを形成する前に、薄い酸化物層がポリシリコン側壁スペーサ上に成
長されるなどの、さらなるステップが実施されてもよい。相応して、仕様および図は、制
限的な意味ではなく例示的な意味で考えられ、また、全てのこうした修正は、本発明の範
囲内に含まれることが意図される。

40

【0027】

利益、利点、問題に対する解決策、および、任意の利益、利点または解決策を思いつく
ようにさせるか、または、より明白にさせる任意の要素(複数可)は、任意のまたは全て
の特許請求項の重要な、要求される、または必須の特徴または要素と解釈されない。本明
細書で使用される「あるa)」または「ある(an)」という用語は、他の要素が、特許請求項
または仕様において1つまたは複数であるとして明確に述べられても、1つまたは2つ以
上として規定される。本明細書で使用される「複数の(plurality)」という用語は、2つ
または3つ以上として規定される。本明細書で使用される「別の(another)」という用語
は、少なくとも第2のまたは第3以降のとして規定される。本明細書で使用される「結合
される(coupled)」という用語は、必ずしも直接的にではなく、また、必ずしも機械的に

50

ではないが、接続される (connected) として規定される。さらに、もしあれば、説明および特許請求項内の「前のfront」、「後のback」、「上部のtop」、「底部のbottom」、「上にover」、「下にunder」などの用語は、記述のために使用され、必ずしも、永久的な相対位置を記述するために使用されるわけではない。こうして使用される用語は、適切な状況下で交換可能であるため、本明細書で述べられる本発明の実施形態は、たとえば、示されるか、そうでなければ本明細書で述べられる配向以外の配向で動作可能であることが理解される。

【図1】

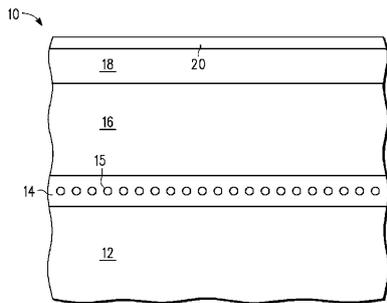


FIG. 1

【図3】

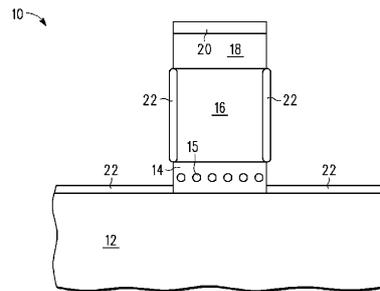


FIG. 3

【図2】

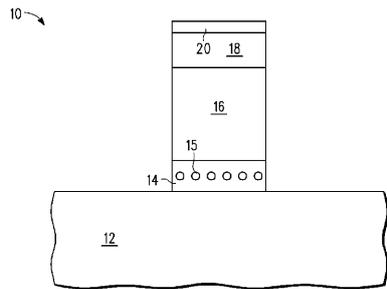


FIG. 2

【図4】

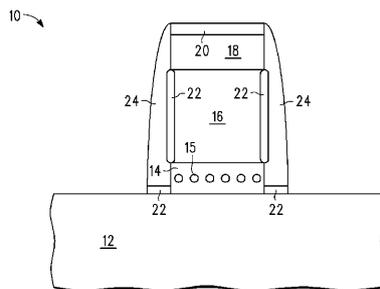


FIG. 4

【 図 5 】

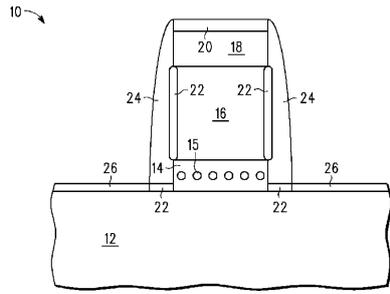


FIG. 5

【 図 7 】

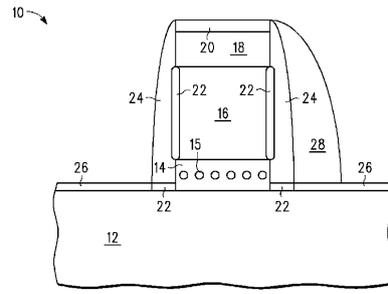


FIG. 7

【 図 6 】

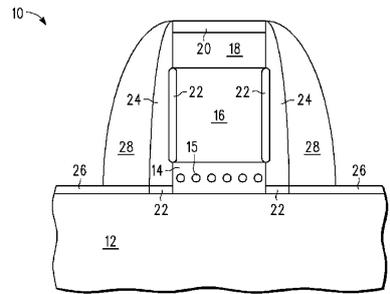


FIG. 6

【 図 8 】

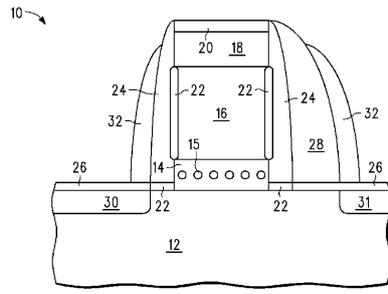


FIG. 8

【 図 9 】

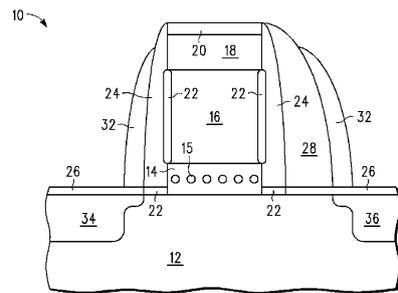


FIG. 9

【 図 11 】

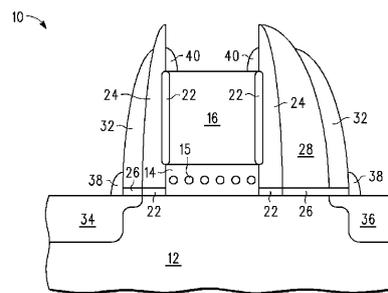


FIG. 11

【 図 10 】

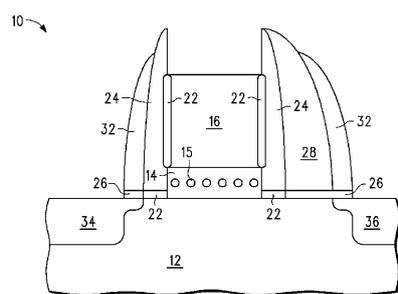


FIG. 10

【 図 12 】

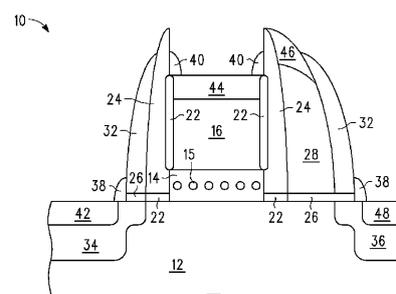


FIG. 12

【 1 3】

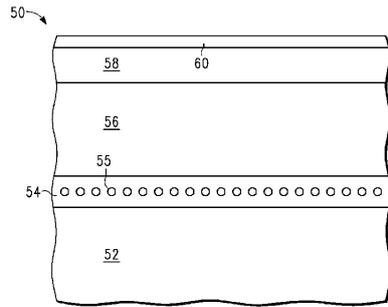


FIG. 13

【 1 5】

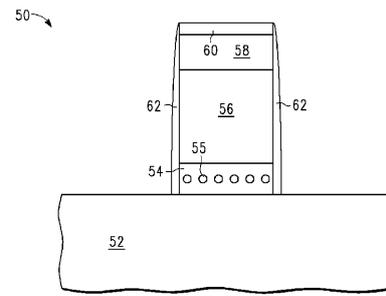


FIG. 15

【 1 4】

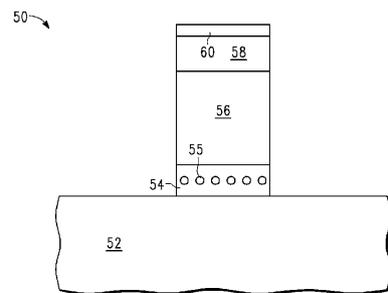


FIG. 14

【 1 6】

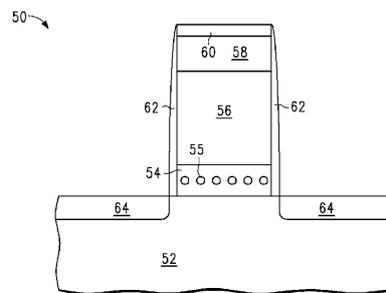


FIG. 16

【 1 7】

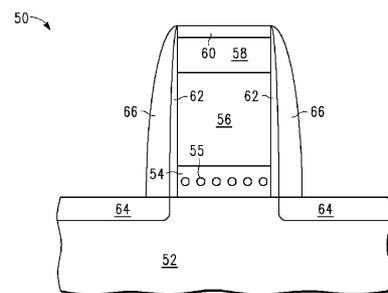


FIG. 17

【 1 9】

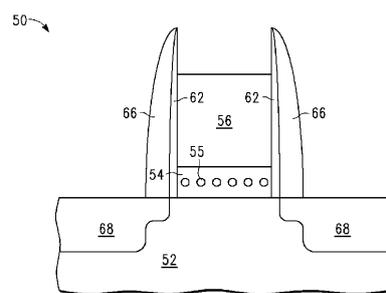


FIG. 19

【 1 8】

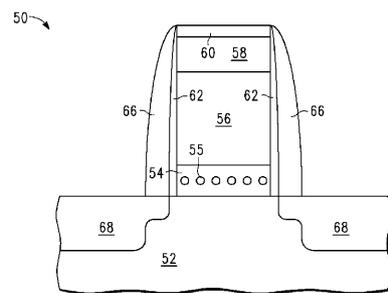


FIG. 18

【 2 0】

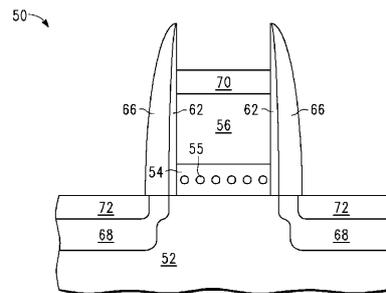


FIG. 20

フロントページの続き

(72)発明者 ムラリダール、ラマチャンドラン
アメリカ合衆国 78750 テキサス州 オースティン ピックフェア ドライブ 10601

審査官 井出 和水

(56)参考文献 特開2003-078043(JP,A)
特開2006-013506(JP,A)
特開平08-293566(JP,A)
特開2000-133728(JP,A)
特開平06-061504(JP,A)
特開2005-150765(JP,A)
特開2006-100531(JP,A)
特開2005-294498(JP,A)
特開平10-012752(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792