



(12) 发明专利

(10) 授权公告号 CN 103339727 B

(45) 授权公告日 2016. 03. 23

(21) 申请号 201180066374. 8

巴尔特·德耶特

(22) 申请日 2011. 12. 09

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

(30) 优先权数据

代理人 沈锦华

61/425, 552 2010. 12. 21 US

13/288, 080 2011. 11. 03 US

(51) Int. Cl.

H01L 27/02(2006. 01)

(85) PCT国际申请进入国家阶段日

2013. 07. 30

审查员 王俊山

(86) PCT国际申请的申请数据

PCT/US2011/064180 2011. 12. 09

(87) PCT国际申请的公布数据

W02012/087614 EN 2012. 06. 28

(73) 专利权人 密克罗奇普技术公司

地址 美国亚利桑那州

(72) 发明人 菲利普·德瓦尔 尼古拉斯·富雷尔

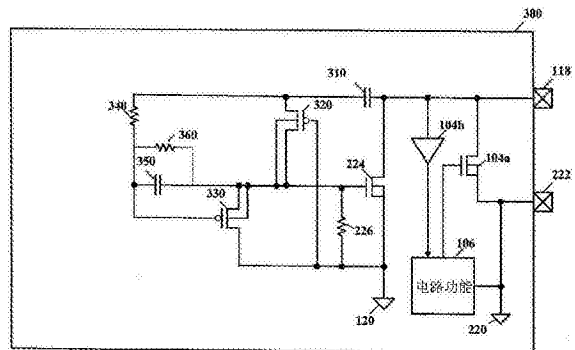
权利要求书4页 说明书10页 附图17页

(54) 发明名称

自适应静电放电 (ESD) 保护电路

(57) 摘要

为了进行自适应静电放电 ESD 保护, 一种具有自适应静电放电 ESD 保护的集成电路装置具有: 受保护免于 ESD 的外部连接引脚; 外部接地连接引脚; 自适应静电放电 ESD 保护电路, 所述自适应静电放电 ESD 保护电路具有: ESD 保护 N 金属氧化物半导体 NMOS 晶体管, 所述 ESD 保护 N 金属氧化物半导体 NMOS 晶体管具有连接到所述外部连接引脚的漏极以及连接到接地的源极及本体; 电阻器, 所述电阻器耦合于所述 NMOS 晶体管的栅极与接地之间; 第一 PMOS 晶体管, 所述第一 PMOS 晶体管具有耦合到所述 NMOS 晶体管的栅极的源极及连接到接地的漏极; 第一电容器, 所述第一电容器具有连接到所述外部连接引脚的第一端子及与所述 NMOS 晶体管的所述栅极耦合的第二端子, 其中所述自适应 ESD 保护电路内的所述第一电容器是连接到所述外部连接引脚的唯一电容器。



1. 一种具有自适应静电放电 ESD 保护的集成电路装置,其包括:
  - 受保护免于 ESD 的外部连接引脚;
  - 外部接地连接引脚;
  - 自适应静电放电 ESD 保护电路,其包括:
    - ESD 保护 N 金属氧化物半导体 NMOS 晶体管,其具有连接到所述外部连接引脚的漏极以及连接到接地的源极及连接到接地的本体;
    - 电阻器,其耦合于所述 NMOS 晶体管的栅极与接地之间;
    - 第一 PMOS 晶体管,其具有耦合到所述 NMOS 晶体管的栅极的源极及连接到接地的漏极;
    - 第一电容器,其具有连接到所述外部连接引脚的第一端子及与所述 NMOS 晶体管的所述栅极耦合的第二端子,其中所述自适应 ESD 保护电路内的所述第一电容器是连接到所述外部连接引脚的唯一电容器。
2. 根据权利要求 1 所述的集成电路装置,其包括
  - 第二 P 金属氧化物半导体 PMOS 晶体管,其具有连接到所述第一电容器的所述第二端子的漏极、连接到所述 NMOS 晶体管的所述栅极的源极及本体以及连接到接地的栅极,其中所述第一 PMOS 晶体管的源极及本体连接到所述 NMOS 晶体管的所述栅极,且所述第一 PMOS 晶体管的漏极连接到接地;及
  - 滤波器,其耦合于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的所述栅极之间。
3. 根据权利要求 2 所述的集成电路装置,其中所述滤波器包括连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第一 PMOS 晶体管的所述源极与所述栅极之间的第二电容器。
4. 根据权利要求 2 所述的集成电路装置,其中所述滤波器的时间常数为 400 纳秒。
5. 根据权利要求 3 所述的集成电路装置,其中所述滤波器的时间常数为 400 纳秒。
6. 根据权利要求 1 所述的集成电路装置,其进一步包括
  - 耦合到外部连接件的数据总线接口;
  - 耦合到所述数据总线接口的电路功能。
7. 根据权利要求 6 所述的集成电路装置,其中所述数据总线接口为数据总线接收器及数据总线驱动器中的至少一者。
8. 根据权利要求 6 所述的集成电路装置,其中所述电路功能为数字逻辑功能。
9. 根据权利要求 6 所述的集成电路装置,其中所述电路功能为模拟电路功能或混合信号电路功能。
10. 根据权利要求 3 所述的集成电路装置,其进一步包括与所述第二电容器并联耦合的第三电阻器。
11. 根据权利要求 3 所述的集成电路装置,其进一步包括第三 PMOS 晶体管,所述第三 PMOS 晶体管具有连接到所述第二 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第一 PMOS 晶体管的所述本体的本体,以及连接到接地的源极。
12. 根据权利要求 3 所述的集成电路装置,其进一步包括第三 PMOS 晶体管,所述第三 PMOS 晶体管具有连接到所述第二 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第二

PMOS 晶体管的所述本体及源极的本体及源极。

13. 根据权利要求 1 所述的集成电路装置,其中待连接到所述外部连接件的数据总线为区域互连网络 LIN 总线或控制器局域网络 CAN 总线。

14. 根据权利要求 1 所述的集成电路装置,其包括

第二 P 金属氧化物半导体 PMOS 晶体管,其具有连接到所述第一电容器的所述第二端子的漏极、连接到接地的源极及本体,其中所述第一 PMOS 晶体管的所述源极及本体连接到所述 NMOS 晶体管的所述栅极,且所述第一 PMOS 晶体管的漏极连接到接地;及

滤波器,其耦合于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管之间。

15. 根据权利要求 14 所述的集成电路装置,其中所述第二 PMOS 晶体管的所述栅极与接地耦合。

16. 根据权利要求 15 所述的集成电路装置,其进一步包括耦合于所述 NMOS 晶体管的所述栅极与接地之间的第二电容器。

17. 根据权利要求 14 所述的集成电路装置,其中所述第二 PMOS 晶体管的所述栅极与所述 NMOS 晶体管的所述栅极耦合。

18. 根据权利要求 14 所述的集成电路装置,其中所述滤波器包括连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第一 PMOS 晶体管的所述源极与所述栅极之间的第二电容器。

19. 根据权利要求 18 所述的集成电路装置,其进一步包括与所述第二电容器并联耦合的第三电阻器。

20. 根据权利要求 18 所述的集成电路装置,其进一步包括第三 PMOS 晶体管,所述第三 PMOS 晶体管具有连接到所述第一 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第二 PMOS 晶体管的所述本体的本体及连接到接地的源极。

21. 根据权利要求 18 所述的集成电路装置,其进一步包括第三 PMOS 晶体管,所述第三 PMOS 晶体管具有连接到所述第一 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第一 PMOS 晶体管的所述本体及源极的本体及源极。

22. 根据权利要求 14 所述的集成电路装置,其中所述滤波器的时间常数为 400 纳秒。

23. 根据权利要求 1 所述的集成电路装置,其包括

第二 P 金属氧化物半导体 PMOS 晶体管,其具有连接到所述第一电容器的所述第二端子的漏极、连接到所述 NMOS 晶体管的所述栅极的本体以及连接到接地的源极与栅极,其中所述第一 PMOS 晶体管的所述源极及本体连接到所述 NMOS 晶体管的所述栅极,且所述第一 PMOS 晶体管的所述漏极连接到接地;

连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第一 PMOS 晶体管的所述源极与所述栅极之间的第二电容器,及

第三 PMOS 晶体管,其具有连接到所述第一 PMOS 晶体管的所述栅极的源极与栅极、连接到所述接地的漏极及连接到所述第二 PMOS 晶体管的所述本体的本体。

24. 根据权利要求 1 所述的集成电路装置,其包括

第二 P 金属氧化物半导体 PMOS 晶体管,其具有耦合到所述第一电容器的所述第二端子的漏极、连接到所述第一 PMOS 晶体管的本体的本体及源极以及连接到接地的栅极,其中所述第一 PMOS 晶体管的栅极连接到接地。

25. 根据权利要求 24 所述的集成电路装置,其进一步包括连接于所述 NMOS 晶体管的所述栅极与所述第二 PMOS 晶体管的所述漏极之间的第二电阻器。

26. 根据权利要求 24 所述的集成电路装置,其中所述 NMOS 晶体管的栅极-漏极电容形成所述第一电容器。

27. 根据权利要求 26 所述的集成电路装置,其进一步包括连接于所述 NMOS 晶体管的所述栅极与接地之间的第二电容器。

28. 根据权利要求 26 所述的集成电路装置,其进一步包括连接于所述 NMOS 晶体管的所述栅极与所述第一电阻器之间的第二电阻器。

29. 根据权利要求 1 所述的集成电路装置,其中所述电阻器由晶体管形成。

30. 根据权利要求 3 所述的集成电路装置,其中所述第二电阻器由晶体管形成。

31. 根据权利要求 18 所述的集成电路装置,其中所述第二电阻器由晶体管形成。

32. 根据权利要求 1 所述的集成电路装置,其中所述 NMOS 晶体管的栅极-漏极电容形成所述第一电容器。

33. 根据权利要求 32 所述的集成电路装置,其中所述第一 PMOS 晶体管的本体及栅极连接到接地。

34. 根据权利要求 33 所述的集成电路装置,其中所述第一 PMOS 晶体管的所述源极通过第二电阻器与所述 NMOS 晶体管的所述栅极连接。

35. 根据权利要求 1 所述的集成电路装置,其中所述第一 PMOS 晶体管的本体及栅极连接到接地。

36. 根据权利要求 35 所述的集成电路装置,其中所述第一 PMOS 晶体管的所述源极通过第二电阻器与所述 NMOS 晶体管的所述栅极连接。

37. 根据权利要求 36 所述的集成电路装置,其进一步包括连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的所述源极之间的第三电阻器。

38. 一种机动运载工具,其包括

数据总线,其选自由区域互连网络 LIN 总线及控制器局域网络 CAN 总线组成的群组;

集成电路装置,其具有自适应静电放电 ESD 保护,所述集成电路装置包括:

数据总线接口,其经由外部连接引脚与所述数据总线耦合;

电路功能,其耦合到所述数据总线接口;

外部接地连接引脚;

ESD 保护 N 金属氧化物半导体 NMOS 晶体管,其具有连接到所述外部连接引脚的漏极及连接到接地的源极及本体;

电阻器,其耦合于所述 NMOS 晶体管的栅极与接地之间;

第一电容器,其具有连接到所述外部连接引脚的第一端子;

第一 P 金属氧化物半导体 PMOS 晶体管,其具有连接到第二端子的漏极、连接到所述 NMOS 晶体管的所述栅极的源极及本体以及连接到接地的栅极;

第二 PMOS 晶体管,其具有连接到所述 NMOS 晶体管的所述栅极的源极及本体以及连接到接地的漏极;及

滤波器,其包括连接于所述第一电容器的所述第二端子与所述第二 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第二 PMOS 晶体管的所述源极与所述栅极之间的第二

电容器。

## 自适应静电放电 (ESD) 保护电路

### [0001] 相关申请案的交叉参考

[0002] 本申请案主张 2010 年 12 月 21 日申请的标题为“自适应静电放电 (ESD) 保护电路 (ADAPTIVE ELECTROSTATIC DISCHARGE (ESD) PROTECTION CIRCUIT)”的第 61/425,552 号美国临时申请案的权益,所述申请案全文并入本文中。

### 技术领域

[0003] 本发明涉及一种在集成电路装置中的自适应静电放电保护电路,所述集成电路装置能够(例如)介接到例如汽车电子设备中使用的区域互连网络(LIN)总线及类似物,且更特定来说,本发明涉及当处置、插入所述 LIN 总线及类似物或从其移除时实现高静电放电(ESD)稳健性,且涉及在对所述 LIN 总线及类似物操作时具有高电磁干扰(EMI)抗扰性。

### 背景技术

[0004] 汽车中的电子设备的不断增长的重要性本身带来对于需要与传感器及致动器介接的输入-输出装置的低成本、可靠电子系统及子系统的不断增长的挑战及需求。这些系统及子系统并非隔离,且必须彼此通信。

[0005] 就历史观点而言,汽车电子设备一直使用离散、较小集成电路来建立。所述集成电路依赖于专有、专用有线电通信方案(至少对于许多传感器系统而言),且直接将功率输出布线到致动器。此导致印刷电路板(PCB)较大、引擎控制单元(ECU)外壳大小较大及布线束过多。布线本身带来其它问题,因为其消耗空间、增加重量及费用、易受运载工具电磁噪声的影响,且可能难以排除故障且难以维修。

[0006] 幸运的是,运载工具联网标准及混合信号半导体工艺的进展正解决这些问题并引入新的可能性使智能型系统分布遍及运载工具。运载工具联网标准化的趋势包含控制器局域网络(CAN)及区域互连网络(LIN)架构(现在在版本 2.1 中)的广泛应用。

[0007] 这些网络标准在跨汽车系统的性能及成本优化之间提供平衡。CAN 对底盘、动力传动系及主体-主链通信提供高速网络,LIN 则合乎用于传感器及致动器子系统的简单网络对通过标准化减小成本并改进稳健性的需求。CAN 的广泛使用及 LIN 的可用性与混合信号半导体工艺技术的进展一致,可将较小汽车系统所需要的全部功能性一起放在单一集成电路(IC)或用于更先进系统的数个 IC 上。

[0008] 虽然 LIN 最初是针对运载工具本体电子设备的,但是其以新的方式用本体电子设备外部的许多实施方案证明其价值。在可用的汽车电子总线标准中,LIN 对通常为单一系统专用的大部分传感器及致动器的通信需求提供最好的解决方法。所述传感器及致动器可被视为子系统且通过经定义以满足运载工具中的子网络角色的 LIN 充分伺服。每秒 20KB(kbps) 的最大 LIN 规定数据速率足以用于大部分传感器及致动器。LIN 为时间触发、主从网络,消除在同时报告的装置中进行仲裁的需求。LIN 使用单一有线通信总线实施,如此减小布线及线束需求且因此有助于节省重量、空间及成本。

[0009] 通过 LIN 联盟特别为运载工具子网络应用的低成本实施方案定义,LIN 标准充分

符合当今混合信号半导体工艺的整合能力。LIN 协议实现显著的成本减小,因为其相当简单且经由异步串行接口 (UART/SCI) 操作,且从节点为自同步且可使用芯片上 RC 振荡器来代替晶体或陶瓷谐振器。因此,硅实施方案是便宜的,使得 LIN 极适合用于通常用以制造汽车子系统的信号调节及输出 IC 的混合信号工艺技术。

[0010] LIN 主节点通常为 LIN 子网络到 CAN 网络的桥接节点,且每一运载工具将通常具有若干 LIN 子网络。主 LIN 节点具有较高复杂度及控制,而从 LIN 节点通常较为简单,使其能够在单一 IC 子系统中进行整合。通过使用标准化运载工具联网架构,可建构仅需要三根导线 (LIN、电池及接地) 的富含特征及诊断系统。

[0011] 出于可靠性及安全操作的明显原因,全部 LIN 模块需要对静电放电 (ESD) 及电磁干扰 (EMI) 两者的极高抗扰性。此高 ESD 及 EMI 抗扰性特别应用于连接到外界的 LIN 模块的引脚 (例如,电池引脚、LIN 引脚等等)。

[0012] 连接到所述系统 (外界) 的 LIN 模块的引脚在所述模块被处置或插入所述系统时高度暴露于 ESD 放电。LIN 模块必须能够由任何人安全地安装或移除。因此对于全部所述 LIN 模块引脚而言,所述 ESD 抗扰性必须极高 (大于几千伏),因为汽车产业中不可能适当实施用于处置电模块的标准产业规定。

[0013] 此外一旦安装,连接到所述 LIN 系统的任何引脚可面临来自其它通信总线及 / 或电源线的高电平干扰。原因在于,出于成本原因,所述通信总线及电源线不可能以有效屏蔽或差动信号线 (除 CAN 外) 布线。因此汽车电及控制系统中存在的高干扰电平不能影响所述 LIN 总线上传送的所要数据的完整性。

[0014] 因此直接路由到 LIN 模块的连接器的芯片的任何引脚需要对 ESD 及 EMI 两者的极高抗扰性。用于 ESD 保护的常用装置为其栅极通过 ESD 保护电阻器接地的接地栅极金属氧化物半导体 (GGMOS) 晶体管。增强用于相应外部连接 (引脚) 的 ESD 保护的 GGMOS 晶体管的 ESD 稳健性的常见技术是在 GGMOS 晶体管保护装置的漏极与栅极之间具有一些电容耦合。

[0015] 不幸的是,此 ESD 保护技术显著增加引脚对噪声干扰或 EMI 的敏感度。漏极与栅极之间的电容耦合允许高频到达保护装置的栅极并使所述栅极接通。此破坏所要数据流。因此,所述电容耦合使高 EMI 稳健性显著降级。因此,标准 ESD 保护技术并非充分适用于实现对 EMI 及类似物的高噪声及干扰抗扰性。

[0016] 参看图 1 及 2,描绘常规 ESD 及 EMI 优化电路的示意框图及更详细电路图。集成电路 100 包括例如通过驱动器 104a (可为开路漏极晶体管、三态驱动器等等) 并通过接收器 104b (可为电平检测器) 与外部引脚 118 及 222 耦合的电路功能 106。接收器 104b 及 / 或驱动器 104a 也耦合到信号接地 220,所述信号接地 220 连接到可位于集成电路装置 100 的集成电路封装上的外部接地或共同连接件 222。集成电路装置 100 可用于例如 (但不限于) LIN 模块实施方案。

[0017] I/O 连接件 118 是由 ESD 保护电路 108 保护,ESD 保护电路 108 包括以接地栅极配置的金属氧化物半导体 (MOS) 装置 224 且用作 ESD 保护装置。ESD 保护 MOS 装置 224 源极耦合到 ESD 接地或共射极 120、漏极耦合到待保护的 I/O 连接件 118,且栅极通过栅极电阻器 226 返回到 ESD 接地或共射极 120。ESD 接地或共射极 120 可进一步耦合到外部接地或共同连接件 (例如,连接件 222)。

[0018] ESD 增强电容器 112 在其耦合于 ESD 保护 MOS 装置 224 的源极与栅极之间时将改进 ESD 保护并减小 MOS 装置 224 的骤回电压。MOS 装置 228 在其栅极上实质上未存在电压时将通常断开,借此允许 ESD 增强电容器 112 耦合于 MOS 装置 224 的源极与栅极之间,借此最大化 ESD 稳健性。此发生于不存在高频 EMI 信号 / 扰动之时,例如,当 LIN 部分脱离所述系统或实质上不存在 EMI 信号 / 扰动时。数据信号在频率上比所述 EMI 信号 / 扰动 (噪声) 低得多,且借此通过 HPF116 阻断,因此仅当存在高频 EMI 噪声时, MOS 装置 228 方可接通。

[0019] 低值电阻 230 也可与 ESD 增强电容器 112 串联耦合。当施加电压于切换 MOS 装置 228 的栅极时, ESD 增强电容器 112 有效地旁通到 ESD 接地或共射极 120,借此消除可能对 MOS 装置 224 产生的任何影响。低值电阻 230 改进切换 (旁通) MOS 装置 228 的功效。

[0020] ESD 电容器控制 110 从 MOS 装置 224 的栅极及 / 或漏极解耦 ESD 增强电容器 112。ESD 电容器控制 110 也可通过通过在 MOS 装置 228 的线性范围中操作 MOS 装置 228 而非作为开关的 ESD 电容器衰减器。衰减变为电阻器 230 的电阻值与 MOS 装置 228 的等效电阻的函数。因此 MOS 装置 228 可用以调整 ESD 增强电容器 112 的漏极到栅极耦合,使得可根据 I/O 连接件 118 上的 EMI 信号的强度提供成比例的 ESD 保护。因此所述衰减适应于 EMI 电平,且所述漏极到栅极电容耦合一直维持为防止 ESD 保护 MOS 装置 224 被非所要地接通的电平。

[0021] 施加于切换装置 228 的栅极的电压通过信号振幅检测器 114 供应。信号振幅检测器 114 可包括信号整流二极管 238、低通滤波器电阻器 234 及低通滤波器电容器 232。高通滤波器 116 可包括耦合 / 高通滤波器电容器 126 及负载 / 高通滤波器电阻器 236。高通滤波器 116 使扰动 (高频) 信号到达信号振幅检测器 114 的输入,但是阻断数据 (低频) 信号。高通滤波器 116 的阶取决于需要到达信号振幅检测器 114 的输入的最低 EMI 频率与最大数据频率之间的差。根据本发明的教导,需要通过信号振幅检测器 114 检测的最小 EMI 频率可为 1MHz (HF),而 20 千波特的最大数据速率诱发 (例如) 10KHz 的最大数据频率 (LF)。因此第一阶高通滤波器 116 足以使所述 EMI 扰动到达信号振幅检测器 114 的输入,同时阻断数据信号。因此存在或不存在数据信号的仅 EMI 扰动信号将从 HPF116 传递到信号振幅检测器 114。如果实质上不存在 EMI 扰动信号 (HF),即使存在强数据信号 (LF),信号振幅检测器 114 也将不会激活 ESD 电容器控制 110。因此当实质上不存在 EMI 扰动噪声时,电容器 112 在接收数据信号期间仍保留在 ESD 电路中。然而,如果在数据发射 / 接收上叠加强 EMI 信号,那么将检测到 EMI 信号,且将解耦电容器 112 以防止或实质上减小可能的数据破坏。

[0022] 当 I/O 连接件 118 上的扰动信号 (例如,接通及断开电压的脉冲列) 通过高通滤波器 116 耦合到信号振幅检测器 114 时,二极管 238 整流所接收的信号以产生在包括电阻器 234 及电容器 232 的低通滤波器中经平滑化并滤波的脉动直流 (DC) 电压。所述低通滤波器引入从所接收的信号的第一检测到产生用于切换 MOS 装置 228 的栅极的控制电压的延迟。此延迟并不重要,因为所述延迟比通常通过电路功能 106 处理并在 I/O 连接件 118 处发射或接收的数据信号的脉冲持续宽度短得多。

[0023] 双极性晶体管 240 通过减小等效开关电阻进一步改进 ESD 电容器控制 110 的操作。双极性装置 240 将所述切换装置的电阻减小因子  $\beta$  ( $\beta$  为双极性装置 240 的电流增益)。借此在小裸片面积中实现低切换电阻。而且双极性装置 240 的非线性特性诱发在施加于 ESD 保护装置 224 的栅极的电压上增加负 DC 分量的整流效应。施加于 ESD 保护装置



224 的栅极的电压上的此负 DC 分量有助于将所述电压置于截止。然而,引入双极性装置 240 增加与开关的等效电阻串联的  $V_{be}$  (0.7 伏) 偏压电压。因此此技术仅可应用于具有高于双极性装置 240 的  $V_{be}$  电压的阈值电压的 ESD MOS 装置 224。用于 MOS 装置 224 的阈值电压的下限是在 1 伏的范围中。然而,对于此阈值电压,装置 228 及 240 必须极强且因此极宽。因此对于 MOS 装置 224 而言,1.5 伏或更大的范围中的阈值将为优选的。

[0024] 通过信号振幅检测器 114 的低通滤波器 (电阻器 234 及电容器 232) 引入的延迟允许发生 ESD 事件时的充分保护。ESD 事件为含有许多高频的瞬变现象。因此在 ESD 事件后在信号振幅检测器 114 的输出处建立电压。在无信号振幅检测器 114 延迟的情况下,此电压将瞬时建立且通过 ESD 增强电容器 112 的电容耦合将借此实质上旁通。但是 ESD 事件的情况中的斜坡时间是在纳秒 (ns) 范围中,而所述低通滤波器的延迟是在数百纳秒的范围中。因此 ESD 事件的斜坡边缘不受影响地耦合到 ESD 保护 MOS 装置 224 的栅极。因此 ESD 保护 MOS 装置 224 的触发阈值保持不变。此意味着所述 ESD 保护以与本文上文更完整论述的基本电容耦合技术相同的方式精确地作出反应。或在变动的情况中,与通过振幅检测器 114 检测的信号成比例的 ESD 增强电容器 112 对 ESD 保护 MOS 装置 224 的影响将借此一直维持防止 ESD 保护 MOS 装置 224 被非所要地接通的电平。

[0025] 此常规保护电路需要通过电容器 112 及 126 的两个分离 AC 耦合。而且,如上所解释的 ESD 晶体管以及极快速 PNP 晶体管 240 需要中间或高电压阈值 (大于 1.5 伏) ESD 装置。半导体制造中的某些工艺可能不允许产生此类装置。

## 发明内容

[0026] 因此,需要可通过各种半导体制造工艺产生的装置的改进的 ESD 保护。

[0027] 根据一实施例,具有自适应静电放电 (ESD) 保护的集成电路装置可包括受保护免于 ESD 的外部连接引脚;外部接地连接引脚;自适应静电放电 (ESD) 保护电路,所述自适应静电放电 (ESD) 保护电路包括:ESD 保护 N 金属氧化物半导体晶体管,所述 ESD 保护 N 金属氧化物半导体晶体管具有连接到所述外部连接引脚的漏极及连接到接地的源极及本体;电阻器,所述电阻器耦合于所述 NMOS 晶体管的栅极与接地之间;第一 PMOS 晶体管,所述第一 PMOS 晶体管具有耦合到所述 NMOS 晶体管的栅极的源极及连接到接地的漏极;及第一电容器,所述第一电容器具有连接到所述外部连接引脚的第一端子及与所述 NMOS 晶体管的所述栅极耦合的第二端子,其中所述自适应 ESD 保护电路内的第一电容器是连接到所述外部连接引脚的唯一电容器。

[0028] 根据另一实施例,所述集成电路装置可进一步包括第二 P 金属氧化物半导体 (PMOS) 晶体管,其具有连接到所述第一电容器的所述第二端子的漏极、连接到所述 NMOS 晶体管的所述栅极的源极及本体以及连接到接地的栅极,其中所述第一 PMOS 晶体管的源极及本体连接到所述 NMOS 晶体管的所述栅极,且所述第一 PMOS 晶体管的漏极连接到接地;及滤波器,其耦合于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的所述栅极之间。根据另一实施例,所述滤波器可包括连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第一 PMOS 晶体管的所述源极与所述栅极之间的第二电容器。根据另一实施例,所述滤波器的时间常数可为约 400 纳秒。根据另一实施例,所述集成电路装置可进一步包括耦合到外部连接件的数据总线接口;耦合

到所述数据总线接口的电路功能。根据另一实施例,所述数据总线接口可为数据总线接收器及数据总线驱动器的至少一者。根据另一实施例,所述电路功能可为数字逻辑功能。根据另一实施例,所述电路功能可为模拟电路功能或混合信号电路功能。

[0029] 根据另一实施例,所述集成电路装置可进一步包括与所述第二电容器并联耦合的第三电阻器。根据另一实施例,所述集成电路装置可进一步包括第三 PMOS 晶体管,其具有连接到所述第二 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第一 PMOS 晶体管的所述本体的本体以及连接到接地的源极。根据另一实施例,所述集成电路装置可进一步包括第三 PMOS 晶体管,其具有连接到所述第二 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第二 PMOS 晶体管的所述本体及源极的本体及源极。

[0030] 根据另一实施例,待连接到所述外部连接件的数据总线可为区域互连网络 (LIN) 总线或控制器局域网络 (CAN) 总线。根据另一实施例,所述集成电路装置可进一步包括第二 P 金属氧化物半导体 (PMOS) 晶体管,其具有连接到所述第一电容器的所述第二端子的漏极、连接到接地的源极及本体,其中所述第一 PMOS 晶体管的所述源极及本体连接到所述 NMOS 晶体管的所述栅极,且所述第一 PMOS 晶体管的漏极连接到接地;及滤波器,其耦合于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管之间。根据另一实施例,所述第二 PMOS 晶体管的所述栅极可与接地耦合。根据另一实施例,所述集成电路装置可进一步包括耦合于所述 NMOS 晶体管的所述栅极与接地之间的第二电容器。根据另一实施例,所述第二 PMOS 晶体管的所述栅极可与所述 NMOS 晶体管的所述栅极耦合。根据另一实施例,所述滤波器可包括连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第一 PMOS 晶体管的所述源极与所述栅极之间的第二电容器。根据另一实施例,所述集成电路装置可进一步包括与所述第二电容器并联耦合的第三电阻器。根据另一实施例,所述集成电路装置可进一步包括第三 PMOS 晶体管,其具有连接到所述第一 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第二 PMOS 晶体管的所述本体的本体及连接到接地的源极。根据另一实施例,所述集成电路装置可进一步包括第三 PMOS 晶体管,其具有连接到所述第一 PMOS 晶体管的所述栅极的漏极与栅极、连接到所述第一 PMOS 晶体管的所述本体及源极的本体及源极。根据另一实施例,所述滤波器的时间常数可为约 400 纳秒。

[0031] 根据另一实施例,所述集成电路装置可进一步包括第二 P 金属氧化物半导体 (PMOS) 晶体管,其具有连接到所述第一电容器的所述第二端子的漏极、连接到所述 NMOS 晶体管的所述栅极的本体及连接到接地的源极与栅极,其中所述第一 PMOS 晶体管的所述源极及本体连接到所述 NMOS 晶体管的所述栅极,且所述第一 PMOS 晶体管的所述漏极连接到接地;连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第一 PMOS 晶体管的所述源极与所述栅极之间的第二电容器,及第三 PMOS 晶体管,所述第三 PMOS 晶体管具有连接到所述第一 PMOS 晶体管的所述栅极的源极与栅极、连接到所述接地的漏极以及连接到所述第二 PMOS 晶体管的所述本体的本体。

[0032] 根据另一实施例,所述集成电路装置可进一步包括第二 P 金属氧化物半导体 (PMOS) 晶体管,其具有耦合到所述第一电容器的所述第二端子的漏极、连接到所述第一 PMOS 晶体管的所述本体的本体及源极以及连接到接地的栅极,其中所述第一 PMOS 晶体管的栅极连接到接地。根据另一实施例,所述集成电路装置可进一步包括连接于所述 NMOS 晶体管

的所述栅极与所述第二 PMOS 晶体管的漏极之间的第二电阻器。根据另一实施例,所述 NMOS 晶体管的栅极 - 漏极电容可形成所述第一电容器。根据另一实施例,所述集成电路装置可进一步包括连接于所述 NMOS 晶体管的所述栅极与接地之间的第二电容器。根据另一实施例,所述集成电路装置可进一步包括连接于所述 NMOS 晶体管的所述栅极与所述第一电阻器之间的第二电阻器。

[0033] 根据另一实施例,所述电阻器可通过晶体管形成。根据另一实施例,所述第二电阻器可通过晶体管形成。根据另一实施例,所述 NMOS 晶体管的栅极 - 漏极电容可形成所述第一电容器。根据另一实施例,所述第一 PMOS 晶体管的栅极可连接到接地。根据另一实施例,所述第一 PMOS 晶体管的所述源极可通过第二电阻器与所述 NMOS 晶体管的所述栅极连接。

[0034] 根据另一实施例,所述第一 PMOS 晶体管的栅极可连接到接地。根据另一实施例,所述第一 PMOS 晶体管的所述源极可通过第二电阻器与所述 NMOS 晶体管的所述栅极连接。根据另一实施例,所述集成电路装置可进一步包括连接于所述第一电容器的所述第二端子与所述第一 PMOS 晶体管的所述源极之间的第三电阻器。

[0035] 根据又一实施例,机动运载工具可包括选自由区域互连网络 (LIN) 总线及控制器局域网络 (CAN) 总线组成的群组的数据总线;具有自适应静电放电 (ESD) 保护的集成电路装置,所述集成电路装置包括:经由外部连接引脚与所述数据总线耦合的数据总线接口;耦合到所述数据总线接口的电路功能;外部接地连接引脚;ESD 保护 N 金属氧化物半导体 (NMOS) 晶体管,其具有连接到所述外部连接引脚的漏极及连接到接地的源极及栅极;耦合于所述 NMOS 晶体管的栅极与接地之间的电阻器;具有连接到所述外部连接引脚的第一端子的第一电容器;第一 P 金属氧化物半导体 (PMOS) 晶体管,其具有连接到所述第二端子的漏极、连接到所述 NMOS 晶体管的所述栅极的源极及栅极以及连接到接地的栅极;第二 PMOS 晶体管,其具有连接到所述 NMOS 晶体管的所述栅极的源极及栅极以及连接到接地的漏极;及滤波器,其包括连接于所述第一电容器的所述第二端子与所述第二 PMOS 晶体管的栅极之间的第二电阻器,及连接于所述第二 PMOS 晶体管的所述源极与所述栅极之间的第二电容器。

## 附图说明

[0036] 可通过参考下列结合附图进行的描述获取对本发明的更完整理解,附图中:

[0037] 图 1 为 ESD 及 EMI 优化电路的常规实施方案的示意框图;

[0038] 图 2 为 ESD 及 EMI 优化电路的常规实施方案的更详细电路图;

[0039] 图 3A 到 3C 展示根据各种实施例的实施方案的电路图。

[0040] 图 4A 到 4C 展示根据另外实施例的实施方案的电路图。

[0041] 图 5 为根据又一实施例的实施方案的电路图。

[0042] 图 6A 到 6F 展示根据另外其它实施例的实施方案的电路图。

[0043] 图 7 及 8 展示用晶体管结构取代电阻器 340 及 326 的替代性实施例。

[0044] 虽然本发明可以有各种修改及替代性形式,但是本发明的特定实例实施例已在所述图式中予以展示且在本文中予以详细描述。然而,应明白,本文对特定实例实施例的描述并不希望将本发明限于本文揭示的特定形式,而是相反,本发明将涵盖所附权利要求书界

定的全部修改及等效物。

### 具体实施方式

[0045] 现在参看图式,示意说明特定实例实施细节。在所述图式中相同的元件将由相同的数字表示,且类似的元件将由具有不同的小写字母下标的相同数字表示。

[0046] 如上文提及,根据各种实施例的保护电路可用以保护例如汽车电子设备中使用的区域互连网络(LIN)总线连接引脚及类似物,且更特定来说,用以在处置、插入所述LIN总线及类似物或从其移除时实现高静电放电(ESD)稳健性,且在对所述LIN总线及类似物操作时具有高电磁干扰(EMI)抗扰性。因此,以下描述的技术及相关联的电路图是针对LIN引脚而设计。然而各个实施例及相关联的技术可应用于集成电路装置的任何引脚。

[0047] 图3A展示改进的保护电路的示范性实施例。如图1及2中所示,集成电路300包括例如通过驱动器104a(可为开路漏极晶体管、三态驱动器等等)及通过接收器104b(可为电平检测器)与外部引脚118及222耦合的电路功能106,例如LIN功能性。依据所述功能性,所述电路可包括仅一接收器104b或仅一驱动器104a或两者。接收器104b及/或驱动器104a也耦合到信号接地220,信号接地220连接到可位于集成电路装置300的集成电路封装上的外部接地或共同连接件222。如上文提及,集成电路装置300可用于例如(但不限于)LIN模块或CAN实施方案。如所属领域的技术人员将明白,可使用遭遇类似问题的其它总线系统。

[0048] 所述保护电路包含耦合于外部引脚118与接地120之间的NMOS晶体管224,其中电阻器226耦合于NMOS晶体管224的栅极与接地之间。单一AC路径由通过第一端子耦合到外部引脚118的电容器310提供。电容器310的第二端子与第一PMOS晶体管320的漏极及电阻器340耦合。PMOS晶体管320的源极及本体与NMOS晶体管224的栅极耦合,而PMOS晶体管320的栅极连接到接地。提供漏极耦合到接地且源极及本体也与NMOS晶体管224的栅极耦合的第二PMOS晶体管330。串联耦合于电容器310与NMOS晶体管224的栅极之间的电阻器340与电容器350一起形成低通滤波器。电阻器340与电容器350之间的节点与第二PMOS晶体管330的栅极耦合。根据一些实施例,PMOS晶体管330的栅极电容可足够大以确保此低通功能。根据另外的实施例,可使用针对类似功能性而提供的其它滤波器电路。

[0049] 根据图3A中展示的提出的实施例,不需要中间到高阈值电压(大于1.5伏)ESD装置,也不需要如图2中以PNP晶体管240所示的快速PNP装置。因此图3A中展示的实施例不具有工艺限制。而且,其使用单一电容路径以执行EMI检测及ESD耦合两者,而如图1中所示的常规实施方案需要两个分离AC路径。

[0050] 在实践中,当EMI消失时可能不存在使LP滤波电容350放电的路径。因此所述ESD耦合电容可长时间保持旁通到接地,诱发到全ESD能力的长恢复时间。如通过图3A中的虚线指示,可增加与电容器350并联的电阻器360实现此放电路径。但是此电阻必须大且可能需要显著面积。因此,根据如图3B及3C中所示的另一实施例,此也可使用与电容器350并联的二极管连接的晶体管365或370来完成。

[0051] 图3B中展示第一可能的解决方法,其中提供额外的PMOS晶体管365。此PMOS晶体管365的漏极与电阻器340与电容器350之间的节点耦合。PMOS晶体管365的源极连接

到接地。PMOS 晶体管 365 的栅极与其漏极连接,且本体与 PMOS 晶体管 320 的本体连接。

[0052] 在如图 3C 中所示的第二可能解决方法中,可增加 PMOS 晶体管 370 的形式的额外的区域箝位及放电电路以改进如图 3A 中所示的此新的保护原理。在此实施例中,PMOS 晶体管 370 的源极及本体同电容器 350 与 PMOS 晶体管 330 的源极及本体之间的节点耦合,而栅极及漏极同电阻器 340 与电容器 350 之间的节点耦合。当 EMI 消失时,可针对所述 EMI 箝位的快速复位而提供用于如图 3B 及 3C 中所示的电容器 350 的此放电路径。

[0053] 漏极到栅极耦合电容器 310 通过其栅极连接到接地(共同栅极配置)的 PMOS 开关晶体管 320 连接到 ESD 装置 224 的栅极。发生在 ESD 装置 224 的漏极上的正修正被转移到此 PMOS 开关 320 的源极且上拉所述源极。此使开关 320 接通且使 ESD 电容器 310 耦合到 ESD 装置 224 的栅极,且因此改进 ESD 稳健性。

[0054] 当施加 EMI 时,开关 320 的非线性行为诱发在跨电容器 310 及开关 320 的波形上产生负 DC 分量的整流效应。此负 DC 分量通过低通滤波器 340、350 提取,且施加于第二 PMOS 晶体管 330 的栅极,使其接通并因此将 NMOS ESD 晶体管 224 的栅极强接地。因此,到达 NMOS ESD 装置 224 的栅极的 EMI 波形被旁通到接地。而且 NMOS ESD 装置 224 处的栅极上的剩余电压具有使其强断开的负分量。

[0055] AM 低通滤波器 340、350 的延迟在 EMI 施加于总线上时延迟旁通开关的“接通”。因此,在 EMI 扰动开始时可在所述总线上出现短主导脉冲。为最小化所述总线上的此寄生主导状态的持续时间,低通滤波器时间常数必须为短。然而,此时间常数也必须足够大以适当地对低频 EMI 进行低通滤波。400 纳秒的典型的时间常数因此可被视为好的折衷。所述时间常数足够长以滤除 1MHz EMI 且足够短以在所述总线上产生瞬态,所述瞬态将通过所述接收器的低通/抗尖峰脉冲滤波器滤除且因此不会为系统所察觉。LIN 总线的最大数据速率是 20KB(最小位持续时间为 50 微秒)。

[0056] 如图 3A 到 3C 中所示的保护电路可在所述外部连接引脚上实现高 ESD 稳健性(大于 6 千伏)及高 EMI 抗扰性(大于 36dBm)。如前文提及,在处置含有所述集成电路的模块期间或当此模块插入汽车总线系统或从汽车总线系统拔除时需要 ESD 稳健性。当此模块连接到所述汽车总线系统时,不再存在到所述集成电路装置的 ESD 放电的直接路径。因此所述 ESD 需求显著较低。然而,连接到所述集成电路的总线线路针对所述汽车周围的电磁场形成好的天线,且可在总线信号上叠加高电平 HF 电压(EMI)。图 3A 到 3C 中展示的电路确保叠加在所述总线信号上的此类高频信号不影响所述总线上的发射的精确度。所述保护电路形成智能型漏极到栅极耦合。因此,可避免漏极到栅极耦合以达到高 EMI 稳健性。所述保护电路检测外部连接引脚上的任何 EMI。如果存在所述 EMI,那么 ESD 装置的漏极到栅极电容被切断或旁通到接地,因此未在所述 ESD 装置的栅极上注入能量且防止所述 ESD 保护破坏数据通信。然而,当不存在 EMI 时,连接所述漏极到栅极电容,因此改进 ESD 稳健性。

[0057] 在一些工艺中,所述 ESD 晶体管的固有漏极到栅极电容 311(虚线)足够大以在 ESD 事件期间耦合所述栅极上的所需能量。因此可能不需要额外的耦合电容器。然而,当线路上存在 EMI 时,所述固有漏极到栅极电容器 311 必须接地以防止破坏数据通信。在对图 3A 到 3C 中提出的解决方法作出细小的改变的情况下可容易地实现此功能。如展示图 3B 的经修改电路的图 4A 中所示,耦合 PMOS 晶体管 320 通过 PMOS 晶体管 325 取代,PMOS 晶体管 325 现在与 ESD 晶体管 224 的栅极断开连接,且现在接地以用作整流器。可对如图 3A 及 3C

中所示的电路提供相同改变。

[0058] 在一些工艺中,ESD 晶体管的固有漏极到栅极电容 311 可能太大而不能在 ESD 事件期间耦合所述栅极上的最佳能量。此可根据另一实施例借助通过图 4A 中用虚线展示的额外的栅极到源极 / 本体电容 424 增加 ESD 晶体管 224 的栅极电容而解决。

[0059] 当存在 EMI 时,在晶体管 325 的漏极上形成具有负分量的脉动电压。此负分量通过电阻器 340 及电容器 350 低通滤波器施加于 EMI 旁通晶体管 330 的栅极以将其接通。最后将 ESD 晶体管 224 的栅极强接地,且所述电路处于类似于根据图 3A 到 3C 的先前示意图的情况中,即,ESD 晶体管 224 维持为“断开”。

[0060] 当发生 ESD 事件时,EMI 旁通晶体管 330 的栅极上未形成电压,因此所述栅极断开。ESD 晶体管 224 的栅极因此通过电阻器 226 而弱接地。因此 ESD 事件通过 ESD 晶体管 224 的固有漏极到栅极电容而耦合到 ESD 晶体管 224 的栅极。此处所述电路再次处于类似于如图 3A 到 3C 中所示的先前示意图的情况中。

[0061] 应注意,晶体管 325 及 330 需要形成于分离阱中。晶体管 325 的阱(本体)现在接地,而晶体管 330 的阱(本体)仍连接到 ESD 晶体管 224 的栅极。所属领域的技术人员将明白:在此配置中,整流效应主要是归因于晶体管 325 的固有漏极到阱(本体)二极管 425。图 4A 中用虚线展示此固有二极管 425。在又一实施例中,如图 4B 中所示,整流晶体管 326 的栅极可连接到 ESD 晶体管 224 的栅极。此处整流效应再次主要归因于整流晶体管 326 的固有漏极到阱(本体)二极管 426(虚线)。然而,可稍微修改此二极管的整流效应,从而使所述整流晶体管的栅极连接到 ESD 晶体管 224 的栅极而非接地。

[0062] 在又一实施例中,如图 4C 中所示,使全部 PMOS 晶体管保持在相同的阱中将会通过晶体管 327 的固有二极管 427 维持 ESD 晶体管 224 的栅极与电容器 310 之间的耦合。此处,来自图 4A 中展示的电路的晶体管 325 被晶体管 327 取代,其中晶体管 327 的漏极再次与电容器 310 耦合,而源极与栅极接地。用虚线展示寄生二极管 427。晶体管 327 的本体与 ESD 晶体管 224 的栅极连接。因此,如图 4C 中所示的电路将在某种程度上以与图 3A 到 3C 的电路相同的方式表现。

[0063] 当 ESD 晶体管 224 具有大于接地装置 330 的  $V_T$ (至少大 500 毫伏)时,可根据又一实施例使用图 5 的简化解法。此处可移除通路晶体管 320、LP 电容器 350 及放电晶体管 360/365/370,ESD 耦合电容 310 可直接耦合到 ESD 晶体管 224 的栅极,且取代前一晶体管 330 的晶体管 335 的栅极接地。然而,维持电阻器 340 有助于保护 ESD 晶体管 224 的栅极。当施加 EMI 时,旁通装置 335 的非线性在 ESD 晶体管 224 的栅极上形成负电压,使其维持“断开”。

[0064] 当 ESD 事件发生时,其通过电容器 310 耦合到 ESD 晶体管 224 的栅极。此“接通”旁通装置 335。因此旁通装置 335 大小必须定为中等到弱的旁通装置以允许足够的能量转移到 ESD 晶体管 224 的栅极。必须增加晶体管 380 以确保对旁通装置 335 的本体施加适当偏压。如图 5 中所示的所提出的电路可能不如图 3A 到 3C 及 4A 到 4B 中提出的电路一样作出快速反应,但是另一方面如图 5 中所示的所提出的电路极为简单且需要的面积小。

[0065] 当 ESD 晶体管 224 的固有漏极到栅极电容 311 足够大而不需要耦合电容 310 时,所述电路可极为紧密。因此,图 6A 展示另一实施例,其中耦合电容器 310 通过 ESD 晶体管 224 的固有漏极到栅极电容取代。对于图 5 及 6A,值得维持弱下拉电阻器 226。此确保 ESD

晶体管 224 在其保护的引脚上未发生特殊事件时完全断开。

[0066] 类似于图 4A 中所示的实施例,当所述固有漏极到栅极电容太大时,可增加额外的栅极到接地电容 424,如图 6A 中的虚线所示。

[0067] 在一些应用中,对于实施 ESD 装置 224, HV 栅极装置或场装置可能是优选的。装置 224 的阈值电压变得极高,其有益于 EMI 抗扰性。然而栅极接地装置 335 在 ESD 事件期间可将装置 224 的栅极电压箝位到其阈值电压以下。因此在 ESD 事件期间装置 224 中未产生通道,且所述 ESD 功效将降级。如图 6B 中所示,此可通过在 ESD 装置 224 的栅极与接地网络 226、335 及 380 之间增加串联电阻器 624 来避免。

[0068] 在此条件下,固有漏极到栅极电容 311 通常足够大以在 ESD 事件期间接通所述通道,因此不需要额外的漏极到栅极耦合电容器。如图 6C 中的实施例所示,当所述固有漏极到栅极电容 311 太小而不能转移 ESD 装置 224 上所需电压时,可增加额外的漏极到栅极耦合电容器 610。

[0069] 在相反的情况下,当固有漏极到栅极电容 311 太大时,如图 6D 中所示可增加额外的栅极到接地电容 424。而且也可尝试通过接地电阻器值限制栅极电压,然而此解决方法可能不佳,因为箝位效应将取决于 ESD 事件的斜率,且在慢 ESD 事件期间可能太强,而在快 ESD 事件期间可能太弱。在此提醒,应选取电阻器 226 值以与 ESD 装置 224 的栅极电容一起提供约 30 纳秒 RC 时间常数。与 ESD 事件的上升时间相比,此时间常数较长,且因此在 ESD 事件期间对 ESD 装置 224 的栅极上形成的电压产生的影响不大。

[0070] 如上文提及,ESD 装置的栅极上的触发电压可为大且显著超过标准 LV 装置的漏极/源极允许电压。因此,装置 335 可能必须配置为 HV 装置。许多工艺需要用于其 HV 装置的单一源极/本体节点。因此,如图 6A 到 6D 中所示,不再可能对装置 335 的本体进行分离存取,且如图 6E 中的实施例所示可移除晶体管 380。装置 335 的本体/源极节点现在连接到接地。有经验的设计者将注意到,装置 335 的漏极到本体固有二极管将对装置 335 的整流效应产生显著影响。

[0071] 如图 6F 中所示,在 ESD 晶体管 224 的漏极与整流晶体管 335 之间增加耦合电容 310 或电阻器-电容器组合 340、310 将改进 EMI 稳健性。电阻器 340 如用虚线指示可为任选的。此修改对根据各种其它实施例的图 6A 到 6E 也是有效的。

[0072] 在一些应用中,用户可能偏爱使用 MOS 或 JFET 晶体管来代替电阻器。图 7 中展示一种可能的解决方法,其中电阻器 226 及 340 通过 NMOS 晶体管 726 及 740 替代。此处,一旦存在  $V_{dd}$  供应电压,晶体管 726 就“接通”,同时晶体管 740 将电容器 310 的第二端子处存在的负交流转移到晶体管 330 的栅极。如图 8 中所示,此类晶体管也可为耗尽或 JFET 装置。当可用时,耗尽或 JFET 装置 826 及 840 的使用是优选的,因为其在零栅极电压下就已“接通”。因此装置 224 的栅极将一直接地,而不仅仅在存在  $V_{dd}$  时接地。图 7 及 8 中提出的解决方法并非详尽的且混合解决方法(例如,取代仅一个电阻器)也是可能的。因此,预期对所述电阻器的其它等效替换。

[0073] 虽然已参考本发明的实例实施例描绘、描述并定义本发明的实施例,但是此类参考并未暗示对本发明的限制,且不应推断出此限制。如相关领域的且从本发明获益的一般技术人员将想到,所揭示的标的物能够在形式及功能上容许相当大的修改、变更及等效物。本发明的所描绘及描述的实施例仅为实例,且并非本发明的详尽范围。

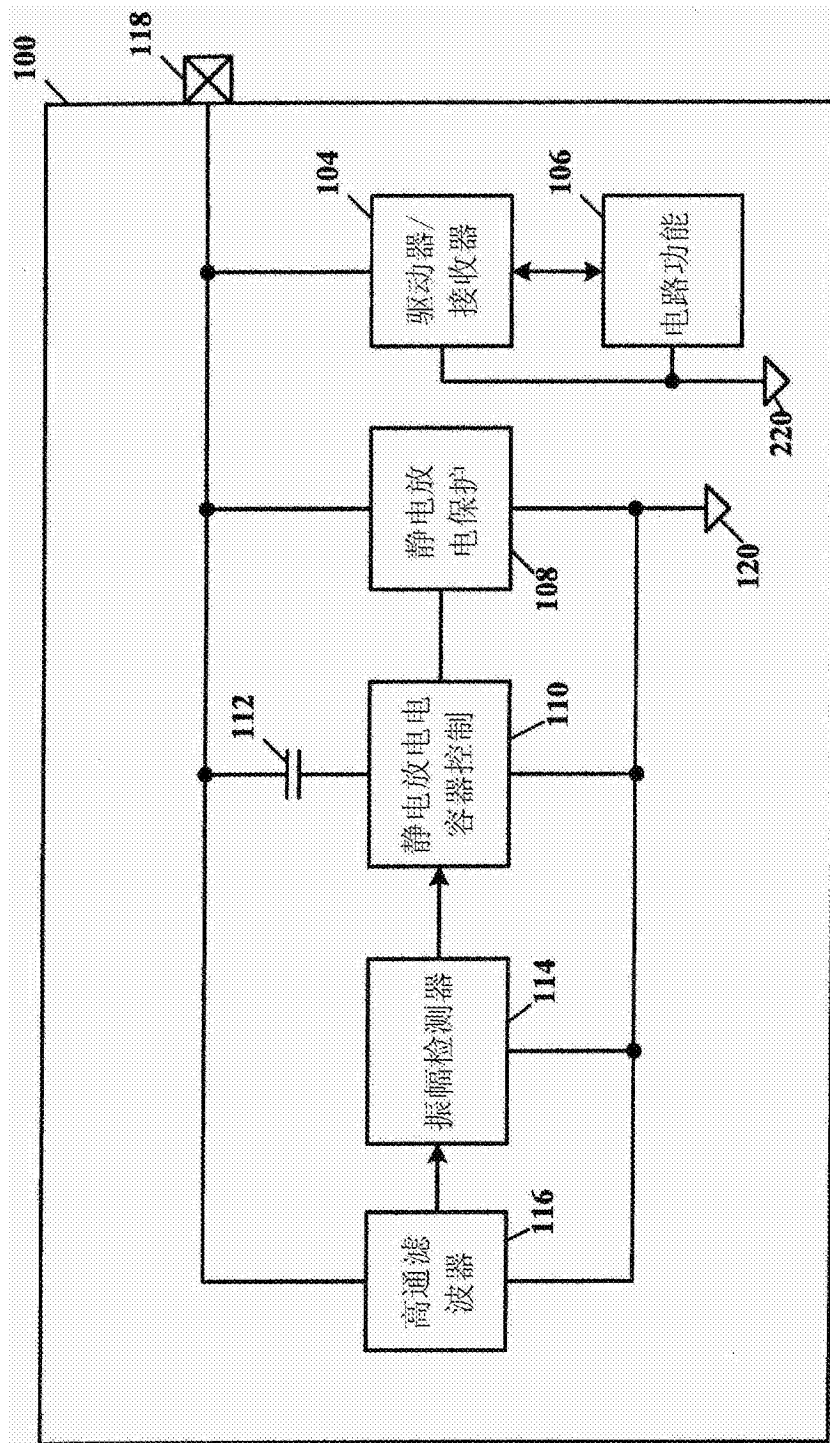


图1(现有技术)



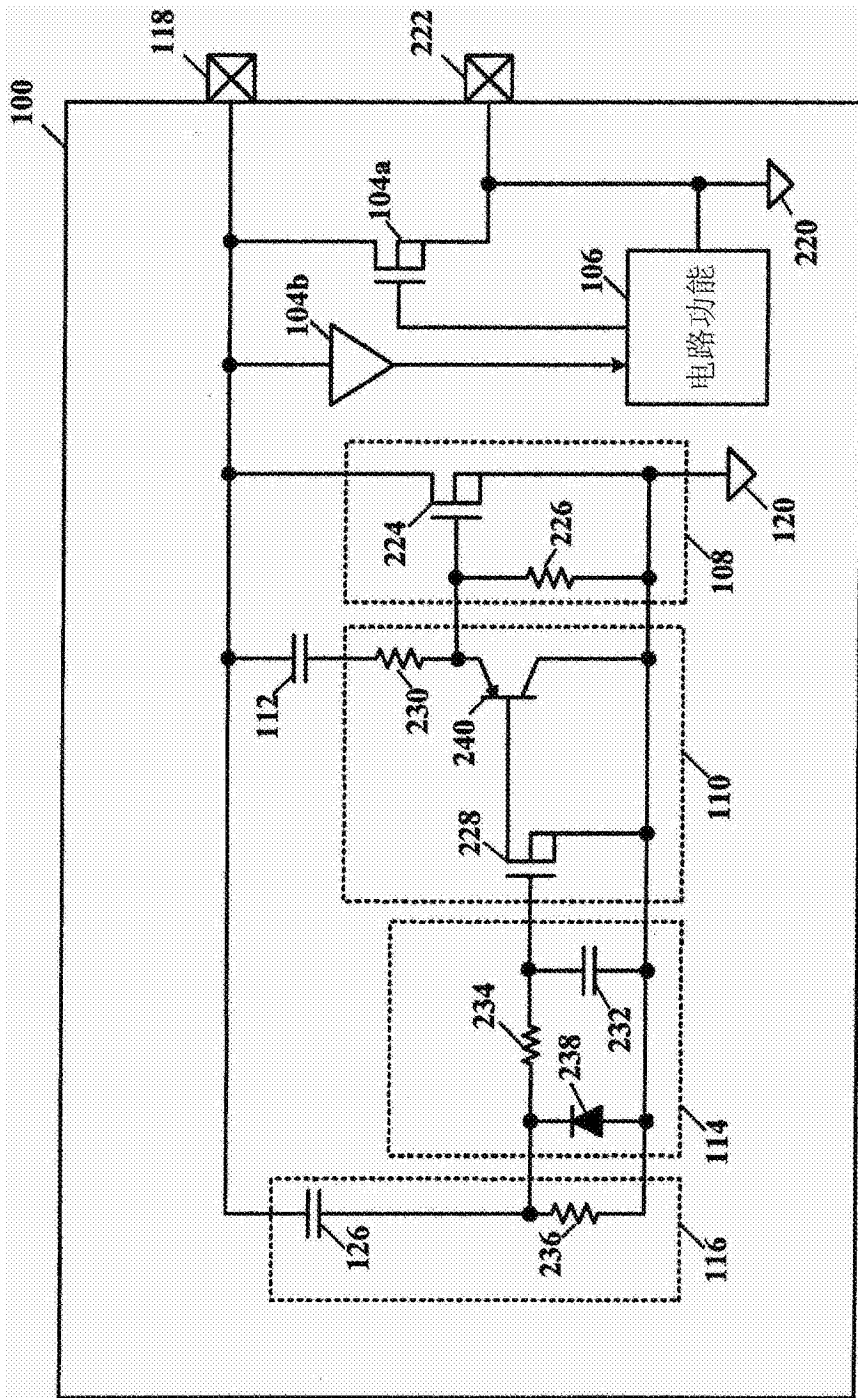


图 2(现有技术)

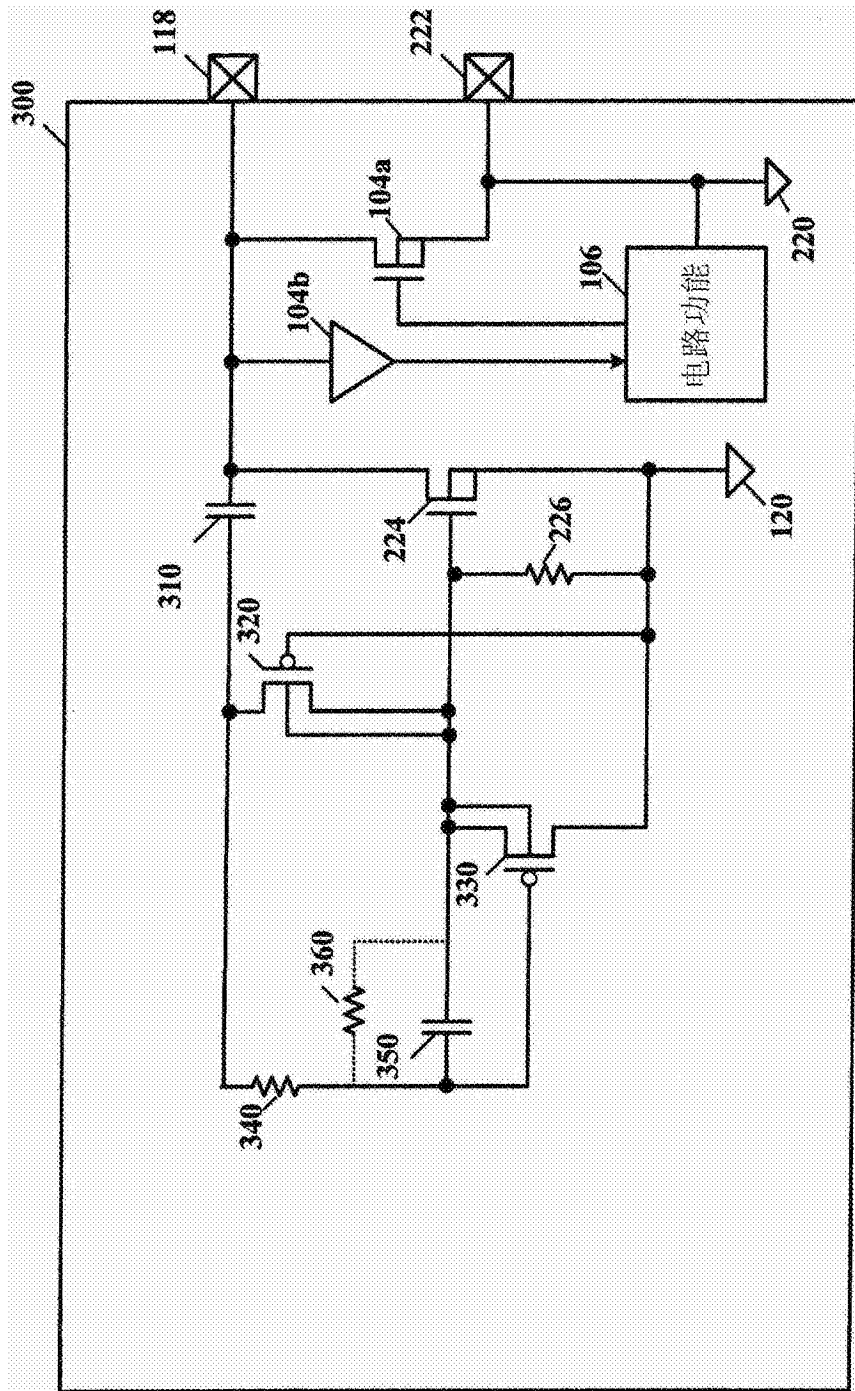


图 3A

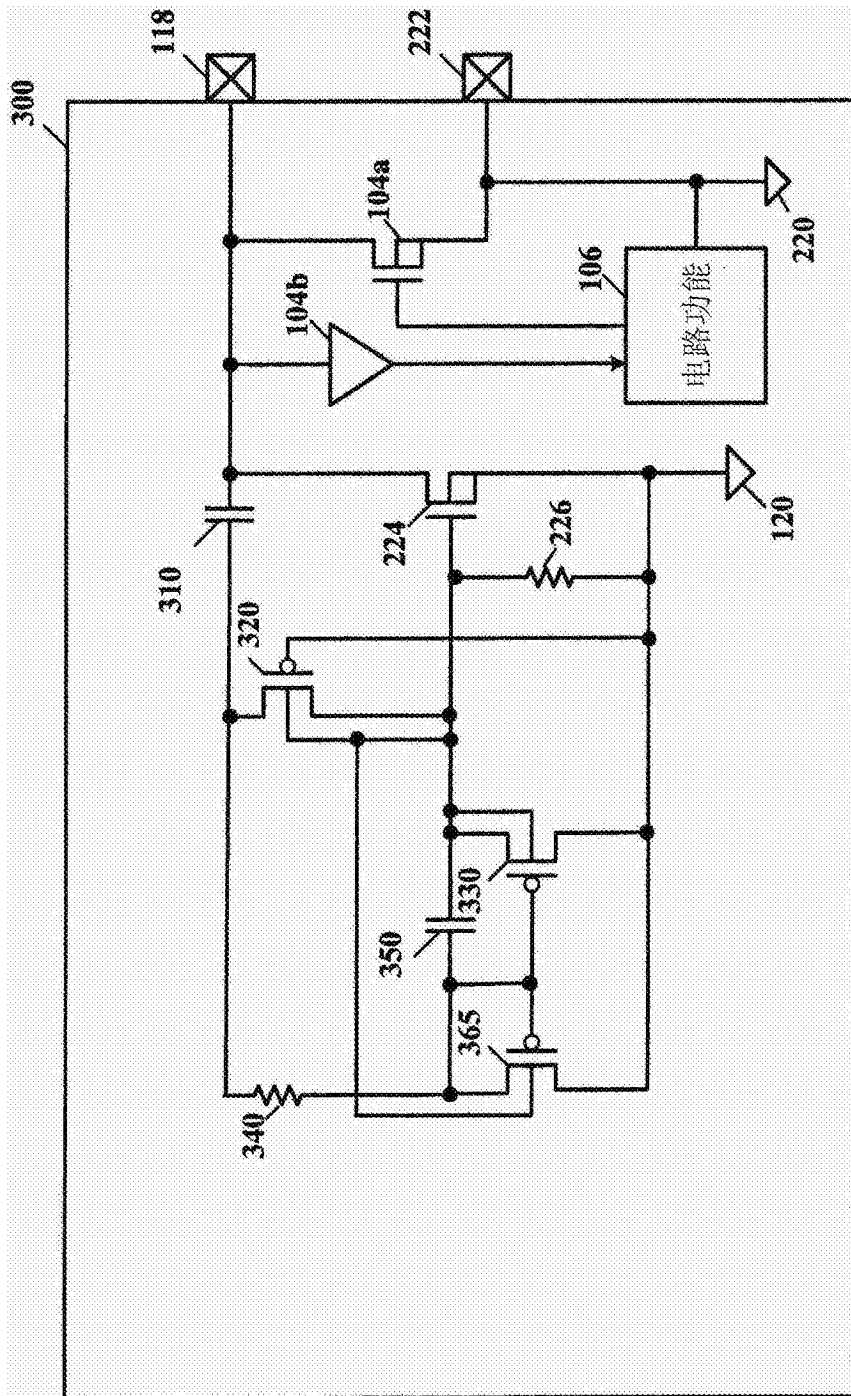


图 3B

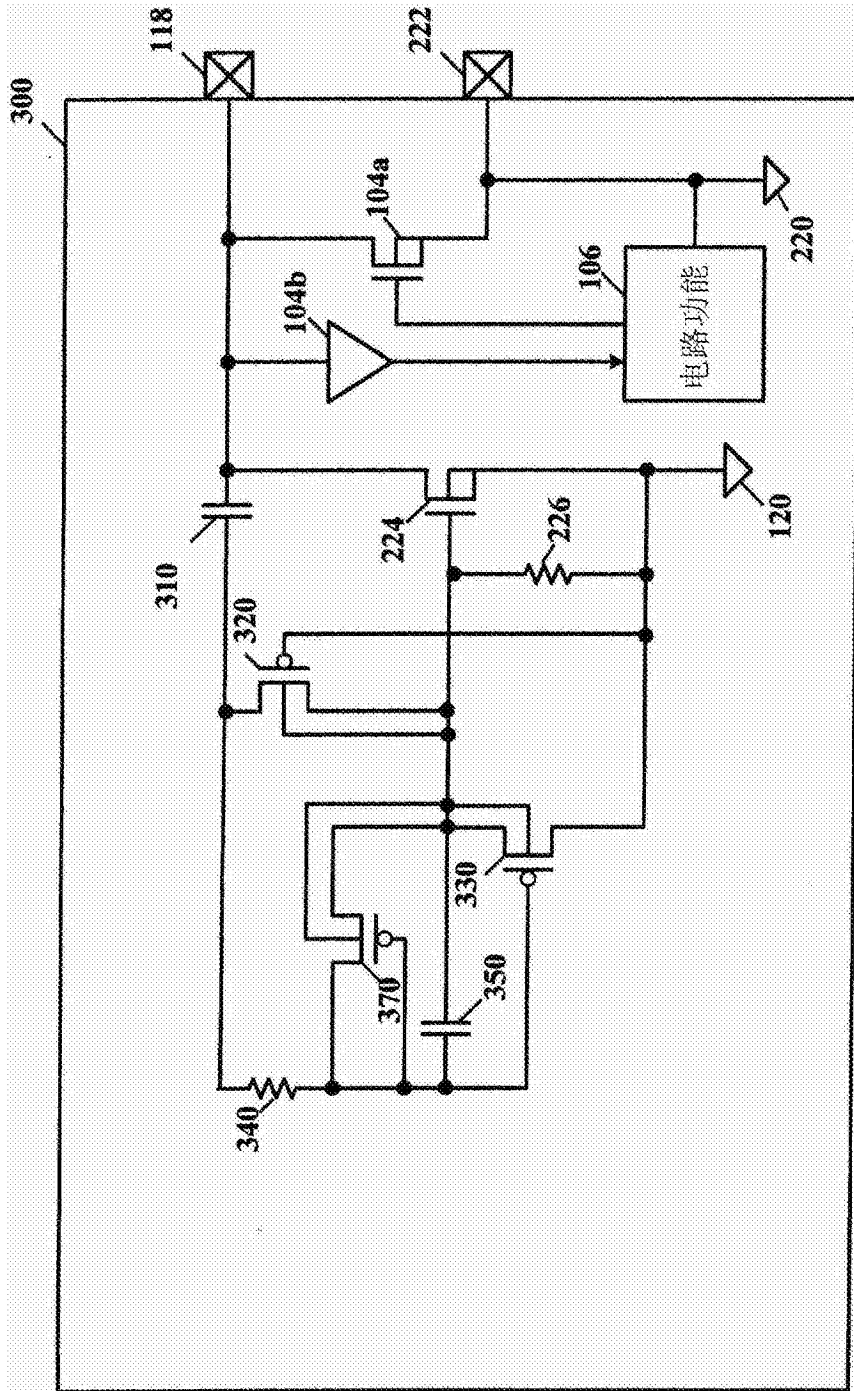


图 3C

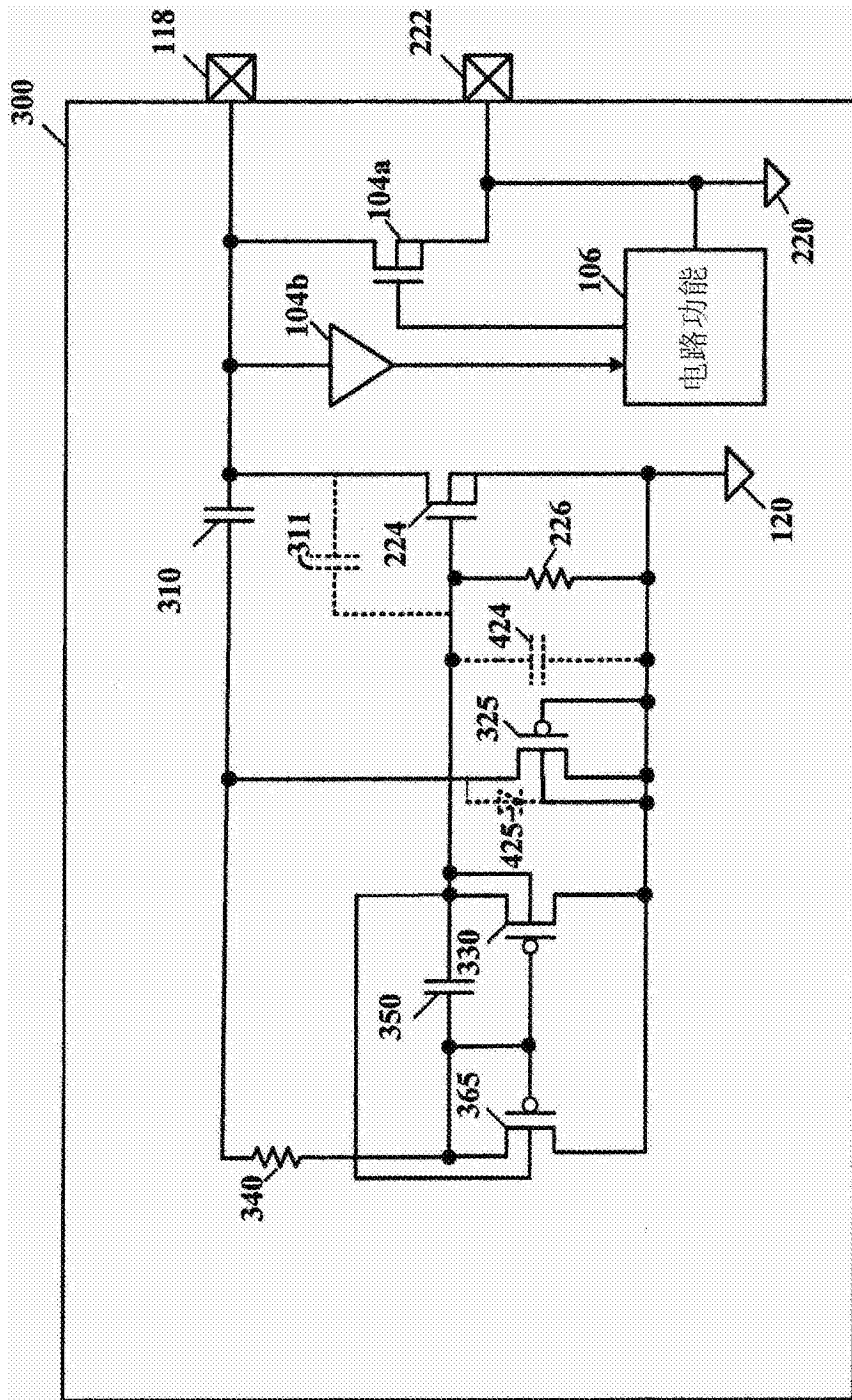


图 4A

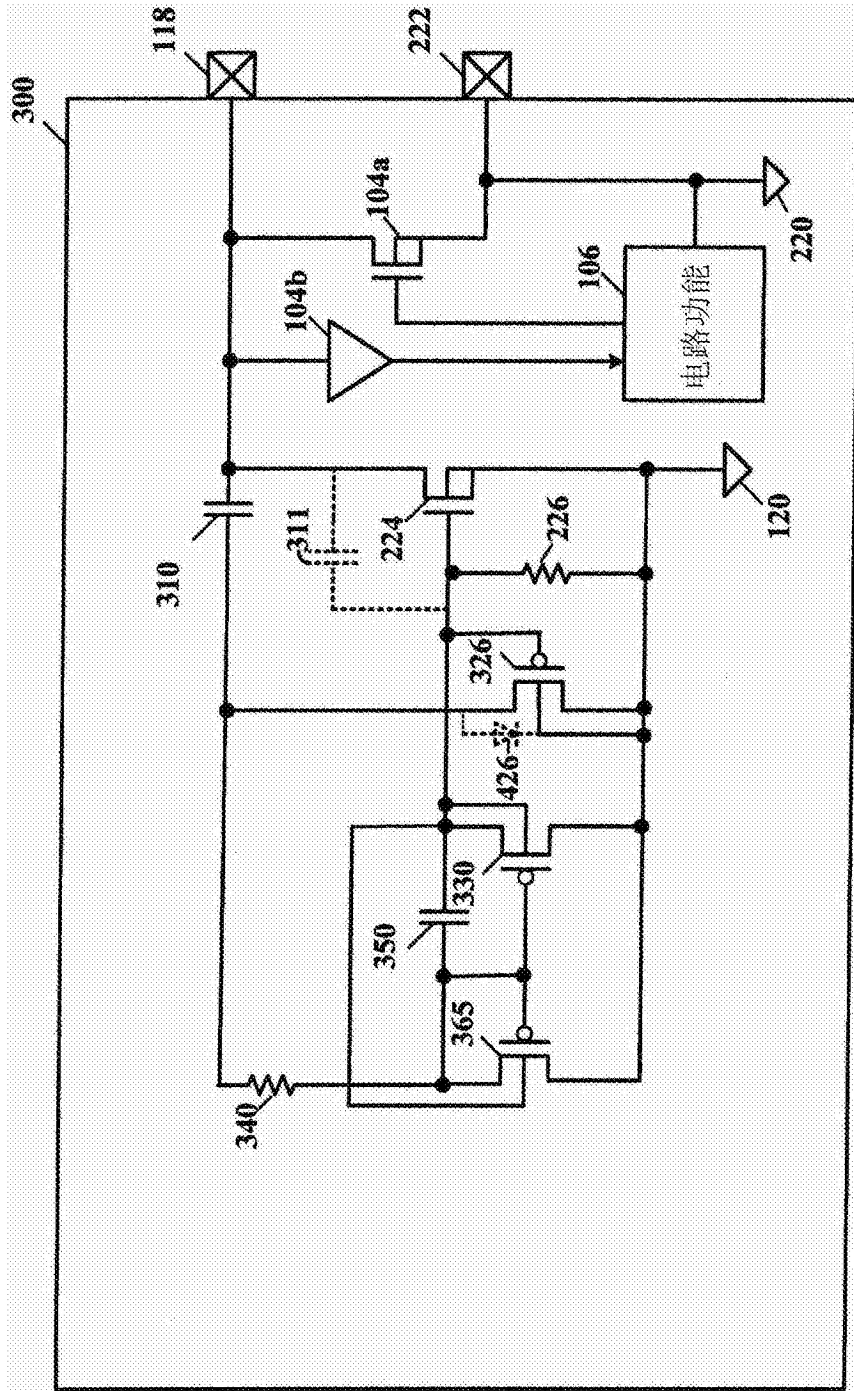


图 4B

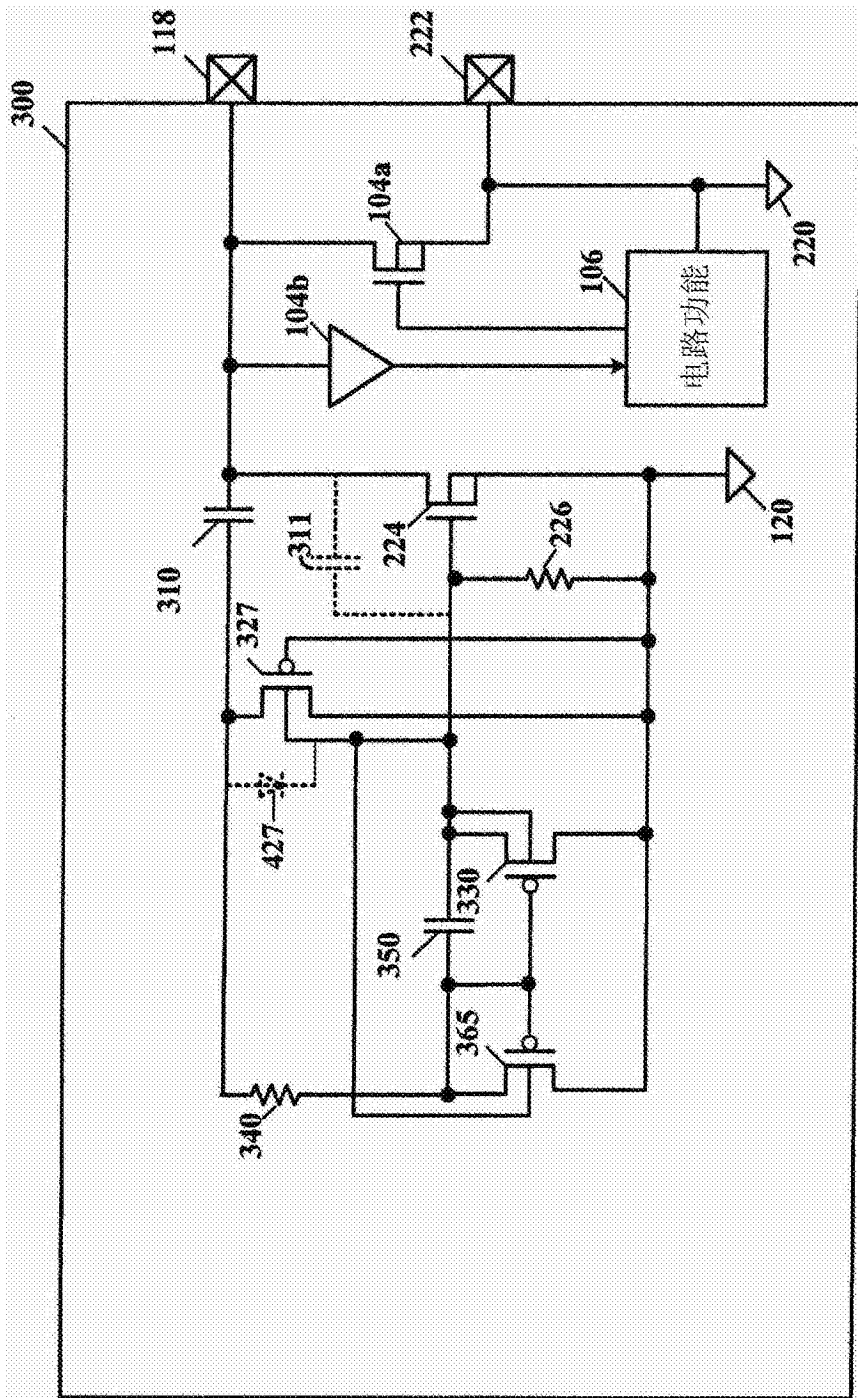


图 4C

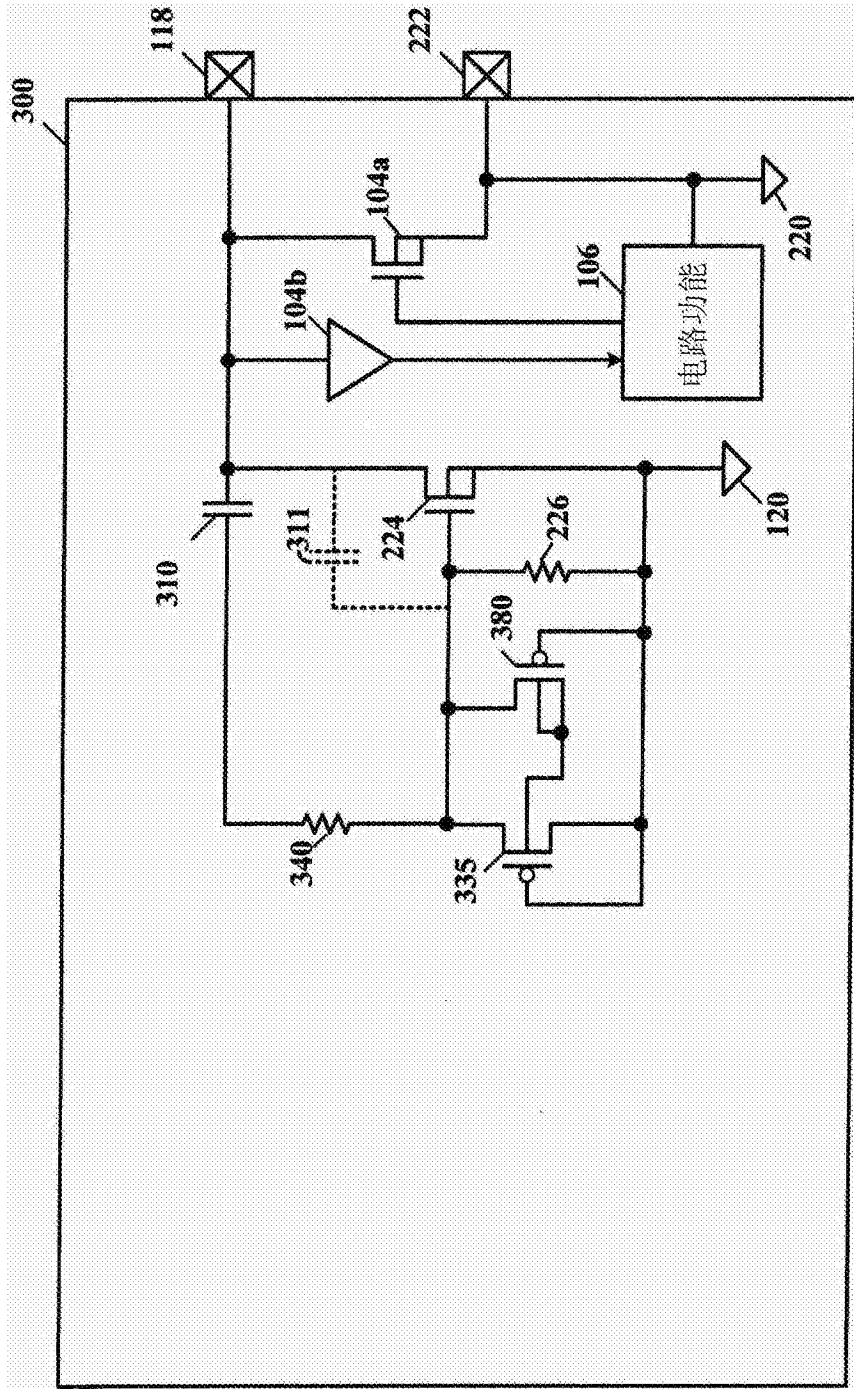


图 5



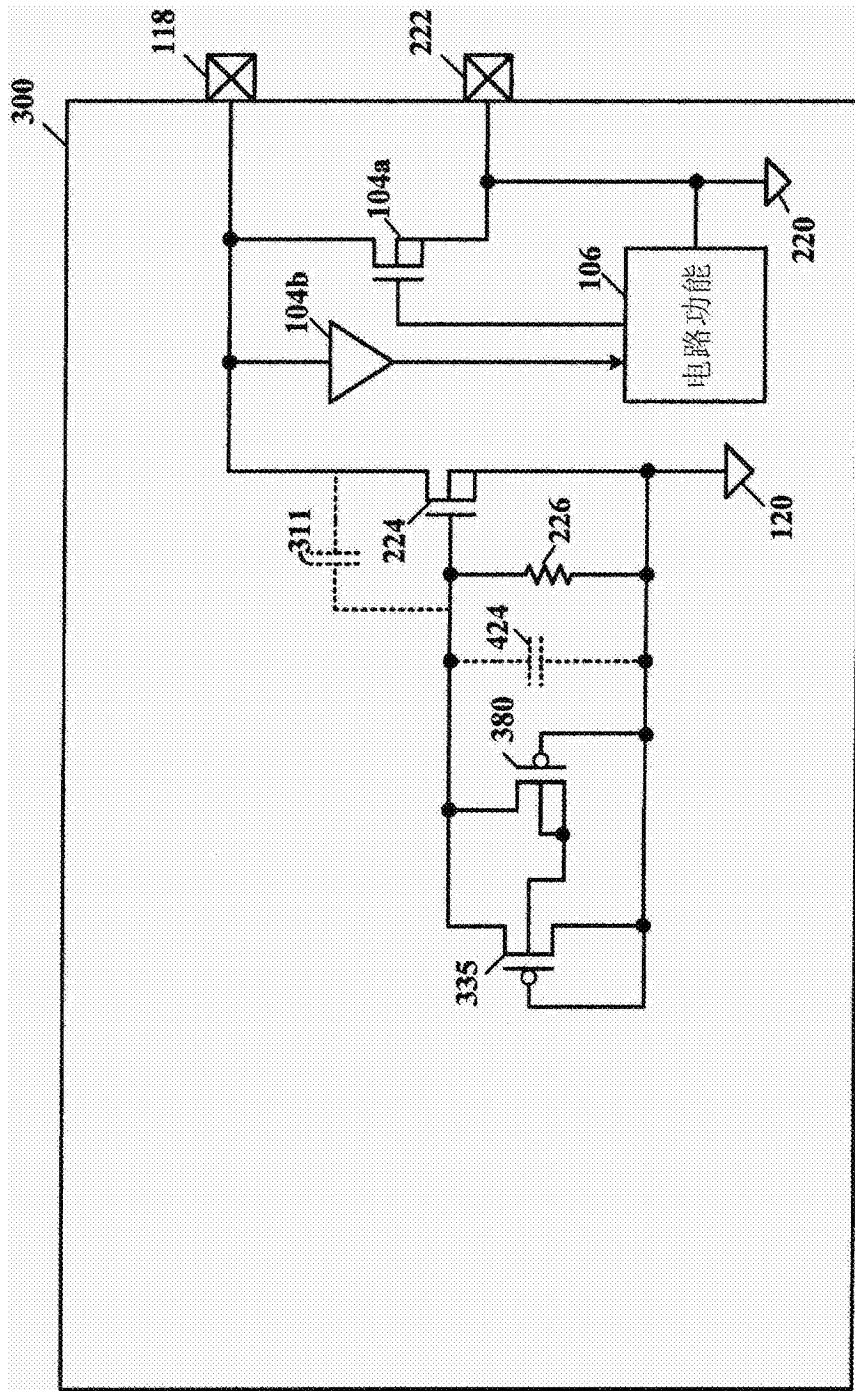


图 6A

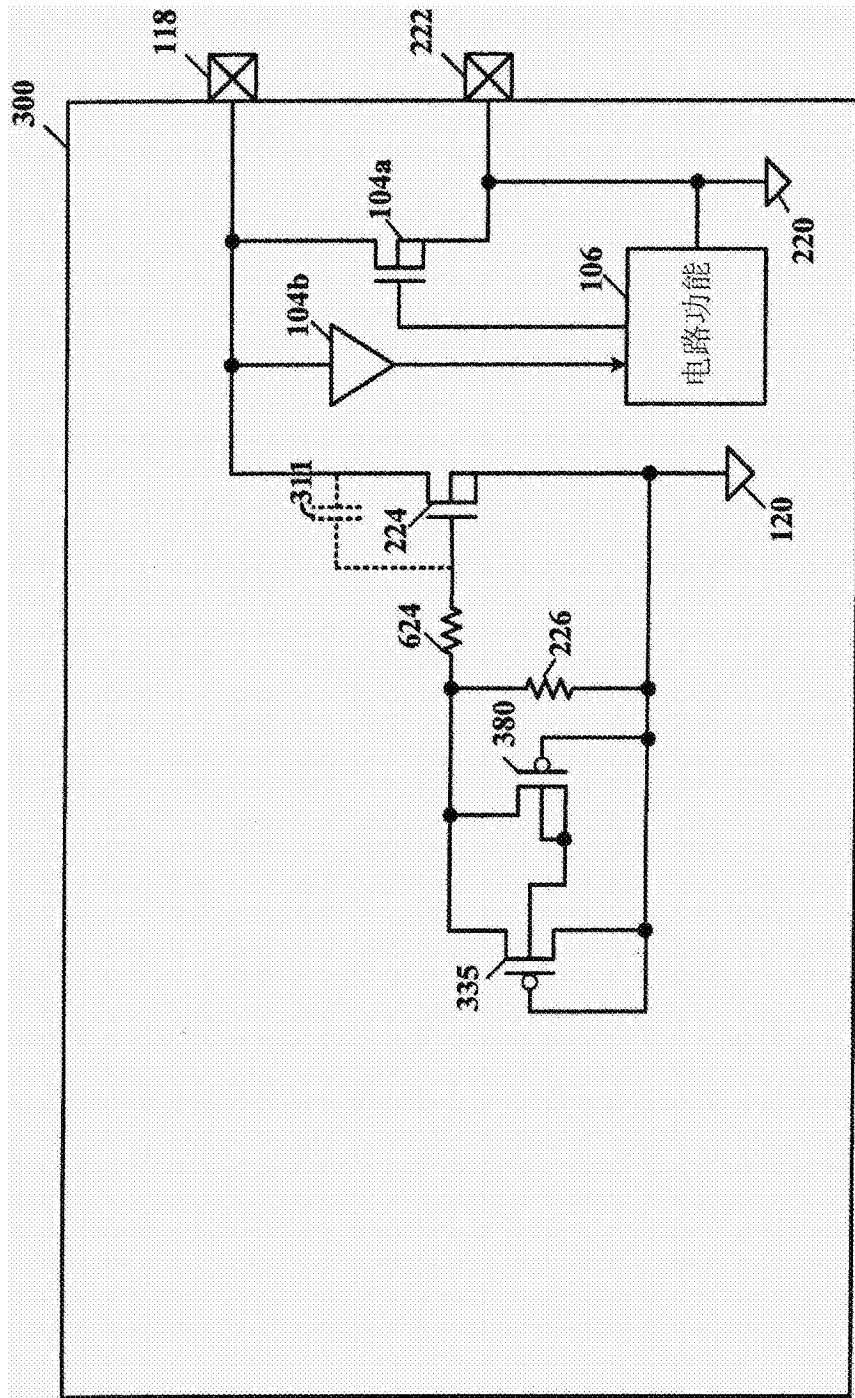


图 6B

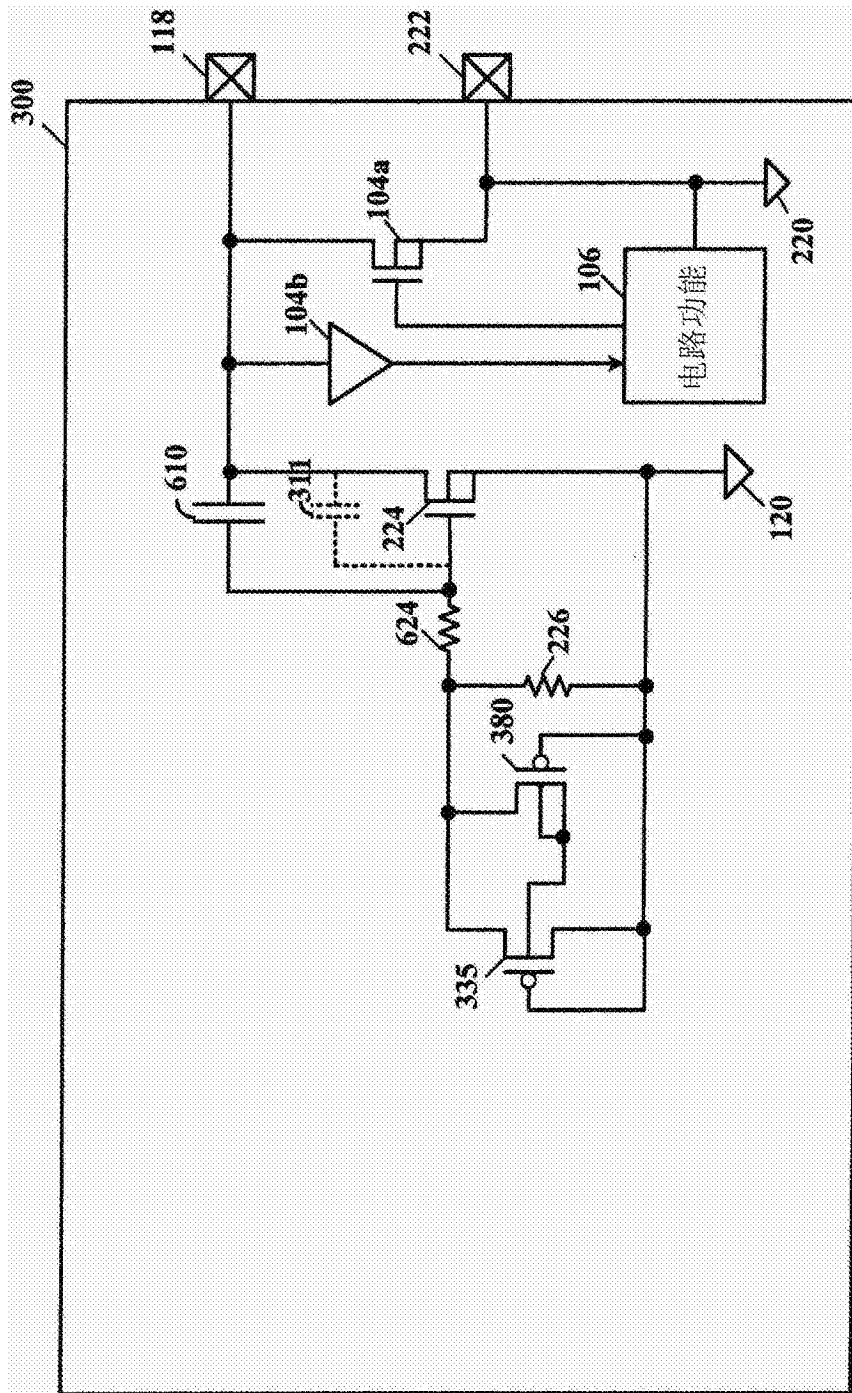


图 6C

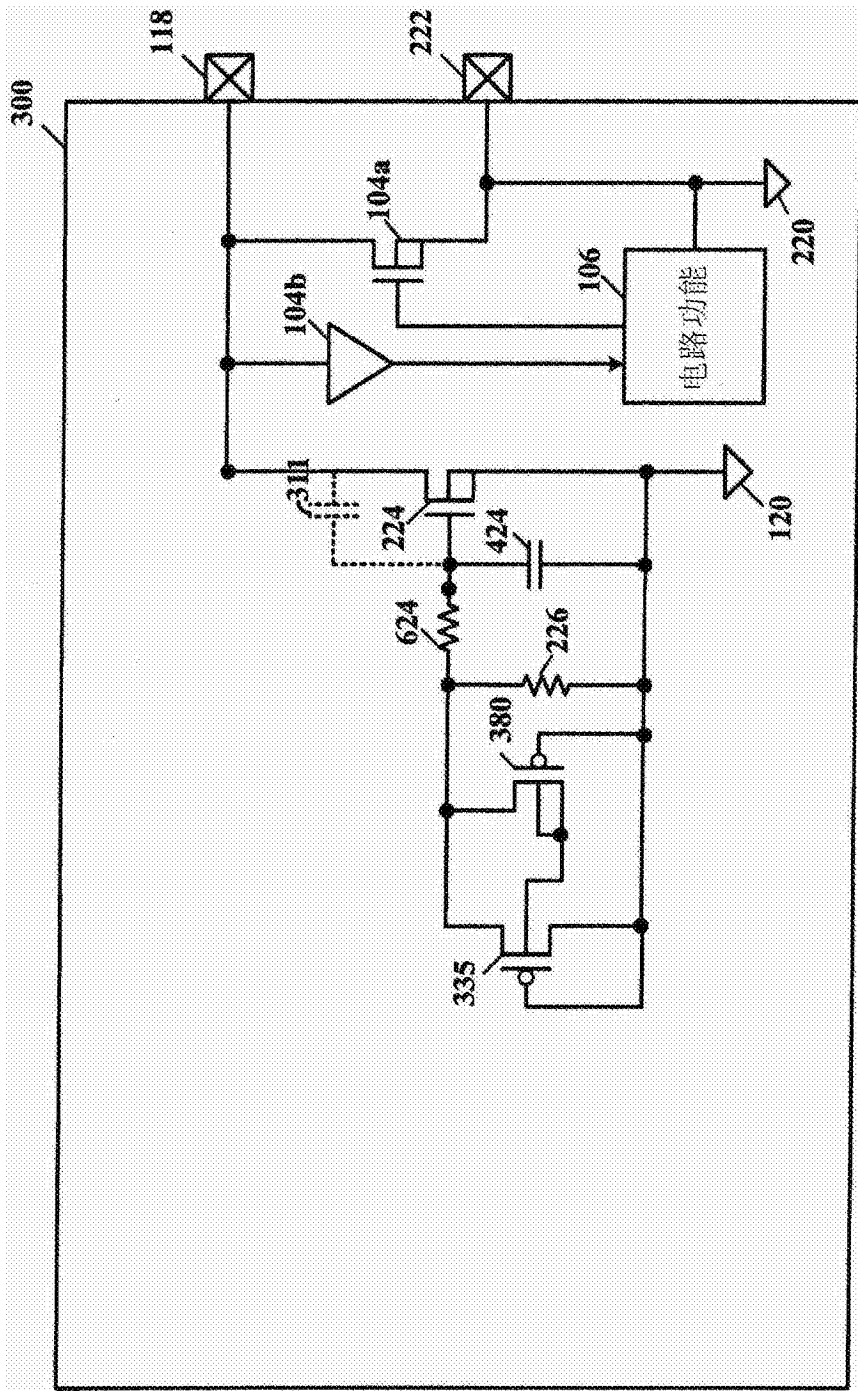


图 6D

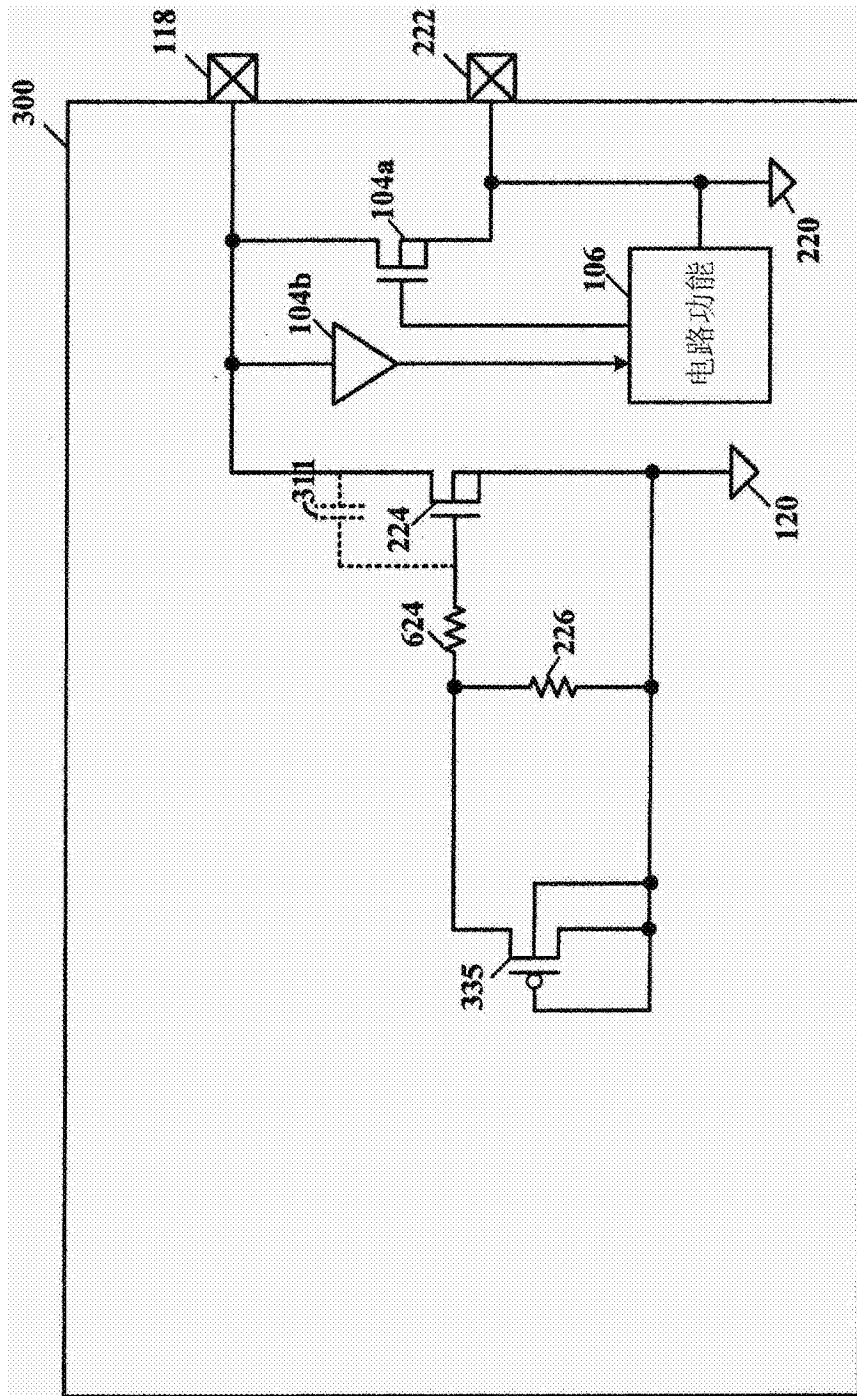


图 6E

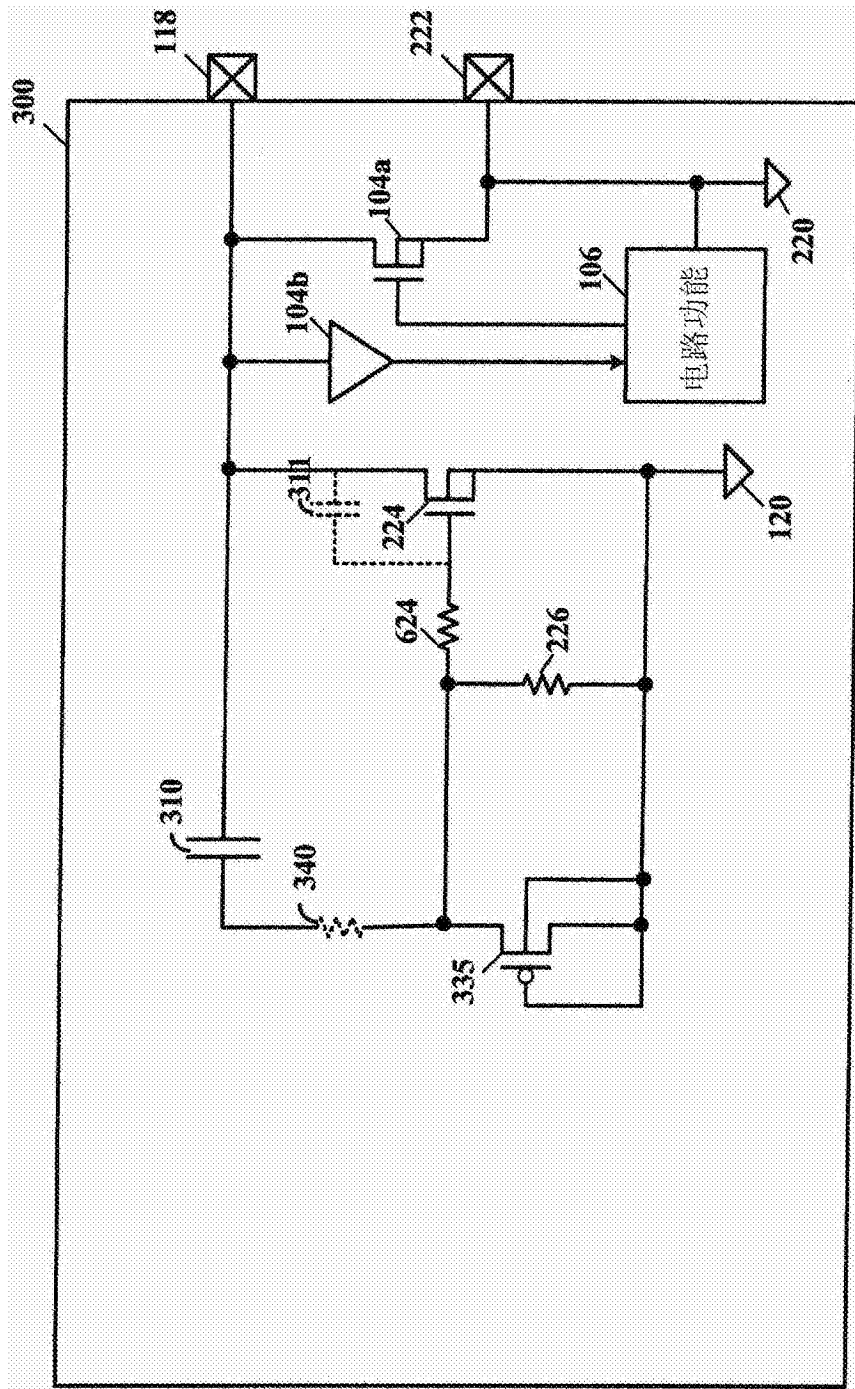


图 6F

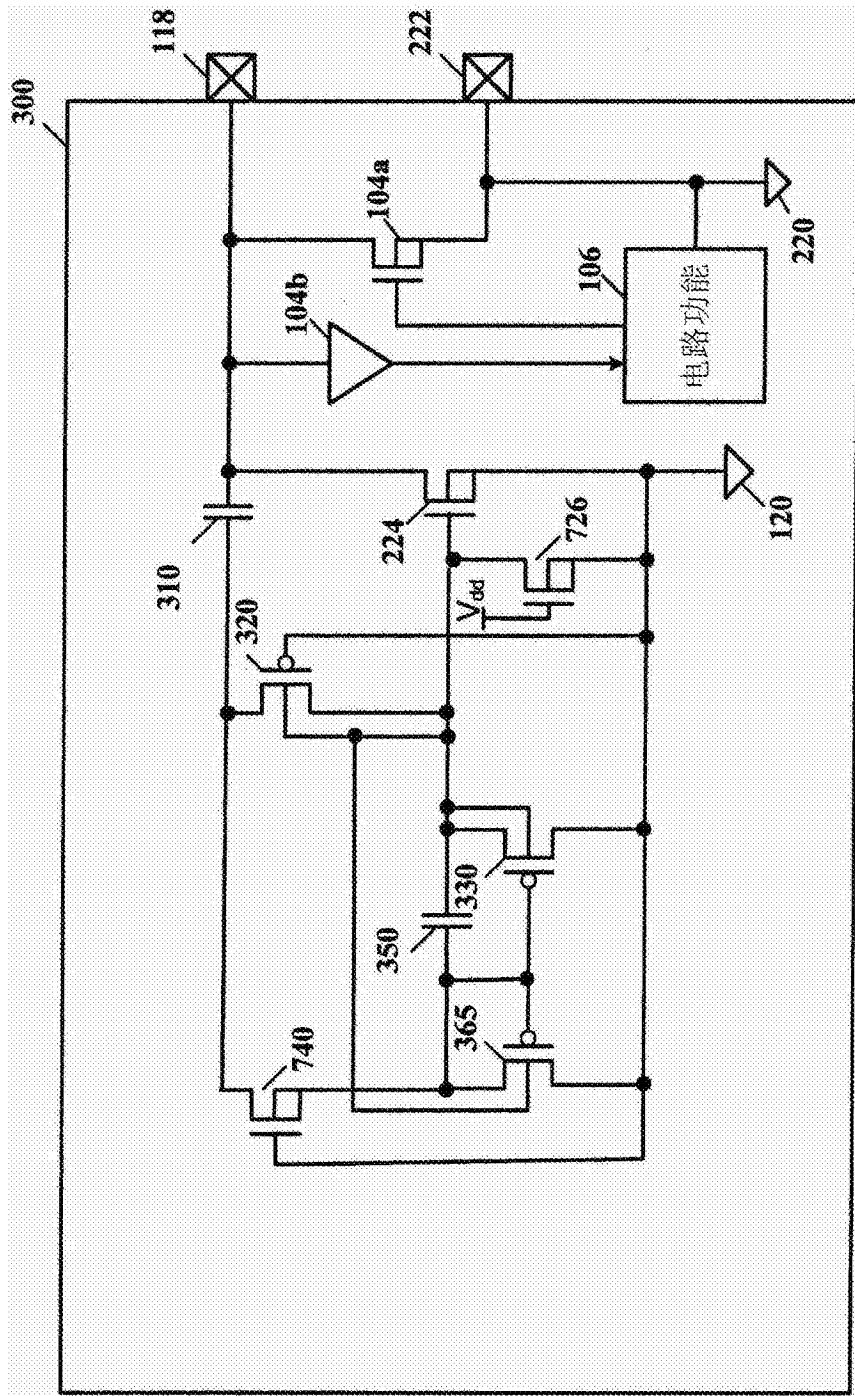


图 7

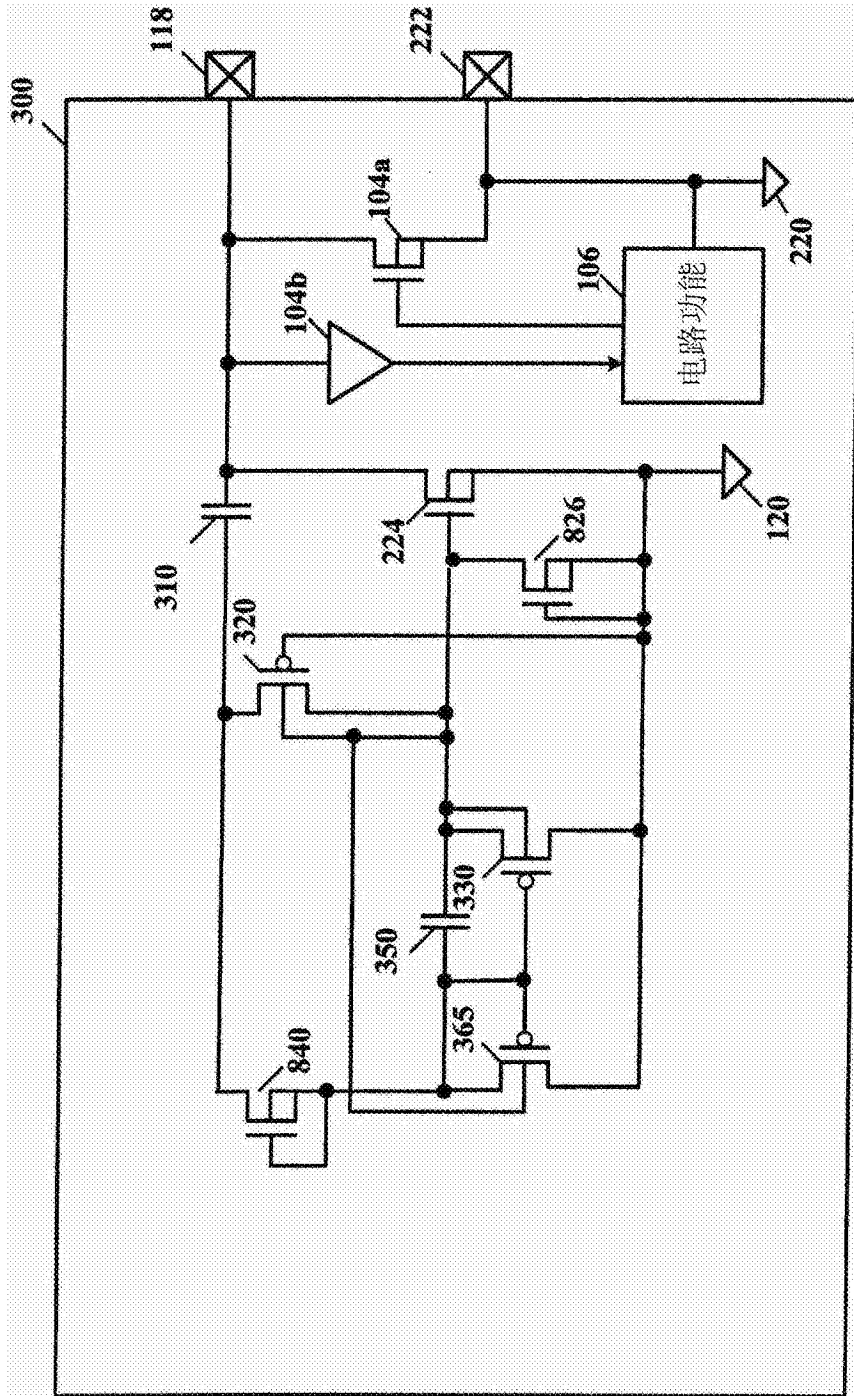


图 8