



(10) **DE 10 2010 017 768 B4** 2012.12.06

(12) **Patentschrift**

(21) Aktenzeichen: **10 2010 017 768.7**
(22) Anmeldetag: **06.07.2010**
(43) Offenlegungstag: **17.02.2011**
(45) Veröffentlichungstag
der Patenterteilung: **06.12.2012**

(51) Int Cl.: **H01L 21/60** (2006.01)
H01L 23/50 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
12/536,712 **06.08.2009** **US**

(62) Teilung in:
10 2010 064 495.1

(73) Patentinhaber:
Infineon Technologies AG, 85579, Neubiberg, DE

(74) Vertreter:
**Graf Lambsdorff, Matthias, Dipl.-Phys.Dr.rer.nat.,
81673, München, DE**

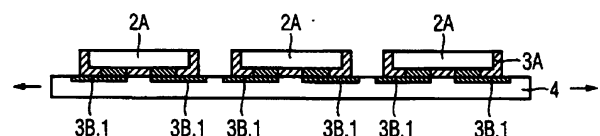
(72) Erfinder:
**Wowra, Thomas, 81675, München, DE; Mahler,
Joachim, 93051, Regensburg, DE; Mengel,
Manfred, 93077, Bad Abbach, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE	10 2006 036 728	A1
US	6 323 062	B1
JP	8 070 081	A

(54) Bezeichnung: **Verfahren zum Herstellen eines Halbleiter-Bauelements**

(57) Hauptanspruch: Verfahren zum Herstellen eines Halbleiter-Bauelements, umfassend:
Bereitstellen von mehreren Chips (2A), die an einem ersten Träger (1) angebracht sind;
Dehnen des ersten Trägers (1), sodass ein Abstand zwischen benachbarten einzelnen der mehreren Chips (2A) vergrößert wird; und
Aufbringen eines Laminats (3) auf die mehreren Chips (2A) und den gedehnten ersten Träger (1), um ein erstes Werkstück mit einer ersten Hauptfläche auszubilden, das dem ersten Träger (1) zugewandt ist, und einer zweiten Hauptfläche gegenüber der ersten Hauptfläche;
Anbringen eines zweiten Trägers (4) an der zweiten Hauptfläche des ersten Werkstücks; und
Dehnen des zweiten Trägers (4), sodass ein Abstand zwischen benachbarten einzelnen der mehreren eingebetteten Chips (2A) vergrößert wird.



Beschreibung

ALLGEMEINER STAND DER TECHNIK

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen eines Halbleiter-Bauelements.

[0002] Halbleiterchips enthalten Kontaktpads oder Kontaktelemente auf einer oder beiden ihrer Hauptoberflächen. Bei einem Halbleiterchip-Bauelement oder Halbleiterchipbaustein ist der Halbleiterchip in das Chipbauelement eingebettet oder darin untergebracht und die Kontaktelemente des Halbleiterchips sind mit externen Kontaktelementen des Chipbauelements verbunden.

[0003] Die Druckschrift US 6,323,062 B1 beschreibt ein Verfahren, bei welchem ein Halbleiter-Wafer, der mehrere prozessierte Halbleiterchips enthält, an einem expandierbaren Träger angebracht wird, dann entlang von Trennungslinien zwischen den Halbleiterchips strukturiert wird, und schließlich der Träger gedehnt wird, sodass der Abstand zwischen benachbarten Halbleiterchips vergrößert wird. Anschließend wird ein Füllmaterial in die somit entstandenen Kanäle zwischen den Halbleiterchips gefüllt und schließlich wird die Struktur in vereinzelte Halbleiterchips zerteilt.

[0004] Die Druckschrift JP 8070081 A beschreibt ebenfalls in den [Fig. 4A–C](#) und der zugehörigen Beschreibung ein Verfahren, bei welchem ein Wafer auf einer expandierbaren Unterlage in einzelne Halbleiterchips strukturiert wird und anschließend die Unterlage zwecks Vergrößerung des Abstands zwischen den Halbleiterchips gedehnt wird.

[0005] Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren zum Herstellen eines Halbleiter-Bauelements anzugeben, bei welchem das Halbleiter-Bauelement mit einer niedrigen Anzahl an Prozessschritten, einer hohen Bauteilzuverlässigkeit und geringen Prozesskosten hergestellt werden kann.

[0006] Diese Aufgabe wird durch die Merkmale des unabhängigen Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen und Ausgestaltungen sind Gegenstand von Unteransprüchen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0007] Die beiliegenden Zeichnungen sind aufgenommen, um ein eingehenderes Verständnis von Ausführungsformen zu vermitteln, und sind in diese Spezifikation aufgenommen und stellen einen Teil dieser dar. Die Zeichnungen veranschaulichen Ausführungsformen und dienen zusammen mit der Beschreibung der Erläuterung von Prinzipien von Ausführungsformen. Andere Ausführungsformen und viele der beabsichtigten Vorteile von Ausführungs-

formen lassen sich ohne weiteres verstehen, wenn sie durch Bezugnahme auf die folgende ausführliche Beschreibung besser verstanden werden. Die Elemente der Zeichnungen sind relativ zueinander nicht notwendigerweise maßstabsgetreu. Gleiche Bezugszahlen bezeichnen entsprechende ähnliche Teile.

[0008] Aspekte der Erfindung werden in der folgenden ausführlichen Beschreibung von Ausführungsformen in Verbindung mit der Lektüre der beigefügten Zeichnungsfiguren offensichtlicher, in welchen zeigen:

[0009] [Fig. 1](#) ein Flussdiagramm eines nicht erfindungsgemäßen Verfahrens zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform;

[0010] [Fig. 2A–C](#) schematische Querschnittsdarstellungen von Produkten zum Veranschaulichen einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#),

[0011] [Fig. 3](#) ein Flussdiagramm eines nicht erfindungsgemäßen Verfahrens zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform,

[0012] [Fig. 4A–D](#) schematische Querschnittsdarstellungen von Produkten zum Veranschaulichen einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 3](#),

[0013] [Fig. 5A–K](#) schematische Querschnittsdarstellungen von Produkten zum Veranschaulichen einer Ausführungsform eines erfindungsgemäßen Verfahrens zum Herstellen eines Halbleiter-Bauelements,

[0014] [Fig. 6A–C](#) schematische Querschnittsdarstellungen von Produkten zum Veranschaulichen einer Ausführungsform eines nicht erfindungsgemäßen Verfahrens zum Herstellen eines Halbleiter-Bauelements,

[0015] [Fig. 7A–E](#) schematische Querschnittsdarstellungen von Produkten zum Veranschaulichen einer Ausführungsform eines erfindungsgemäßen Verfahrens zum Herstellen eines Halbleiter-Bauelements,

[0016] [Fig. 8](#) eine schematische Querschnittsdarstellung eines nicht erfindungsgemäßen Halbleiter-Bauelements gemäß einer Ausführungsform, und

[0017] [Fig. 9](#) eine schematische Querschnittsdarstellung eines nicht erfindungsgemäßen Halbleiter-Bauelements gemäß einer Ausführungsform.

AUSFÜHRLICHE BESCHREIBUNG
DER ERFINDUNG

[0018] In der folgenden ausführlichen Beschreibung wird auf die beiliegenden Zeichnungen Bezug genommen, die einen Teil hiervon bilden und in denen als Veranschaulichung spezifische Ausführungsformen gezeigt sind. In dieser Hinsicht wird Richtungsterminologie wie etwa "Oberseite", "Unterseite", "Vorderseite", "Rückseite", "vorderer", "hinterer" usw. unter Bezugnahme auf die Orientierung der beschriebenen Figur(en) verwendet. Weil Komponenten von Ausführungsformen in einer Reihe verschiedener Orientierungen positioniert sein können, wird die Richtungsterminologie zu Zwecken der Darstellung verwendet und ist in keinerlei Weise beschränkend.

[0019] Die Aspekte und Ausführungsformen werden unter Bezugnahme auf die Zeichnungen beschrieben, wobei gleiche Bezugszahlen im Allgemeinen benutzt werden, um durchweg auf gleiche Elemente zu verweisen. In der folgenden Beschreibung sind zu Erläuterungszwecken zahlreiche spezifische Details dargelegt, um ein eingehendes Verständnis von einem oder mehreren Aspekten der Ausführungsformen zu vermitteln. Für einen Fachmann kann es jedoch offensichtlich sein, dass ein oder mehrere Aspekte der Ausführungsformen mit einem geringeren Grad der spezifischen Details praktiziert werden können. In anderen Fällen sind bekannte Strukturen und Elemente in schematischer Form dargestellt, um das Beschreiben von einem oder mehreren Aspekten der Ausführungsformen zu erleichtern. Es versteht sich, dass andere Ausführungsformen genutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen.

[0020] Wenngleich ein bestimmtes Merkmal oder ein bestimmter Aspekt einer Ausführungsform bezüglich nur einer von mehreren Implementierungen offenbart worden sein mag, kann außerdem ein derartiges Merkmal oder ein derartiger Aspekt mit einem oder mehreren anderen Merkmalen oder Aspekten der anderen Implementierungen kombiniert werden, wie für eine gegebene oder bestimmte Anwendung erwünscht und vorteilhaft sein kann. Weiterhin soll in dem Ausmaß, in dem die Ausdrücke "enthalten", "haben", "mit" oder andere Varianten davon entweder in der ausführlichen Beschreibung oder den Ansprüchen verwendet werden, solche Ausdrücke auf eine Weise ähnlich dem Ausdruck "umfassen" einschließend sein. Die Ausdrücke "gekoppelt" und "verbunden" können zusammen mit Ableitungen verwendet werden. Es versteht sich, dass diese Ausdrücke verwendet werden können, um anzugeben, dass zwei Elemente unabhängig davon miteinander kooperieren oder interagieren, ob sie in direktem physischem oder elektrischem Kontakt stehen oder sie nicht in di-

rektem Kontakt miteinander stehen. Außerdem ist der Ausdruck "beispielhaft" lediglich als ein Beispiel anstatt das Beste oder Optimale gemeint.

[0021] Die Ausführungsformen eines Halbleiterchip-Bauelements und eines Verfahrens zum Herstellen eines Halbleiterchip-Bauelements umfassen jeweils mindestens einen Halbleiterchip. Die hierin beschriebenen Halbleiterchips können von unterschiedlichen Arten sein, können durch unterschiedliche Technologien hergestellt worden sein und können beispielsweise integrierte elektrische, elektrooptische oder elektromechanische Schaltungen und/oder passive Elemente enthalten. Die Halbleiterchips können beispielsweise als MOSFETs (Metal Oxide Semiconductor Field Effect Transistors), IGBTs (Insulated Gate Bipolar Transistors), JFETs (Junction Gate Field Effect Transistors), Bipolartransistoren oder Dioden konfiguriert sein. Weiterhin können die Halbleiter-Wafer und Chips Steuerschaltungen, Mikroprozessoren oder mikroelektromechanische Komponenten enthalten. Bei einer Ausführungsform können Halbleiterchips mit einer vertikalen Struktur involviert sein, das heißt, dass die Halbleiterchips derart hergestellt sein können, dass elektrische Ströme in einer Richtung senkrecht zu den Hauptflächen der Halbleiterchips fließen können. Ein Halbleiterchip mit einer vertikalen Struktur kann Kontaktelemente insbesondere auf seinen beiden Hauptoberflächen aufweisen, das heißt auf seiner Vorderseite und Rückseite. Als Beispiel können sich die Source-Elektrode und die Gate-Elektrode eines Leistungs-MOSFET auf einer Hauptoberfläche befinden, während die Drain-Elektrode des Leistungs-MOSFET auf der anderen Hauptoberfläche angeordnet sein kann. Weiterhin können die unten beschriebenen Bauelemente integrierte Schaltungen enthalten, um die integrierten Schaltungen von anderen Halbleiterchips zu steuern, beispielsweise die integrierten Schaltungen von Leistungshalbleiterchips. Die hierin beschriebenen Halbleiterchips können aus einem beliebigen spezifischen Halbleitermaterial hergestellt sein, beispielsweise Si, SiC, SiGe, GaAs usw., und können weiterhin anorganische und/oder organische Materialien enthalten, die keine Halbleiter sind, wie etwa beispielsweise Isolatoren, Kunststoffe oder Metalle.

[0022] Bei mehreren Ausführungsformen werden Schichten oder Schichtstapel aufeinander aufgebracht oder Materialien werden auf Schichten aufgebracht oder abgeschieden. Es versteht sich, dass alle solche Ausdrücke wie "aufgebracht" oder "abgeschieden" buchstäblich alle Arten und Techniken des Aufbringens einer Schicht auf einer anderen abdecken sollen. Bei einer Ausführungsform sollen sie Techniken abdecken, bei denen Schichten als Ganzes auf einmal aufgebracht werden, beispielsweise Laminierungstechniken, sowie Techniken, bei denen Schichten auf sequentielle Weise abgeschieden werden, wie beispielsweise Sputtern, Plattieren, Ausfor-

men, chemische Gasphasenabscheidung (CVD) und so weiter.

[0023] Weiterhin können die unten beschriebenen Halbleiterchips Kontaktelemente oder Kontaktpads auf einer oder mehreren ihrer äußeren Oberflächen umfassen, wobei die Kontaktelemente zum elektrischen Kontaktieren der Halbleiterchips dienen. Die Kontaktelemente können die Form von Anschlussflächen aufweisen, d. h. flache Kontaktschichten auf einer äußeren Oberfläche des Halbleiterchips. Die Metallschicht(en), aus der oder denen die Kontaktelemente hergestellt sind, können mit einer beliebigen gewünschten Materialzusammensetzung hergestellt werden. Ein beliebiges gewünschtes Metall oder eine beliebige gewünschte Metalllegierung kann als ein Schichtmaterial verwendet werden, beispielsweise Aluminium, Titan, Gold, Silber, Kupfer, Palladium, Platin, Nickel, Chrom oder Nickel-Vanadium. Die Metallschicht(en) braucht oder brauchen nicht homogen oder aus nur einem Material hergestellt zu sein, das heißt, verschiedene Zusammensetzungen und Konzentrationen der in der/den Metallschicht(en) enthaltenen Materialien sind möglich. Die Kontaktelemente können sich auf den aktiven Hauptoberflächen der Halbleiterchips oder auf anderen Oberflächen der Halbleiterchips befinden.

[0024] Die Halbleiterchips können mit einem kapselnden Material bedeckt werden. Das kapselnde Material kann prinzipiell ein beliebiges, elektrisch isolierendes Material sein, wie etwa beispielsweise eine beliebige Art von Ausformmaterial, eine beliebige Art von Epoxidmaterial oder eine beliebige Art von Harzmaterial. Bei einer Ausführungsform kann das kapselnde Material auf oder über den Halbleiterchip laminiert werden. Insbesondere kann zum Bedecken der Halbleiterchips eine harzbeschichtete Kupferschicht (RCC – Resin Coated Copper) verwendet werden, die in der Technik bekannt ist und aus einer auf eine Kupferschicht aufgetragenen Harzschicht besteht, wie unten ausführlicher dargestellt wird.

[0025] Bei den Ansprüchen und in der folgenden Beschreibung werden unterschiedliche Ausführungsformen eines Verfahrens zum Herstellen eines Halbleiterchip-Bauelements bei einer Ausführungsform in den Flussdiagrammen als eine bestimmte Sequenz von Prozessen oder Maßnahmen beschrieben. Es ist anzumerken, dass die Ausführungsformen nicht auf die bestimmte besondere Sequenz beschränkt sein sollten. Bestimmte einzelne oder alle Prozesse oder Maßnahmen können auch gleichzeitig oder in einer beliebigen anderen nützlichen und angemessenen Sequenz ausgeführt werden.

[0026] Unter Bezugnahme auf [Fig. 1](#) ist ein Flussdiagramm eines Verfahrens zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform dargestellt. Das Verfahren umfasst: Bereitstel-

len von mehreren Chips, die an einem ersten Träger angebracht sind (s1), Dehnen des ersten Trägers, so dass der Abstand zwischen benachbarten einzelnen der mehreren Chips vergrößert ist (s2) und Aufbringen eines Laminats auf die mehreren Chips und den gedehnten ersten Träger, um ein die mehreren Chips einbettendes erstes Werkstück auszubilden, wobei das erste Werkstück eine erste Hauptfläche aufweist, die dem ersten Träger zugewandt ist, und eine zweite Hauptfläche gegenüber der ersten Hauptfläche (s3).

[0027] Unter Bezugnahme auf die [Fig. 2A–C](#) werden Querschnittsdarstellungen von Produkten gezeigt, um ein Verfahren zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform des Verfahrens von [Fig. 1](#) zu veranschaulichen. [Fig. 2A](#) zeigt eine Querschnittsdarstellung eines ersten Trägers **1** und von mehreren Halbleiterchips **2A**, die an einer ersten oberen Oberfläche des ersten Trägers **1** angebracht sind. [Fig. 2B](#) zeigt eine Querschnittsdarstellung des ersten Trägers **1** mit den angebrachten mehreren Chips **2A**, wobei der erste Träger **1** gedehnt worden ist, sodass der Abstand zwischen benachbarten einzelnen der mehreren Chips **2A** vergrößert ist. [Fig. 2C](#) zeigt eine Querschnittsdarstellung eines Produkts, das nach dem Aufbringen eines Laminats **3** auf die mehreren Chips **2** und den gedehnten ersten Träger **1** erhalten wird. Das die mehreren Chips **2A** einbettende Laminat **3** bildet ein erstes Werkstück mit einer ersten Hauptfläche **3.1**, die dem ersten Träger **1** zugewandt ist, und einer zweiten Hauptfläche **3.2** gegenüber der ersten Hauptfläche **3.1**.

[0028] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Anbringen eines prozessierten Wafers an dem ersten Träger **1**, wobei der prozessierte Wafer die mehreren prozessierten Halbleiterchips oder Dies enthält, und danach das Strukturieren des Wafers in mehrere, an dem ersten Träger **1** angebrachte getrennte Chips.

[0029] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Laminat eine erste Schicht, die ein elektrisch isolierendes Material enthält, und eine zweite Schicht, die ein elektrisch leitendes Material enthält. Bei einer Ausführungsform kann das Laminat aus einer harzbeschichteten Kupferschicht (RCC) bestehen, die eine an einer Kupferschicht angebrachte Harzschicht enthält.

[0030] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) weist jeder der Halbleiterchips Kontaktelemente auf und sind die mehreren Chips an dem ersten Träger angebracht, wobei die mehreren Kontaktelemente von dem ersten Träger wegweisen.

[0031] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Koppeln der zweiten Schicht des Laminats mit den mehreren Kontaktelementen der mehreren Halbleiterchips.

[0032] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Strukturieren der zweiten Schicht des Laminats.

[0033] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Entfernen des ersten Trägers von der ersten Hauptfläche des ersten Werkstücks.

[0034] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) kann der erste Träger aus einer herkömmlichen Sägefolie hergestellt sein. Die Sägefolie kann aus einem Thermoplastmaterial hergestellt sein, und gegebenenfalls kann das Thermoplastmaterial mit zusätzlichen Materialien wie beispielsweise elastifizierenden Substanzen angereichert sein.

[0035] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Anbringen eines zweiten Trägers an der zweiten Hauptfläche des ersten Werkstücks.

[0036] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Vereinzeln von mehreren eingebetteten Chips von dem ersten Werkstück.

[0037] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Dehnen des zweiten Trägers, sodass der Abstand zwischen benachbarten einzelnen der mehreren eingebetteten Chips vergrößert ist.

[0038] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Aufbringen eines elektrisch leitenden Materials auf den mehreren Chips und den gedehnten zweiten Träger, um ein zweites Werkstück auszubilden, das die mehreren eingebetteten Chips einbettet, wobei das zweite Werkstück eine erste Hauptfläche aufweist, die dem zweiten Träger zugewandt ist, und eine zweite Hauptfläche gegenüber der ersten Hauptfläche.

[0039] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements

von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Vereinzeln von mehreren eingebetteten Chips von dem zweiten Werkstück.

[0040] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) umfasst das Verfahren weiterhin das Entfernen des zweiten Trägers von der ersten Fläche des zweiten Werkstücks.

[0041] Das obige Verfahren zum Herstellen eines Halbleiter-Bauelements von [Fig. 1](#) und [Fig. 2](#) beinhaltet eine geringe Anzahl von Prozessen, ein hohes Potential für Miniaturisierung, eine hohe Bauelementzuverlässigkeit, reduzierte Prozesskosten und ein insgesamt kosteneffektives Produktionsverfahren.

[0042] Unter Bezugnahme auf [Fig. 3](#) wird ein Flussdiagramm eines Verfahrens zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform dargestellt. Das Verfahren umfasst: Bereitstellen eines Halbleiter-Wafers, der mehrere Chips enthält (s1), Anbringen des Wafers an einem ersten Träger (s2), Strukturieren des Halbleiter-Wafers, um getrennte mehrere Halbleiterchips herzustellen (s3) und Dehnen des ersten Trägers, sodass der Abstand zwischen benachbarten einzelnen der mehreren Chips vergrößert ist.

[0043] Unter Bezugnahme auf die [Fig. 4A–D](#) werden Querschnittsdarstellungen von Produkten gezeigt, um ein Verfahren zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform von [Fig. 3](#) zu veranschaulichen. [Fig. 4A](#) zeigt eine Querschnittsdarstellung eines Halbleiter-Wafers **2**, der mehrere Chips oder Dies enthält, die durch ein beliebiges angemessenes Verfahren in Bereichen oder Sektionen des Wafers **2** verarbeitet werden. [Fig. 4B](#) zeigt eine Querschnittsdarstellung eines Produkts, das nach dem Anbringen des Halbleiter-Wafers **2** an einem ersten Träger **1** erhalten wird. [Fig. 4C](#) zeigt eine Querschnittsdarstellung eines Produkts, das nach dem Strukturieren des Halbleiter-Wafers **2** erhalten wird, um getrennte mehrere Halbleiterchips **2A** herzustellen. Das Strukturieren kann prinzipiell durch ein beliebiges angemessenes Verfahren erfolgen, wie etwa beispielsweise Sägen, Ätzen, Ionenfräsen usw. [Fig. 4D](#) zeigt eine Querschnittsdarstellung eines Produkts, das nach dem Dehnen des ersten Trägers **1** erhalten wird, sodass der Abstand zwischen benachbarten einzelnen der mehreren Chips **2A** vergrößert ist.

[0044] Gemäß einer Ausführungsform des Verfahrens zum Herstellen eines Halbleiter-Bauelements von [Fig. 3](#) und [Fig. 4](#) beinhaltet das Verfahren weiterhin das Aufbringen eines Laminats auf den mehreren Chips und dem gedehnten ersten Träger, um ein erstes Werkstück auszubilden, das die mehreren Chips einbettet, wobei das erste Werkstück eine ers-

te Hauptfläche aufweist, die dem ersten Träger zugewandt ist, und eine zweite Hauptfläche gegenüber der ersten Hauptfläche.

[0045] Weitere Ausführungsformen des Verfahrens zum Herstellen eines Halbleiter-Bauelements nach [Fig. 3](#) und [Fig. 4](#) können gemäß den Ausführungsformen ausgebildet werden, wie oben in Verbindung mit [Fig. 1](#) und [Fig. 2](#) umrissen.

[0046] Unter Bezugnahme auf die [Fig. 5A–K](#) werden Querschnittsdarstellungen von Produkten gezeigt, um ein Verfahren zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform zu veranschaulichen.

[0047] Unter Bezugnahme auf [Fig. 5A](#) wird zuerst ein Halbleiter-Wafer **2** vollständig prozessiert, indem mehrere Halbleiterchips oder Dies in dem Halbleiter-Wafer **2** durch in der Technik bekannte Verfahren bearbeitet werden. Der bearbeitete Halbleiter-Wafer **2** wird dann an einem ersten Träger **1** angebracht, der eine herkömmliche Sägefolie enthalten kann. Die Sägefolie besitzt elastische Eigenschaften und kann auf elastische Weise in mehrere Richtungen gedehnt werden, wie weiter unten dargestellt wird. Die Sägefolie kann aus einem thermoplastischen Material hergestellt sein, das durch elastifizierende Additive angereichert sein kann. Nach dem Anbringen des Halbleiter-Wafers **2** an der Sägefolie **1** kann der Halbleiter-Wafer **2** strukturiert werden, indem er in mehrere getrennte Halbleiterchips **2A** zersägt wird. Das Ergebnis ist in dem rechten Teilbild von [Fig. 5A](#) gezeigt. In dem linken Teilbild von [Fig. 5A](#) ist eine Draufsicht auf die Anordnung dargestellt, wobei der Wafer **2** auf der ungedehnten Sägefolie zusammen mit den Sägelinien für das Zersägen des Wafers **2** in individuelle Halbleiterchips **2A** dargestellt ist. Die rechte Teilfigur von [Fig. 5A](#) veranschaulicht die Querschnittsdarstellung nach dem Strukturieren des Halbleiter-Wafers **2**. Bei der vorliegenden Ausführungsform weisen die Halbleiterchips **2A** Kontaktelemente **2A.1** auf beiden Hauptoberflächen des Chips auf. Die Halbleiterchips **2A** können beispielsweise eine vertikale Transistorstruktur mit einem Drain-Kontaktelement auf der Rückseite des Chips und Source- und Gate-Kontaktelementen auf der Vorderseite des Chips enthalten. Die Kontaktelemente **2A.1** können ein Kontaktpad und eine über dem Kontaktpad ausgebildete zusätzliche Metallisierungsschicht enthalten. Die Metallisierung kann beispielsweise aus einem leitenden Kleber, weichem Lot, Diffusionslot, einer galvanischen Metallisierungsschicht, insbesondere einer galvanisch abgeschiedenen Kupferschicht, metallischen Höckern aus einem beliebigen lötbaren metallischen Material oder aus einer Metallnanopaste bestehen, die unter Einfluss von Temperatur und Druck, zum Beispiel 30 Minuten bei 200°–300°, bei einer Ausführungsform 275°, gebondet wird.

[0048] Unter Bezugnahme auf [Fig. 5B](#) wird eine Querschnittsdarstellung eines Produkts und eine Draufsicht auf die Anordnung (linkes Teilbild), die nach dem Dehnen der Sägefolie (rechtes Teilbild) erhalten wird, dargestellt. Wie in der Draufsichtsdarstellung zu sehen ist, kann das Dehnen der Sägefolie dadurch erfolgen, dass die Sägefolie in vier verschiedene Richtungen gezogen wird, sodass die Sägefolie homogen gedehnt wird. Das rechte Teilbild zeigt, dass die Halbleiterchips **2A** nun zwischen benachbarten einzelnen der Chips **2A** einen vergrößerten Abstand aufweisen.

[0049] Unter Bezugnahme auf [Fig. 5C](#) ist dort eine Querschnittsdarstellung eines Produkts gezeigt, das nach dem Aufbringen eines Laminats **3** auf die Halbleiterchips **2A** und die gedehnte Sägefolie **1** erhalten wird. Bei der vorliegenden Ausführungsform besteht das Laminat **3** aus einer harzbeschichteten Kupferfolie (RCC), die aus einer an einer Kupferschicht **3B** angebrachten Harzschicht **3A** besteht. Die RCC-Folie **3** wird in der Regel hergestellt, indem eine Kupferfolie **3B** mit einer Dicke von 1 µm bis 20 µm, insbesondere 5 µm bis 12 µm, bereitgestellt wird, und eine der Hauptoberflächen der Kupferfolie **3B** aufgeraut wird, sodass sie eine Oberflächenrauheit besitzt, die größer ist als die Oberflächenrauheit der jeweiligen anderen Hauptoberfläche der Kupferfolie **3B**. Die Kupferfolie **3B** wird dann an der Harzschicht **3A** angebracht oder an diese gebondet, sodass die Oberfläche mit der hohen Oberflächenrauheit mit einer Hauptoberfläche der Harzschicht **3A** kontaktiert wird. Der Prozess des Laminierens der RCC-Folie **3** auf die Chips **2** und den ersten Träger **1** ist ein kombinierter Druck- und Erhitzungsprozess, bei dem die RCC-Folie **3** bei einer Temperatur auf die Chips **2** gedrückt wird, die ausreichend hoch ist, sodass das Harzmaterial der Harzschicht **3A** fließfähig wird. Aufgrund einer ausreichend hohen Fließfähigkeit des Harzmaterials der Harzschicht **3A** durchdringen die Chips **2A** mit ihren Kontaktelementen **2A.1** das Harzmaterial der Harzschicht **3A** und drücken das Harzmaterial zur Seite, sodass sie zunehmend einen Raum innerhalb der Harzschicht **3A** belegen, der vor dem Laminierungsprozess mit Harz gefüllt war. Folglich werden die Chips **2A** in die Harzschicht **3A** eingebettet, und die Harzschicht **3A** bedeckt die obere Oberfläche des ersten Trägers **1** und die obere Oberfläche der Chips **2A** und die Seitenoberflächen der Chips **2A**. Bei der vorliegenden Ausführungsform sind die Gesamtbedingungen des Laminierungsprozesses, bei einer Ausführungsform die Dicke der RCC-Folie **3**, der ausgewählten Temperatur und des Drucks, die für das Unterdrucksetzen der RCC-Folie **3** auf die Chips **2A** ausgewählt sind, derart, dass die Chips **2A** die Harzschicht **3A** vollständig durchdringen können, sodass die Kontaktelemente **2A.1** die Kupferfolie **3B** erreichen. Bei der vorliegenden Ausführungsform enthalten die Kontaktelemente **2A.1** die Source- und Gate-Kontakte des vertikalen Transistors des

Chips **2A**, und die Rückseitenmetallisierung enthält den Drain-Kontakt des Chips **2A**. Der Laminierungsprozess bewerkstelligt somit einen direkten Kontakt zwischen den Source- und Gate-Kontaktelementen der Chips **2A** mit der Kupferfolie **3B**, sodass die Kupferfolie **3B** adhäsiv an die Source- und Gate-Kontaktelemente **2A.1** gebondet wird. Bei einer anderen Ausführungsform, die weiter unten umrissen wird, sind der Laminierungsprozess und seine Bedingungen derart, dass die Chips **2A** die Harzschicht **3A** nicht vollständig durchdringen.

[0050] Unter Bezugnahme auf [Fig. 5D](#) wird eine Querschnittsdarstellung eines nach einem Strukturierungsprozess der Kupferfolie **3B** der RCC-Folie **3** erhaltenen Produkts gezeigt. Der Strukturierungsprozess wird zu dem Zweck durchgeführt, leitende Bereiche **3B.1** zu erhalten, die elektrisch mit den Kontaktelementen **2A.1** der Chips **2A** verbunden sind. Der Strukturierungsprozess kann über verschiedene Technologien erfolgen, von denen eine beispielsweise eine herkömmliche fotolithografische Strukturierungstechnologie durch Verwendung eines Fotolacks und eines Ätzprozesses sein kann. Bei einer Ausführungsform kann das Entfernen von Abschnitten der Kupferfolie **3B** auch durch Einsatz einer Laserabtragung bewerkstelligt werden.

[0051] Unter Bezugnahme auf [Fig. 5E](#) wird eine Querschnittsdarstellung eines Produkts gezeigt, das erhalten wird nach dem Entfernen des ersten Trägers **1**, dem Drehen des Produkts von [Fig. 5D](#) und Fixieren des Produkts kopfüber auf einem zweiten Träger **4**, der ebenfalls aus einer Sägefolie bestehen kann und der aus dem gleichen oder einem ähnlichen Material wie der erste Träger **1** bestehen kann. Bei einer Ausführungsform kann der zweite Träger **4** ebenfalls elastische Eigenschaften aufweisen, und er kann auch aus einem thermoplastischen Material hergestellt sein, das mit elastifizierenden Additiven angereichert ist.

[0052] Unter Bezugnahme auf [Fig. 5F](#) wird eine Querschnittsdarstellung eines Produkts gezeigt, das nach dem selektiven Entfernen von Abschnitten der Harzschicht **3A** zwischen den Chips **2A** erhalten wird. Das selektive Entfernen kann durch verschiedene Mittel erfolgen. Bei einer Ausführungsform kann das selektive Entfernen der Abschnitte der Harzschicht **3A** durch Verwendung einer Laserabtragung durchgeführt werden, falls das Material der Harzschicht **3A** aus einer entsprechenden laserabtragbaren Zusammensetzung besteht. Bei einer Ausführungsform können die Abschnitte der Harzschicht **3A** auch durch andere Mittel entfernt werden, wie beispielsweise eines oder mehrere von Ätzen, Ionenfräsen oder herkömmliche fotolithografische Strukturierungstechnologie.

[0053] Unter Bezugnahme auf [Fig. 5G](#) wird eine Querschnittsdarstellung eines Produkts gezeigt, das nach dem Dehnen des zweiten Trägers **4** erhalten wird, sodass der Abstand zwischen benachbarten Halbleiter-Bauelementen auf homogene Weise über das ganze Werkstück hinweg vergrößert ist. Das Dehnen des zweiten Trägers **4** kann auf die gleiche Weise erfolgen wie bezüglich [Fig. 5B](#) für das Dehnen des ersten Trägers **1** beschrieben.

[0054] Unter Bezugnahme auf [Fig. 5H](#) wird eine Querschnittsdarstellung eines Produkts gezeigt, das nach einer Metallisierung der leeren Räume zwischen den Halbleiter-Bauelementen erhalten wird, um elektrische Durchverbindungen für das elektrische Verbinden der Kontaktelemente **2A.1** mit der gegenüberliegenden Oberfläche der Harzschicht **3A** herzustellen. Der Metallisierungsprozess kann beispielsweise die Abscheidung einer Keimschicht und eine nachfolgende galvanische Metallisierung beinhalten oder bei einer Ausführungsform durch Aufbringen einer Lotpaste, leitender Druckfarbe oder einer beliebigen anderen leitenden Paste in den leeren Räumen. Durch den Metallisierungsprozess werden elektrische Verbindungsabschnitte **5** hergestellt.

[0055] Unter Bezugnahme auf [Fig. 5I](#) wird eine Querschnittsdarstellung eines Produkts gezeigt, das nach dem Strukturieren des Produkts in separate Halbleiterchips erhalten wird, während sie an dem zweiten Träger **4** angebracht sind. Das Strukturieren des Werkstücks kann beispielsweise durch Sägen oder Ätzen durch die elektrischen Verbindungsabschnitte **5** erfolgen. Danach werden die Halbleiter-Bauelemente von dem zweiten Träger **4** gelöst.

[0056] Unter Bezugnahme auf [Fig. 5J](#) wird dort eine Querschnittsdarstellung eines nach dem Lösen von dem zweiten Träger **4** erhaltenen Halbleiter-Bauelements gezeigt. Das Halbleiter-Bauelement, wie dargestellt, kann angeschlossen werden, da es sich auf einer gedruckten Leiterplatte befindet.

[0057] Unter Bezugnahme auf [Fig. 5K](#) wird dort eine Querschnittsdarstellung eines Produkts gezeigt, das nach dem Strukturieren des Werkstücks, wie in [Fig. 5I](#) gezeigt, und danach Trennen des Produkts in individuelle Halbleiter-Bauelemente erhalten wird, während der zweite Träger **4** auf den Halbleiter-Bauelementen beibehalten wird. Die Sägefolie, die während des Fabrikationsprozesses als zweiter Träger **4** gedient hat, kann nun als eine Schutzschicht auf dem Halbleiter-Bauelement auf einer Oberfläche gegenüber den elektrischen Kontaktelementen dienen.

[0058] Unter Bezugnahme auf die [Fig. 6A–C](#) werden Querschnittsdarstellungen von Produkten gezeigt, um ein Verfahren zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform zu veranschaulichen. Diese Ausführungsform kann als ei-

ne Alternative zu der Ausführungsform der [Fig. 5A–K](#) angesehen werden, und die [Fig. 6A–C](#) der alternativen Ausführungsform können mit [Fig. 5C](#) und [Fig. 5D](#) der vorausgegangenen Ausführungsform verglichen werden.

[0059] Unter Bezugnahme auf [Fig. 6A](#) wird eine Querschnittsdarstellung eines nach der Laminierung der RCC-Schicht **3** auf die Halbleiterchips **2A** und den ersten Träger **1** erhaltenen Produkts gezeigt. Jedoch können, wie mit der vorausgegangenen Ausführungsform umrissen wurde, die Bedingungen des Laminierungsprozesses und/oder die Dicke der RCC-Schicht **3** derart sein, dass die Halbleiterchips **2A** während des Laminierungsprozesses die Harzschicht **3A** der RCC-Schicht **3** nicht vollständig durchdringen können, sodass ein direktes Kontaktieren zwischen den Kontaktelementen **2A.1** der Halbleiterchips **2** und der Folienschicht **3B** der RCC-Schicht **3** nicht möglich ist. Deshalb ist nach der Beendigung des Laminierungsprozesses die Kupferfolie **3B** durch Material der Harzschicht **3A** von der oberen Oberfläche der Kontaktelemente **2A.1** getrennt.

[0060] Unter Bezugnahme auf [Fig. 6B](#) wird dort eine Querschnittsdarstellung eines Produkts gezeigt, das nach dem Strukturieren der RCC-Schicht **3** mit dem Zweck erhalten wurde, leitende Bereiche **3B.1** herzustellen. Gleichzeitig wird auf eine obere Schicht der Harzschicht **3A** über den Kontaktelementen **2A.1** mit dem Zweck entfernt, ein Via-Loch zu dem Kontaktelement **2A.1** herzustellen und die Ausbildung von Verbindungsmetallisierungen zwischen den leitenden Bereichen **3B.1** und den Kontaktelementen **2A.1** vorzubereiten.

[0061] Unter Bezugnahme auf [Fig. 6C](#) wird eine Querschnittsdarstellung eines Produkts nach dem Ausbilden der Verbindungsmetallisierungen zwischen den leitenden Bereichen **3B.1** und den Kontaktelementen **2A.1** gezeigt. Das Ausbilden der Verbindungsmetallisierungen kann durchgeführt werden, indem die Vias in der oberen Schicht der Harzschicht **3A** mit Lotpaste, leitender Druckfarbe oder irgendeiner anderen leitenden Paste oder bei einer anderen Ausführungsform über galvanische Metallisierung gefüllt werden. Danach kann der Prozess gemäß [Fig. 5E](#) der vorausgegangenen Ausführungsform fortgesetzt werden.

[0062] Unter Bezugnahme auf die [Fig. 7A–E](#) werden dort Querschnittsdarstellungen von Produkten gezeigt, um ein Verfahren zum Herstellen eines Halbleiter-Bauelements gemäß einer Ausführungsform zu veranschaulichen. Diese Ausführungsform kann als eine weitere Alternative zu der Ausführungsform der [Fig. 5A–K](#) angesehen werden und die [Fig. 7A–C](#) der weiteren alternativen Ausführungsform können mit [Fig. 5F–K](#) der vorausgehenden Ausführungsform verglichen werden.

[0063] Unter Bezugnahme auf [Fig. 7A](#) wird dort eine Querschnittsdarstellung eines Produkts gezeigt, das erhalten wird nach dem Ausbilden von Via-Verbindungen durch die Harzschicht **3A** für den Zweck, später Durchverbindungen durch die Harzschicht **3A** auszubilden. Im Gegensatz zu [Fig. 5F](#) der obigen Ausführungsform entspricht bei der vorliegenden Ausführungsform die Anzahl der hergestellten Via-Löcher durch die Harzschicht **3A** der Anzahl der leitenden Bereiche **3B.1**, sodass jeder einzelne der leitenden Bereiche **3B.1** sein eigenes Via-Loch und später seine eigene Durchverbindung durch die Harzschicht **3A** aufweist. Folglich werden die erhaltenen Halbleiterchips nach dem Vereinzeln eine Seitenschutzwand aufweisen, die aus einem Abschnitt der Harzschicht **3A** besteht, wie später zu sehen sein wird. Die Fabrikation der Via-Löcher durch die Harzschicht **3A** kann beispielsweise durch Laserabtragung oder andere Verfahren durchgeführt werden, wie oben umrissen wurde.

[0064] Der Prozess des Dehnens des zweiten Trägers **4**, wie in der vorausgegangenen Ausführungsform in [Fig. 5G](#) gezeigt, ist hier aus Gründen der Vereinfachung nicht dargestellt.

[0065] Unter Bezugnahme auf [Fig. 7B](#) wird dort eine Querschnittsdarstellung eines Produkts gezeigt, das erhalten wird nach der Metallisierung der Via-Löcher für den Zweck des Herstellens von Durchverbindungen. Die Metallisierung kann erfolgen durch Abscheiden einer Keimschicht und nachfolgende galvanische Metallisierung oder bei einer Ausführungsform durch Aufbringen einer Lotpaste, einer leitenden Druckfarbe oder irgendeiner anderen Art von leitender Paste in den Vias. Durch den Metallisierungsprozess werden elektrische Verbindungsabschnitte **15** hergestellt.

[0066] Unter Bezugnahme auf [Fig. 7C](#) wird dort eine Querschnittsdarstellung eines Produkts gezeigt, das erhalten wird nach dem Strukturieren des Werkstücks über dem zweiten Träger **4** durch Sägen der Harzschicht **3A** und somit Trennen individueller Halbleiter-Bauelemente voneinander. Wie oben in Verbindung mit [Fig. 5I–K](#) erläutert, kann ein Halbleiter-Bauelement, wie in [Fig. 7D](#) gezeigt, erhalten werden oder kann ein Halbleiter-Bauelement mit einer durch den vorhergehenden zweiten Träger **4** ausgebildeten schützenden Schicht erhalten werden, wie in [Fig. 7E](#) gezeigt. Es ist ersichtlich, dass diese beiden Halbleiter-Bauelemente Seitenwandschutzschichten umfassen (als "Isolation" bezeichnet), die durch Abschnitte der Harzschicht **3A** ausgebildet werden.

[0067] Unter Bezugnahme auf [Fig. 8](#) wird dort eine Querschnittsdarstellung eines Halbleiter-Bauelements gemäß einer Ausführungsform gezeigt. Das Halbleiter-Bauelement **10** umfasst einen Halbleiterchip **2A** mit Kontaktelementen **2A.1** auf einer Ober-

fläche des Chips **2A**, eine harzbeschichtete Kupferschicht **3** (RCC) mit einer auf einer Kupferschicht **3B** aufgetragenen Harzschicht **3A**, wobei der Halbleiterchip **2A** von der Harzschicht **3A** bedeckt ist, und die Kupferschicht **3B** umfasst leitende Bereiche **3B.1**, wobei jeder einzelne der leitenden Bereiche **3B.1** elektrisch mit einem der Kontaktelemente **2A.1** des Chips **2A** verbunden ist. Die Kupferschicht **3B** umfasst eine auf die erste Oberfläche der Harzschicht **2A** und eine zweite Oberfläche gegenüber der ersten Oberfläche, wobei die erste Oberfläche eine Oberflächenrauheit aufweisen kann, die größer ist als die Oberflächenrauheit der zweiten Oberfläche.

[0068] Die leitenden Bereiche **3B.1** können weiter mit Durchverbindungen **3A.1** verbunden sein, die sich von einer Hauptoberfläche der Harzschicht **3A** zu einer anderen gegenüberliegenden Hauptoberfläche der Harzschicht **3A** erstrecken. Der Halbleiterchip **2A** kann weiterhin ein Kontaktelement **2A.2** auf einer Oberfläche gegenüber der Oberfläche umfassen, die die Kontaktelemente **2A.1** enthält. Das Halbleiter-Bauelement **10** kann somit auf eine gedruckte Leiterplatte (PCB) oberflächenmontiert sein.

[0069] Gemäß einer Ausführungsform des Halbleiter-Bauelements **10** wird eine Kontaktmetallisierung zwischen jedem einzelnen der Kontaktelemente **2A.1** und dem jeweiligen leitenden Bereich **3B.1** vorgesehen. Mit anderen Worten können die Kontaktelemente **2A.1** aus Kontaktpads auf der Chipoberfläche und Metallisierungen zum Herstellen eines Kontakts zu den leitenden Bereichen **3B.1** bestehen. Die Metallisierung kann beispielsweise aus einem leitenden Kleber, weichem Lot, Diffusionslot, einer galvanischen Metallisierungsschicht, bei einer Ausführungsform einer galvanisch abgeschiedenen Kupferschicht, metallischen Höckern aus einem beliebigen lötbaren metallischen Material oder aus einer Metallnanopaste bestehen, die unter Einfluss von Temperatur und Druck, zum Beispiel 30 Minuten bei 200°–300°, bei einer Ausführungsform 275°, gebondet wird.

[0070] Gemäß einer Ausführungsform des Halbleiter-Bauelements **10** ist eine der Hauptoberflächen des Halbleiter-Bauelements **10**, die die leitenden Bereiche **3B.1** umfasst, von einer Schutzschicht bedeckt, die aus einer elastischen Folie hergestellt ist.

[0071] Unter Bezugnahme auf [Fig. 9](#) wird dort eine Querschnittsdarstellung eines Halbleiter-Bauelements gemäß einer Ausführungsform gezeigt. Das Halbleiter-Bauelement **20** umfasst einen Halbleiterchip **22A** mit Kontaktelementen **22A.1** auf einer Oberfläche des Chips **22A**, eine den Halbleiterchip **22A** bedeckende Materialschicht **23**, auf eine erste Oberfläche der Materialschicht **23** aufgetragene elektrisch leitende Bereiche **23B.1**, wobei jeder einzelne der elektrisch leitenden Bereiche **23B.1** elektrisch mit einem der Kontaktelemente **22A.1** des Chips **22A** ver-

bunden ist, wobei jeder einzelne der leitenden Bereiche **23B.1** eine erste Oberfläche und eine zweite Oberfläche gegenüber der ersten Oberfläche enthält, wobei die erste Oberfläche auf die erste Oberfläche der Materialschicht **23** aufgebracht ist und sich die zweite Oberfläche entfernt von der Materialschicht **23** befindet und wobei die erste Oberfläche eine Oberflächenrauheit aufweist, die größer ist als die Oberflächenrauheit der zweiten Oberfläche.

[0072] Gemäß einer Ausführungsform des Halbleiter-Bauelements **20** wird eine Kontaktmetallisierung zwischen jedem einzelnen der Kontaktelemente **22A.1** und dem jeweiligen leitenden Bereich **23B.1** vorgesehen. Mit anderen Worten können die Kontaktelemente **22A.1** aus Kontaktpads auf der Chipoberfläche und Metallisierungen zum Herstellen eines Kontakts zu den leitenden Bereichen **23B.1** bestehen. Die Metallisierung kann beispielsweise aus einem leitenden Kleber, weichem Lot, Diffusionslot, einer galvanischen Metallisierungsschicht, bei einer Ausführungsform einer galvanisch abgeschiedenen Kupferschicht, metallischen Höckern aus einem beliebigen lötbaren metallischen Material oder aus einer Metallnanopaste bestehen, die unter Einfluss von Temperatur und Druck, zum Beispiel 30 Minuten bei 200°–300°, bei einer Ausführungsform 275°, gebondet wird.

[0073] Gemäß einer Ausführungsform des Halbleiter-Bauelements **20** umfasst die Materialschicht **23** weiterhin eine zweite Oberfläche, und die leitenden Bereiche **23B.1** sind jeweils mit einer jeweiligen elektrischen Verbindung **23A.1** verbunden, wobei die elektrische Verbindung **23A.1** von der ersten Oberfläche der Materialschicht **23** zu der zweiten Oberfläche der Materialschicht **23** reicht.

[0074] Gemäß einer Ausführungsform des Halbleiter-Bauelements **10** ist eine der Hauptoberflächen des Halbleiter-Bauelements **10**, die die leitenden Bereiche **3B.1** umfasst, von einer Schutzschicht bedeckt, die aus einer elastischen Folie hergestellt ist.

[0075] Gemäß einer Ausführungsform des Halbleiter-Bauelements **20** besteht die Materialschicht **23** aus einer Harzschicht. Bei einer Ausführungsform kann die Materialschicht **23** Teil einer harzbeschichteten Kupferschicht (RCC) sein, die eine auf einer Kupferschicht **23B** aufgetragene Harzschicht **23** enthält, wobei der Halbleiterchip **2A** von der Harzschicht **23** bedeckt ist und die Kupferschicht **23B** die leitenden Bereiche **23B.1** umfasst.

Patentansprüche

1. Verfahren zum Herstellen eines Halbleiter-Bauelements, umfassend:
Bereitstellen von mehreren Chips (**2A**), die an einem ersten Träger (**1**) angebracht sind;

Dehnen des ersten Trägers (1), sodass ein Abstand zwischen benachbarten einzelnen der mehreren Chips (2A) vergrößert wird; und

Aufbringen eines Laminats (3) auf die mehreren Chips (2A) und den gedehnten ersten Träger (1), um ein erstes Werkstück mit einer ersten Hauptfläche auszubilden, das dem ersten Träger (1) zugewandt ist, und einer zweiten Hauptfläche gegenüber der ersten Hauptfläche;

Anbringen eines zweiten Trägers (4) an der zweiten Hauptfläche des ersten Werkstücks; und

Dehnen des zweiten Trägers (4), sodass ein Abstand zwischen benachbarten einzelnen der mehreren eingebetteten Chips (2A) vergrößert wird.

2. Verfahren nach Anspruch 1, wobei das Bereitstellen von mehreren an dem ersten Träger (1) angebrachten Chips (2A) ein Vereinzeln der mehreren Chips (2A) von einem an dem ersten Träger (1) angebrachten Wafer (2) umfasst.

3. Verfahren nach Anspruch 1 oder 2, wobei das Laminate (3) eine erste Schicht (3A) umfasst, die ein elektrisch isolierendes Material umfasst, und eine zweite Schicht (3B), die ein elektrisch leitendes Material umfasst.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei jeder der Chips (2A) Kontaktelemente (2A.1) aufweist und wobei die mehreren Chips (2A) an dem Träger (1) angebracht sind, wobei die mehreren Kontaktelemente (2A.1) von dem Träger (1) wegweisen.

5. Verfahren nach Anspruch 3, weiterhin umfassend:
elektrisches Verbinden der zweiten Schicht (3B) mit den mehreren Kontaktelementen (2A.1).

6. Verfahren nach Anspruch 3, weiterhin umfassend:
Strukturieren der zweiten Schicht (3B).

7. Verfahren nach einem der vorhergehenden Ansprüche, weiterhin umfassend:
Entfernen des ersten Trägers (1) von der ersten Hauptfläche des ersten Werkstücks.

8. Verfahren nach einem der vorhergehenden Ansprüche, weiterhin umfassend:
Vereinzeln mehrerer eingebetteter Chips (2A) von dem ersten Werkstück.

9. Verfahren nach einem der vorhergehenden Ansprüche, weiterhin umfassend:
Aufbringen eines elektrisch leitenden Materials auf die mehreren Chips (2A) und den gedehnten zweiten Träger (4), um ein zweites Werkstück auszubilden, das die mehreren eingebetteten Chips (2A) einbettet, wobei das zweite Werkstück eine erste Hauptfläche aufweist, die dem zweiten Träger (4) zugewandt ist,

und eine zweite Hauptfläche gegenüber der ersten Hauptfläche.

10. Verfahren nach Anspruch 9, weiterhin umfassend:
Vereinzeln von mehreren eingebetteten Chips (2A) von dem zweiten Werkstück.

11. Verfahren nach Anspruch 9 oder 10, weiterhin umfassend:
Entfernen des zweiten Trägers (4) von der ersten Fläche des zweiten Werkstücks.

Es folgen 10 Blatt Zeichnungen

FIG 1

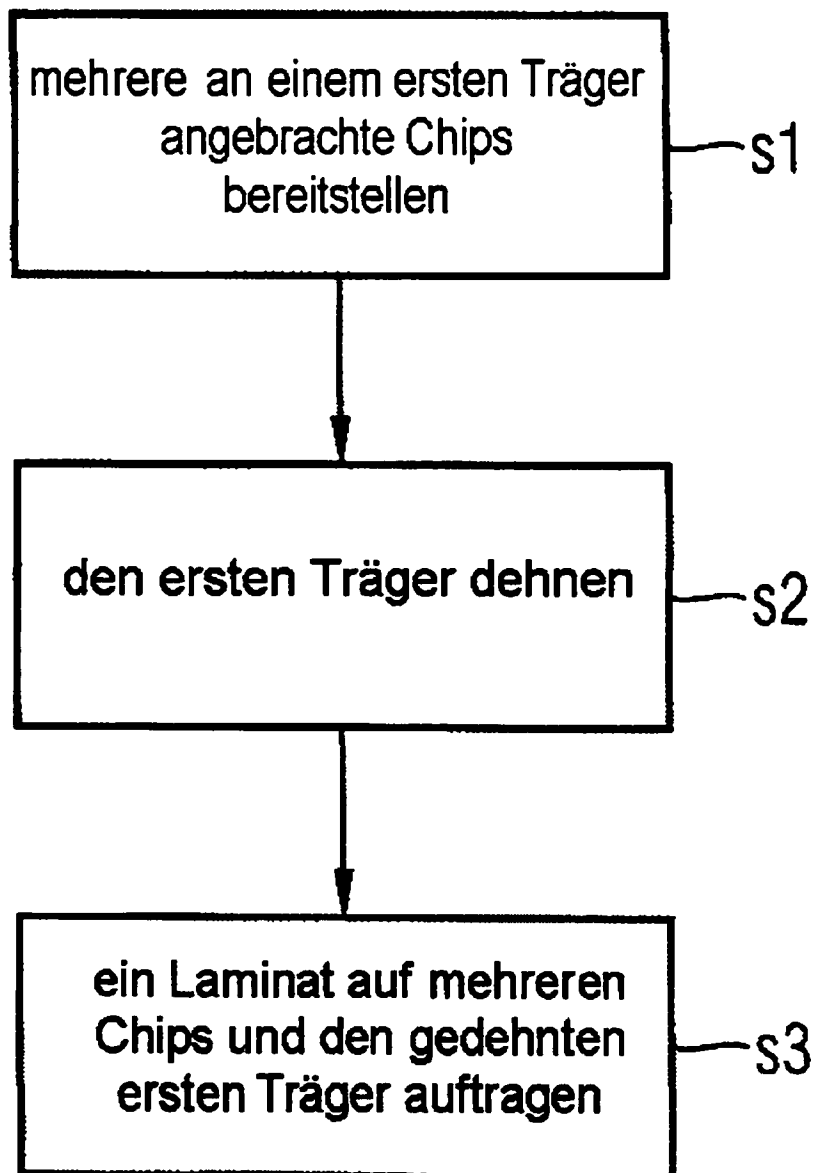


FIG 2A

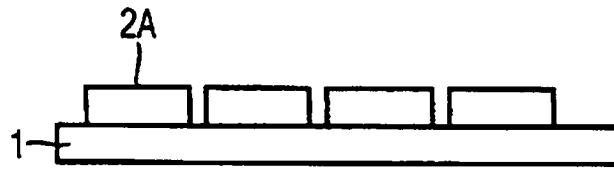


FIG 2B

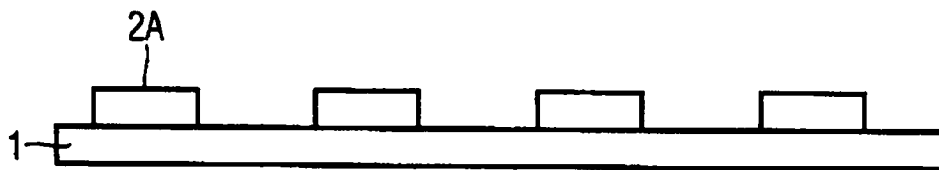


FIG 2C

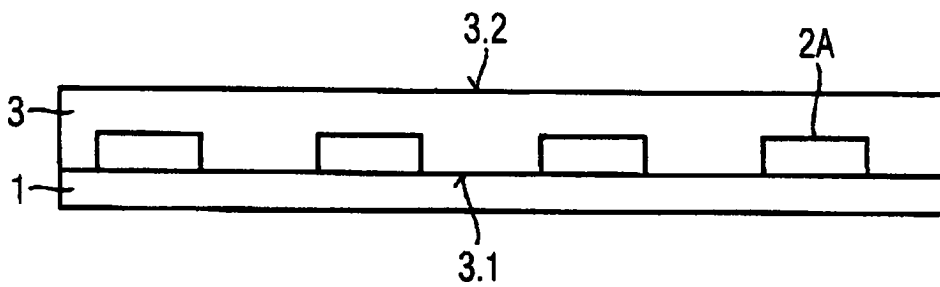


FIG 3

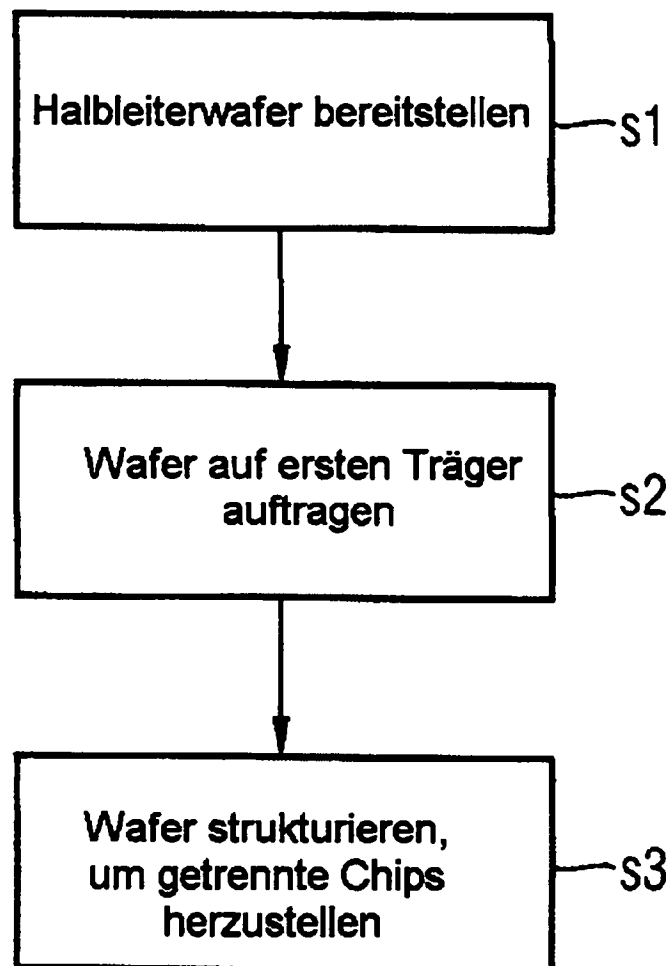


FIG 4A

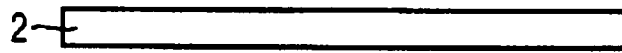


FIG 4B

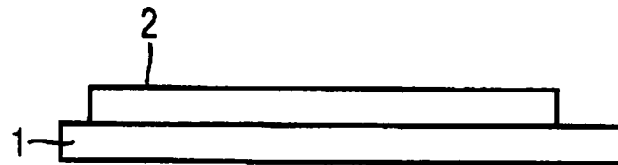


FIG 4C

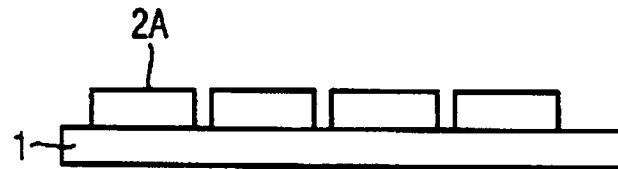


FIG 4D

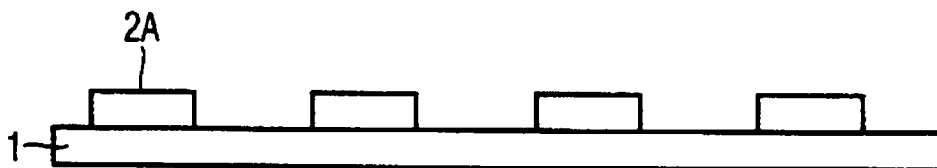


FIG 5A

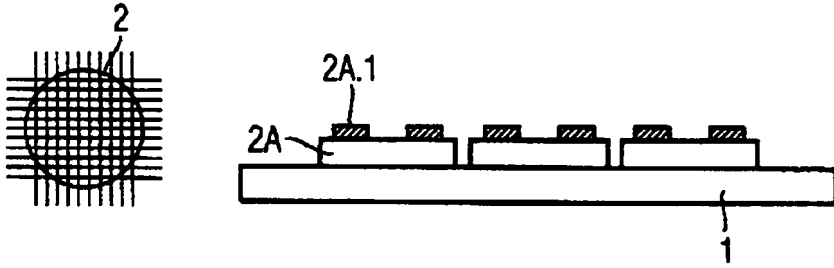


FIG 5B

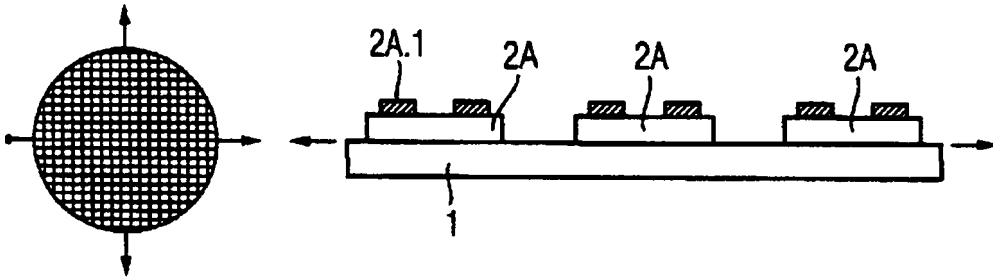


FIG 5C

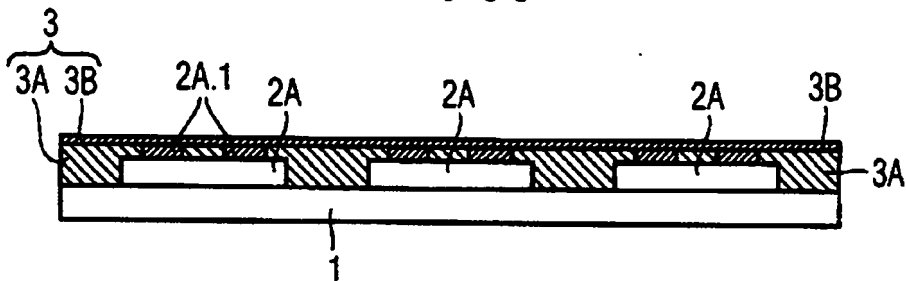


FIG 5D

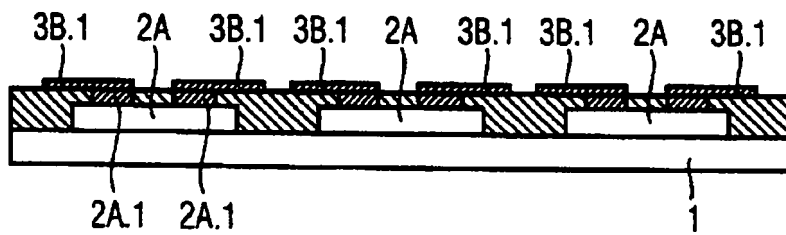


FIG 5E

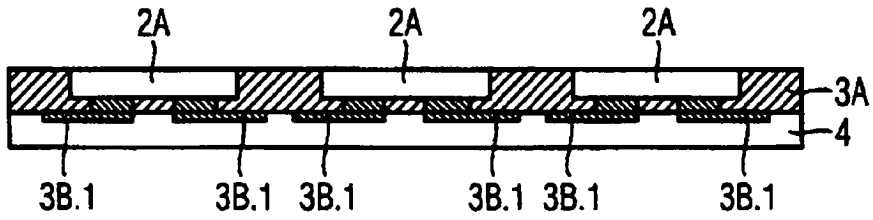


FIG 5F

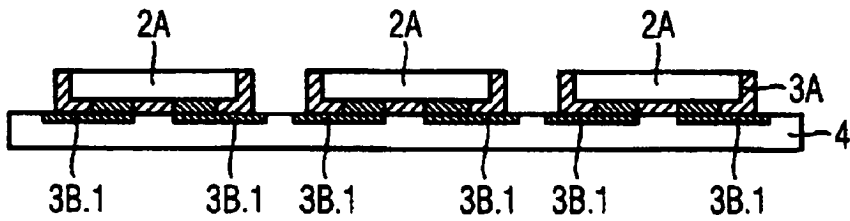


FIG 5G

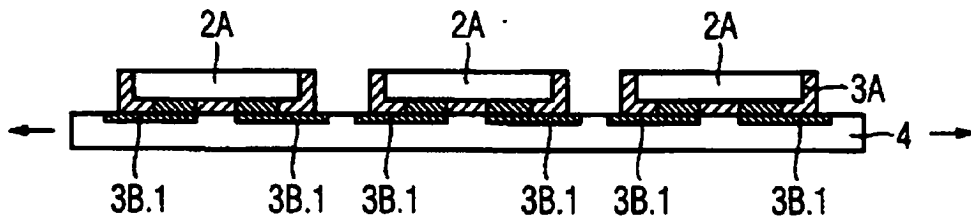


FIG 5H

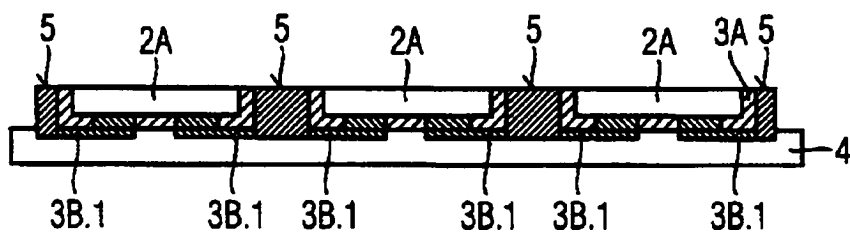


FIG 5I

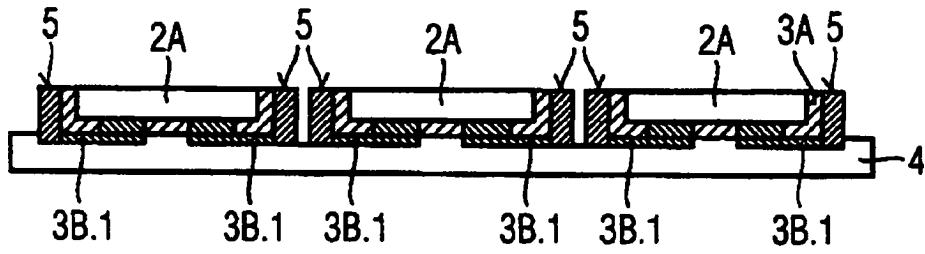


FIG 5J

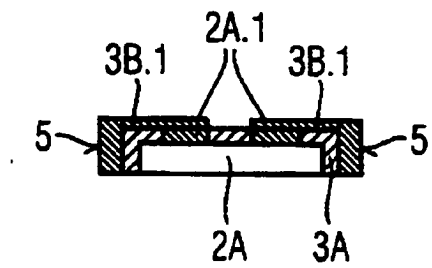


FIG 5K

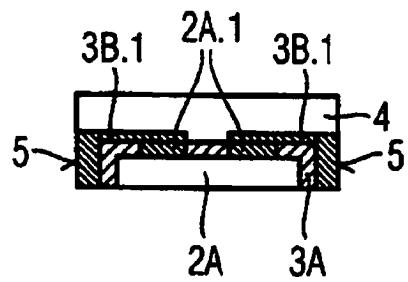


FIG 6A

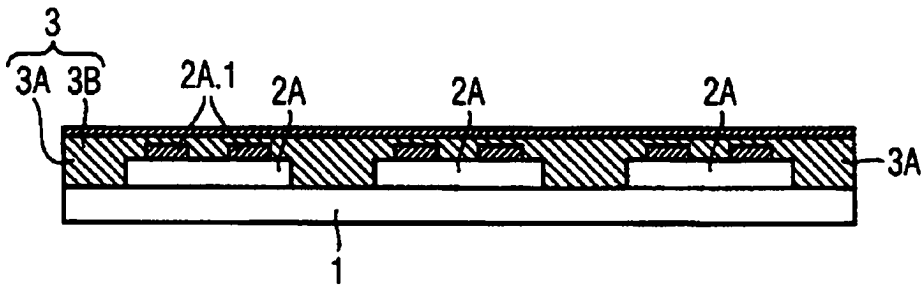


FIG 6B

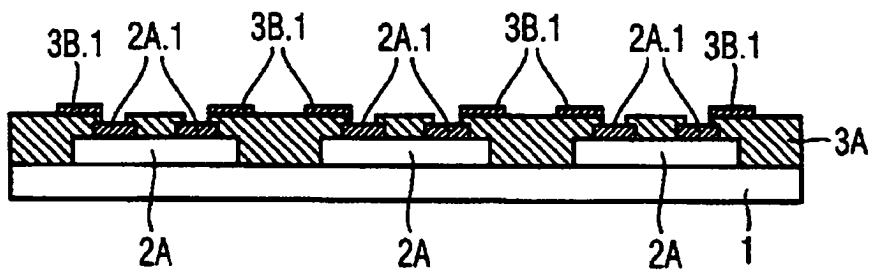


FIG 6C

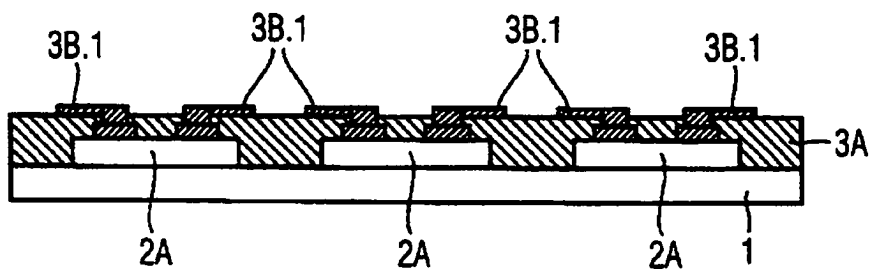


FIG 7A

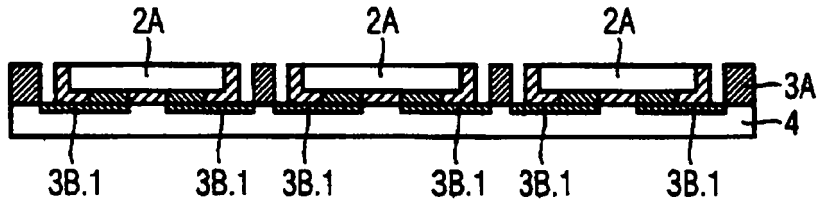


FIG 7B

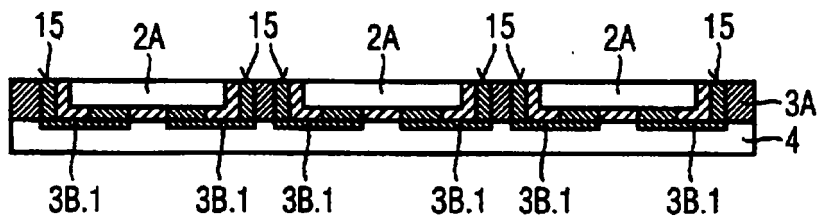


FIG 7C

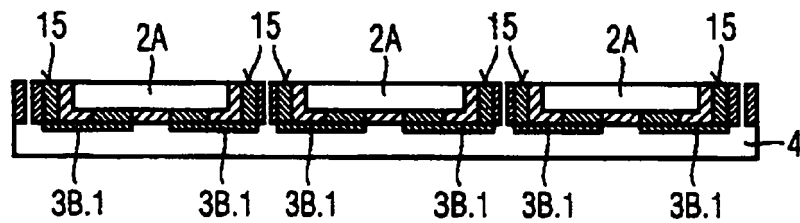


FIG 7D

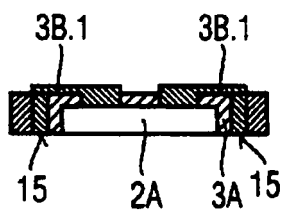


FIG 7E

