



(12) 发明专利

(10) 授权公告号 CN 108074798 B

(45) 授权公告日 2020.12.18

(21) 申请号 201711334555.X  
 (22) 申请日 2017.12.13  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 108074798 A  
 (43) 申请公布日 2018.05.25  
 (73) 专利权人 上海华虹宏力半导体制造有限公  
 司  
 地址 201203 上海市浦东新区张江高科技  
 园区祖冲之路1399号  
 (72) 发明人 叶滋婧  
 (74) 专利代理机构 上海思微知识产权代理事务  
 所(普通合伙) 31237  
 代理人 屈蘅  
 (51) Int. Cl.  
 H01L 21/027 (2006.01)

(56) 对比文件  
 US 2014110766 A1, 2014.04.24  
 US 2014273441 A1, 2014.09.18  
 CN 101471242 A, 2009.07.01  
 CN 103390584 A, 2013.11.13  
 CN 103839781 A, 2014.06.04  
 US 2016322371 A1, 2016.11.03  
 US 2009146322 A1, 2009.06.11  
 US 6221562 B1, 2001.04.24

审查员 刘婧

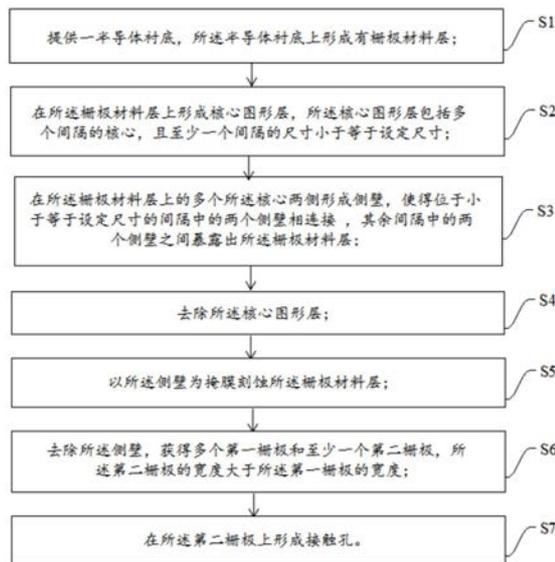
权利要求书2页 说明书5页 附图5页

(54) 发明名称

一种自对准曝光半导体结构的制作方法

(57) 摘要

本发明公开了一种自对准曝光半导体结构的制作方法,包括:提供半导体衬底,形成栅极材料层;形成核心图形层,包括多个间隔的核心,且至少一个间隔的尺寸小于等于设定尺寸;在多个核心两侧形成侧壁,使得位于小于等于设定尺寸间隔中的侧壁相连,其余间隔的侧壁之间暴露出栅极材料层;去除核心图形层;刻蚀栅极材料层;去除侧壁,获得多个第一栅极和至少一个第二栅极,第二栅极的宽度大于第一栅极的宽度;在第二栅极上形成接触孔。本发明只经过一次曝光就完成栅极结构的改变,节省了工序,降低了生产成本;不再通过periphery区的延生栅极,而是让cell区的第二栅极直接连接接触孔,简化了布局,避免了cell区和periphery区混淆在一起,工艺简单有序,生产效率提高。



1. 一种自对准曝光半导体结构的制作方法,其特征在于,包括步骤:提供一半导体衬底,所述半导体衬底上形成有栅极材料层;

在所述栅极材料层上形成核心图形层,所述核心图形层包括多个间隔的核心,且至少一个间隔的尺寸小于等于设定尺寸,且小于等于设定尺寸的所述间隔中的两个所述核心的宽度不同;

在所述栅极材料层上的多个所述核心两侧形成侧壁,使得位于小于等于设定尺寸的间隔中的两个侧壁相连接,其余间隔中的两个侧壁之间暴露出所述栅极材料层;

去除所述核心图形层;

以所述侧壁为掩膜刻蚀所述栅极材料层;

去除所述侧壁,获得多个第一栅极和至少一个第二栅极,所述第二栅极的宽度大于所述第一栅极的宽度;以及在所述第二栅极上形成接触孔。

2. 如权利要求1所述的自对准曝光半导体结构的制作方法,其特征在于,所述栅极材料层采用多晶硅或金属材质。

3. 如权利要求1或2所述的自对准曝光半导体结构的制作方法,其特征在于,所述栅极材料层采用化学气相淀积工艺淀积而成。

4. 如权利要求1或2所述的自对准曝光半导体结构的制作方法,其特征在于,所述栅极材料层下方还形成有栅极介质层。

5. 如权利要求1所述的自对准曝光半导体结构的制作方法,其特征在于,在所述栅极材料层上形成所述核心图形层的步骤包括:在所述栅极材料层上淀积核心图形材料层;

刻蚀所述核心图形材料层,得到多个间隔的核心,且至少一个间隔的尺寸小于等于设定尺寸。

6. 如权利要求5所述的自对准曝光半导体结构的制作方法,其特征在于,所述核心图形材料层为电介质薄膜和金属薄膜中的任意一种或任意多种的组合。

7. 如权利要求5所述的自对准曝光半导体结构的制作方法,其特征在于,所述核心图形层上还淀积有抗反射层。

8. 如权利要求1或5所述的自对准曝光半导体结构的制作方法,其特征在于,所述设定尺寸为0.020-0.090微米。

9. 如权利要求1或5所述的自对准曝光半导体结构的制作方法,其特征在于,在所述栅极材料层上的多个所述核心两侧形成侧壁的步骤包括:淀积间隔材料层,所述间隔材料层分布在多个所述核心和多个所述间隔暴露出的栅极材料层上;

刻蚀所述间隔材料层,在多个所述核心两侧形成侧壁,使得位于小于等于设定尺寸的间隔中的两个侧壁保持连接,其余间隔中的两个侧壁之间暴露出所述栅极材料层。

10. 如权利要求9所述的自对准曝光半导体结构的制作方法,其特征在于,所述间隔材料层采用氮化硅材质。

11. 如权利要求9所述的自对准曝光半导体结构的制作方法,其特征在于,所述间隔材料层利用原子层沉积工艺淀积而成。

12. 如权利要求9所述的自对准曝光半导体结构的制作方法,其特征在于,采用四氟化碳气体干法刻蚀工艺刻蚀所述间隔材料层,去除多个所述核心上的间隔材料层以及所述栅极材料层上间隔材料层的薄弱处。

13. 如权利要求1所述的自对准曝光半导体结构的 制作方法,其特征在于,采用湿法刻蚀工艺去除所述核心图形层。

14. 如权利要求13所述的自对准曝光半导体结构的 制作方法,其特征在于,所述湿法刻蚀工艺利用氢氟酸溶液进行。

## 一种自对准曝光半导体结构的制作方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其是涉及一种自对准曝光半导体结构的制作方法。

### 背景技术

[0002] 随着半导体硅栅工艺的发展,在半导体器件特别是存储器件中,由于器件的核心区域--存储单元(cell)区域上的栅极关键特征尺寸较小,无法直接在栅极上布局接触孔,而是需要在与器件的存储单元区域相连的外围区域(periphery区)多晶硅上刻蚀栅极用以连接接触孔,前后需要两次曝光,工艺较为繁琐,且布局复杂,将cell区与periphery区混杂在了一起,后续布局容易出错。

[0003] 因此,目前亟需一种工艺简单、布局有序的自对准曝光半导体结构的制作方法。

### 发明内容

[0004] 本发明的目的在于提供一种布局合理、工艺简洁的自对准曝光方法,以优化目前的栅极、接触孔布局工艺,精简生产制造步骤并降低生产成本。

[0005] 为了达到上述目的,本发明提供了一种自对准曝光半导体结构的制作方法,包括步骤:

[0006] 提供一半导体衬底,所述半导体衬底上形成有栅极材料层;

[0007] 在所述栅极材料层上形成核心图形层,所述核心图形层包括多个间隔的核心,且至少一个间隔的尺寸小于等于设定尺寸;

[0008] 在所述栅极材料层上的多个所述核心两侧形成侧壁,使得位于小于等于设定尺寸的间隔中的两个侧壁相连接,其余间隔中的两个侧壁之间暴露出所述栅极材料层;

[0009] 去除所述核心图形层;

[0010] 以所述侧壁为掩膜刻蚀所述栅极材料层;

[0011] 去除所述侧壁,获得多个第一栅极和至少一个第二栅极,所述第二栅极的宽度大于所述第一栅极的宽度;以及

[0012] 在所述第二栅极上形成接触孔。

[0013] 可选的,所述栅极材料层采用多晶硅或金属材质。

[0014] 可选的,所述栅极材料层采用化学气相淀积工艺淀积而成。

[0015] 可选的,所述栅极材料层下方还形成有栅极介质层。

[0016] 可选的,在所述栅极材料层上形成所述核心图形层的步骤包括:

[0017] 在所述栅极材料层上淀积核心图形材料层;

[0018] 刻蚀所述核心图形材料层,得到多个间隔的核心,且至少一个间隔的尺寸小于等于设定尺寸。

[0019] 可选的,所述核心图形材料层为无定形碳、电介质薄膜、金属薄膜中的任意一种或任意多种的组合。

- [0020] 可选的,所述核心图形层上还淀积有抗反射层。
- [0021] 可选的,所述设定尺寸为0.020-0.090微米。
- [0022] 可选的,在所述栅极材料层上的多个所述核心两侧形成侧壁的步骤包括:
- [0023] 淀积间隔材料层,所述间隔材料层分布在多个所述核心和多个所述间隔暴露出的栅极材料层上;
- [0024] 刻蚀所述间隔材料层,在多个所述核心两侧形成侧壁,使得位于小于等于设定尺寸的间隔中的两个侧壁保持连接,其余间隔中的两个侧壁之间暴露出所述栅极材料层。
- [0025] 可选的,所述间隔材料层采用氮化硅材质。
- [0026] 可选的,所述间隔材料层利用原子层沉积工艺淀积而成。
- [0027] 可选的,采用四氟化碳气体干法刻蚀工艺刻蚀所述间隔材料层,去除多个所述核心上的间隔材料层以及所述栅极材料层上间隔材料层的薄弱处。
- [0028] 可选的,采用湿法刻蚀工艺去除所述核心图形层。
- [0029] 可选的,所述湿法刻蚀工艺利用氢氟酸溶液进行。
- [0030] 本发明通过减小部分相邻核心的间隔,使得位于小于等于设定尺寸的间隔中的两个侧壁相连接,进而以相连的两个侧壁做掩膜刻蚀得到足够尺寸(宽度)的第二栅极,方便后续接触孔的连接布局。与传统的自对准双重曝光工艺相比,本发明综合考虑了半导体结构的存储单元区的栅极布局与后续栅极的接触孔布局,适当改变核心图层的核心间隔,得到一个较大尺寸的栅极刻蚀掩膜,只经过一次曝光就可以完成栅极结构的改变,得到至少一个足够尺寸(宽度)的第二栅极,节省了工序,降低了生产成本;将后续的接触孔直接设置在存储单元区的第二栅极上,不再连接到外围区的延生栅极,简化了布局,避免了存储单元区和外围区混淆在一起的问题,工艺简单有序,生产效率更高。

## 附图说明

- [0031] 图1为本发明一实施例的自对准曝光半导体结构制作方法步骤示意图;
- [0032] 图2至图6为传统的自对准双重曝光工艺制作的半导体结构示意图,图2-图5为正视图,图6为俯视图;
- [0033] 图7至图11为本发明一实施例的自对准曝光方法制作的半导体结构示意图,图7-图10为正视图,图11为俯视图;
- [0034] 图中,1-半导体衬底,2-栅极介质层,3-栅极材料层,3a-第一栅极,3b-第二栅极,4-间隔材料层,4a-侧壁,5-核心,6-光刻胶层,7-接触孔。

## 具体实施方式

- [0035] 下面将结合示意图对本发明的具体实施方式进行更详细的描述。根据下列描述和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。
- [0036] 发明人研究发现:如图2至图6所示,传统的自对准双重曝光工艺在栅极材料层3上cell区刻蚀的多个常规尺寸的第一栅极3a关键特征尺寸都比较小,无法在后续的金属层布线中直接连接接触孔7,而是需要在与cell区相连的periphery区上划出一大块栅极材料,在该块栅极材料上刻蚀出一个加宽的第二栅极3b,通过加宽的第二栅极3b连接接触孔7。整

个工艺需要经过两次曝光,即在刻蚀cell区的间隔材料层4前曝光一次,在刻蚀periphery区的加宽的第二栅极3b之前对淀积的光刻胶层6曝光一次,两次曝光用的光罩不一样;且cell区栅极的接触孔7位于periphery区,后续金属层布线容易混淆弄错。

[0037] 基于此,本发明实施例提出了一种自对准曝光半导体结构的制作方法,如图1所示,并结合图7至图11,该方法包括如下步骤:

[0038] S1、提供一半导体衬底1,在半导体衬底1上形成有栅极材料层3;

[0039] S2、在栅极材料层3上形成核心图形层,所述核心图形层包括多个间隔的核心5,且至少一个间隔的尺寸小于等于设定尺寸;

[0040] S3、在栅极材料层3上的多个核心5的两侧形成侧壁4a,使得位于小于等于设定尺寸的间隔中的两个侧壁4a相连接,其余间隔中的两个侧壁4a之间暴露出栅极材料层3;

[0041] S4、去除所述核心图形层;

[0042] S5、以多个侧壁4a为掩膜刻蚀栅极材料层3;

[0043] S6、去除多个侧壁4a,获得多个第一栅极3a和至少一个第二栅极3b,其中,第二栅极3b的宽度大于第一栅极3a的宽度;

[0044] S7、在第二栅极3b上形成接触孔7。

[0045] 进一步地,参见图7至图11,在步骤S1中,栅极材料层3的下方还形成有栅极介质层2,栅极介质层2多采用氧化硅材质。

[0046] 可选的,栅极材料层3采用多晶硅或金属材料。

[0047] 可选的,栅极介质层2及栅极材料层3均采用化学气相淀积工艺淀积而成。化学气相沉积即把含有构成薄膜元素的气体供给半导体衬底1,利用加热、等离子体及紫外光等能源,发生化学反应沉积薄膜。利用化学气相沉积工艺得到的薄膜具有很多优点:薄膜形成方向性小,微观均匀性好;薄膜纯度高,残余应力小,延展性强,薄膜受到的辐射损伤较小。

[0048] 可选的,在栅极材料层3上形成所述核心图形层的步骤S2具体包括:

[0049] S21、在栅极材料层3上淀积核心图形材料层(图中未画出);

[0050] S22、刻蚀所述核心图形材料层,形成所述核心图形层,得到多个间隔的核心5,且至少一个间隔的尺寸小于等于设定尺寸。

[0051] 可选的,所述核心图形材料层为无定形碳、电介质薄膜(如氧化硅)、金属薄膜中的任意一种或任意多种的组合。

[0052] 进一步地,在步骤S21中,所述核心图形层上还淀积有抗反射层和光刻胶层(图中均未画出)。所述核心图形层上设有一抗反射层,能保护好所述核心图形层的形貌,从而最终形成良好的作为栅极材料层3的刻蚀掩膜的侧壁4a。

[0053] 可选的,所述抗反射层为有机抗放射层,其厚度在600埃-900埃之间。所述抗反射层和光刻胶层利用现有的光刻工艺制备完成,在此不再赘述。

[0054] 可选的,在步骤S22中,以所述光刻胶层为掩膜对所述核心图形层(包括其上的抗反射层)进行的刻蚀采用干法刻蚀工艺。其中,所述抗反射层的干法刻蚀工艺的刻蚀气体包括四氟化碳和氧气,核心图形层5作为刻蚀所述抗反射层的停止层;核心图形层5的刻蚀工艺利用含有含碳氟的有机物(如 $CF_4$ 、 $CHF_3$ 以及 $C_4F_8$ )与氧气的混合气体进行,所述核心图形层下方的栅极材料层3作为刻蚀停止层。

[0055] 本发明实施例的第一栅极3a和第二栅极3b的尺寸(宽度)均有要求:如图5和7所

示,第一栅极3a对应的掩膜(一个侧壁4a)不能太宽,一个间隔A中的两个侧壁4a要有距离,不能相连;第二栅极3b对应的掩膜(相连的两个侧壁4a)要足够宽,间隔B中的两个侧壁4a相连。故在其他间隔(如A)的尺寸偏大时,至少有一个间隔(如B)的尺寸偏小,其尺寸小于等于所述设定尺寸,使得后续在该间隔区域淀积、刻蚀得到相连的两个侧壁4a。所述设定尺寸在0.020-0.090微米之间,可以为0.029微米、0.037微米、0.042微米等,可根据生产需要灵活调整。当然,所述尺寸偏小的间隔(如B)的尺寸也不能太小,以至于使得两个侧壁4a完全重合,造成对应的掩膜尺寸偏小。可选的,所述尺寸偏小的间隔(如B)的宽度可设置在0.020-0.035微米之间,如可以为0.028、0.032微米等。

[0056] 可选的,参见图7和图8,在栅极材料层3上的多个核心5两侧形成侧壁4a的步骤S3可具体为:

[0057] S31、淀积间隔材料层4,间隔材料层4分布在多个核心5和多个所述间隔(如A、B等)暴露出的栅极材料层3上;

[0058] S32、刻蚀间隔材料层4,在多个核心5两侧形成侧壁4a,使得位于小于等于设定尺寸的间隔B中的两个侧壁4a保持连接,其余间隔(如A)中的两个侧壁4a之间暴露出栅极材料层3。

[0059] 可选的,间隔材料层4采用氮化硅材质。氮化硅膜是一种硬质掩膜,具备良好的光电性质、钝化性能和抗水汽渗透能力,在微电子材料及器件生产中被广泛用作表面钝化保护膜、绝缘层、杂质扩散掩膜、刻蚀掩膜等。

[0060] 可选的,间隔材料层4利用原子层沉积工艺淀积而成。

[0061] 可选的,采用四氟化碳气体干法刻蚀工艺刻蚀间隔材料层4,去除多个核心5上的间隔材料层4以及栅极材料层3上间隔材料层4的薄弱处。当然,所述干法刻蚀工艺气体也可采用其他含碳氟的有机物(如 $\text{CHF}_3$ 及 $\text{C}_4\text{F}_8$ )。

[0062] 可选的,在步骤S4中,采用湿法刻蚀工艺去除所述核心图形层。可选的,所述湿法刻蚀工艺利用氢氟酸溶液进行。氢氟酸溶液可选择性地快速腐蚀掉氧化硅,而对氮化硅和多晶硅的腐蚀有限,氢氟酸溶液对所述核心图形层及其下方的栅极材料层3具有较高的刻蚀选择比,能够将所述核心图形层较为干净的去除,并且使得位于所述核心图形层两侧的氮化硅材质的侧壁4a仍然具有垂直形貌: $\text{SiO}_2+4\text{HF}=\text{SiF}_4(\text{气体})+2\text{H}_2\text{O}$ 。

[0063] 如图9和图10所示,本发明的自对准曝光半导体结构的制作方法的步骤S5、S6及S7均可以采用现有技术实现,在此不做赘述。最终得到如图11所示的半导体结构。

[0064] 进一步地,本发明的自对准曝光半导体结构的制作方法还包括:

[0065] S8、在半导体衬底1上的存储单元区以第一栅极3a、第二栅极3b为掩膜对半导体衬底1进行离子注入,完成源、漏区的掺杂;

[0066] S9、在半导体衬底1上完成源漏区的连线及后期接触孔7的布线连接。

[0067] 其中,存储单元区核心逻辑处理器件的构造主要是在半导体衬底1上完成晶体管有源区的掺杂、连线,可参考现有技术完成,在此不做赘述。

[0068] 综上所述,在本发明实施例提供的自对准曝光半导体结构的制作方法中,通过减小部分相邻核心的间隔,使得位于小于等于设定尺寸的间隔中的两个侧壁相连接,进而以相连的两个侧壁做掩膜刻蚀得到足够尺寸(宽度)的第二栅极,方便后续接触孔的连接布局。与传统的自对准双重曝光工艺相比,本发明综合考虑了半导体的存储单元区的栅极布

局与后续栅极的接触孔布局,适当改变核心图层的核心间隔,得到一个较大尺寸的栅极刻蚀掩膜,只经过一次曝光就可以完成栅极结构的改变,得到至少一个足够尺寸(宽度)的第二栅极,节省了工序,降低了生产成本;将后续的接触孔直接设置在存储单元区的第二栅极上,不再连接到外围区的延生栅极,简化了布局,避免了存储单元区和外围区混淆在一起的问题,工艺简单有序,生产效率更高。

[0069] 此外,需要说明的是,除非特别说明或者指出,否则说明书中的术语“第一”、“第二”等描述仅仅用于区分说明书中的各个组件,而不是用于表示各个组件之间的逻辑关系或者顺序关系等。

[0070] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

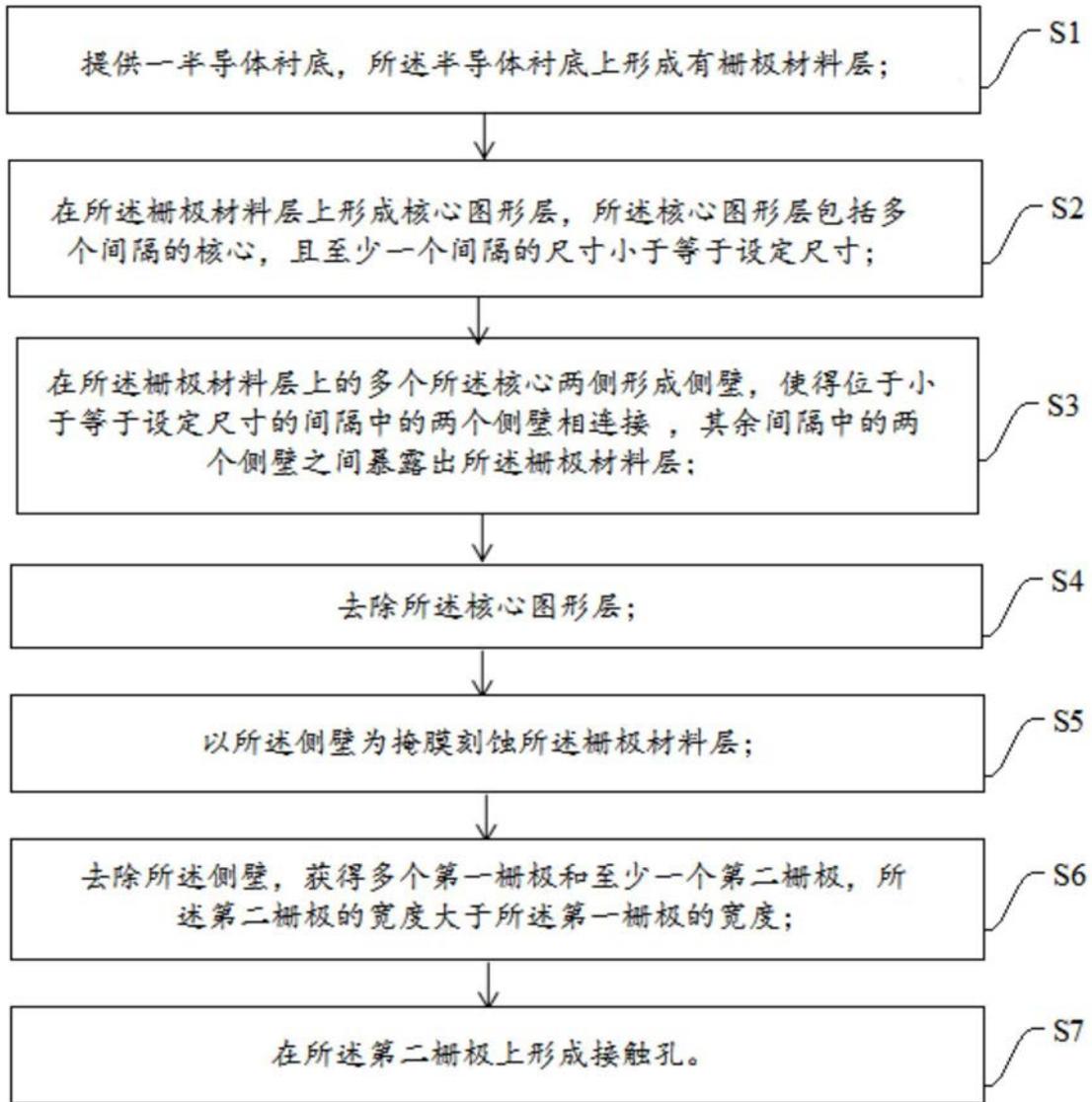


图1

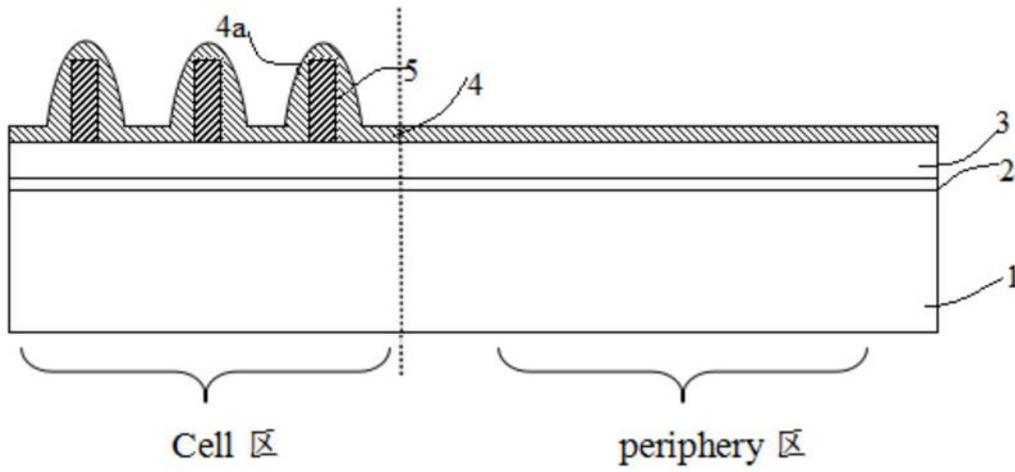


图2

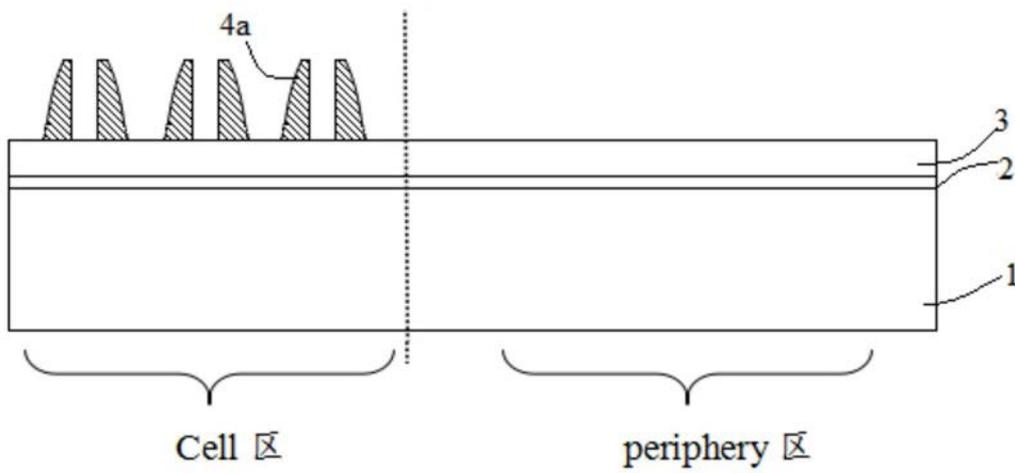


图3

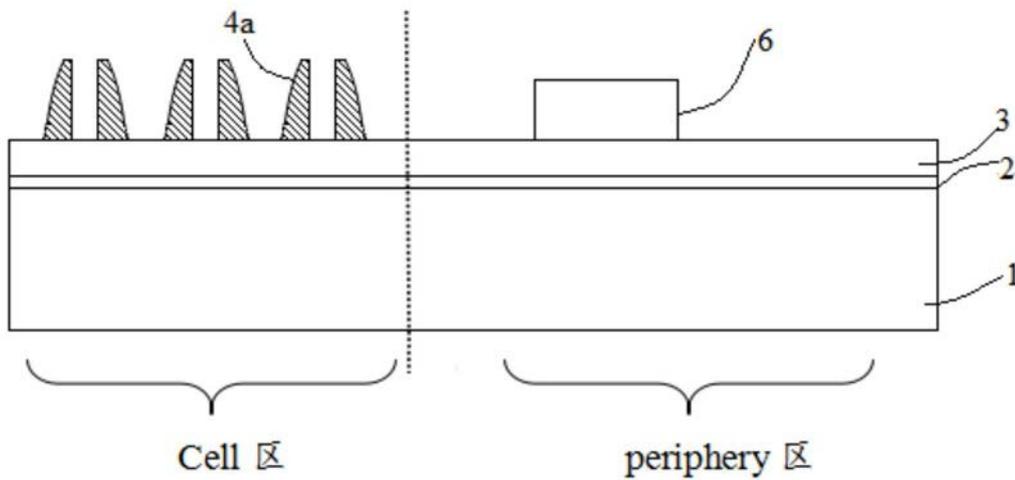


图4

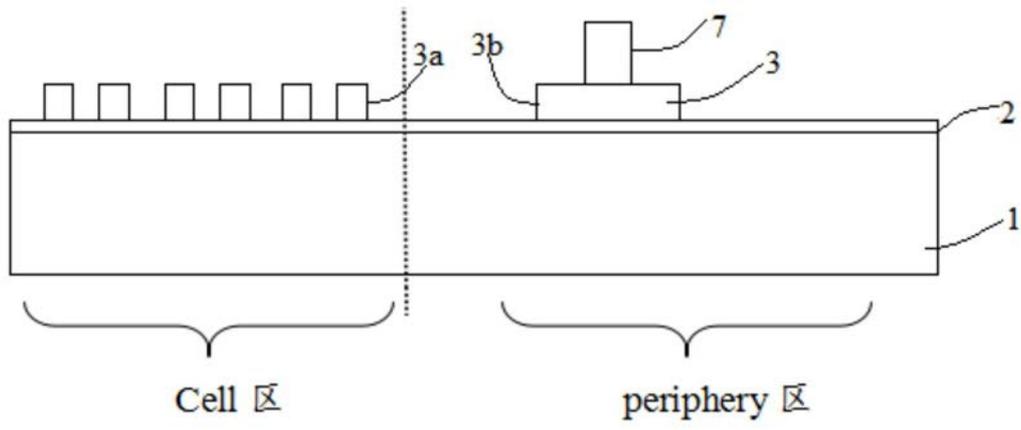


图5

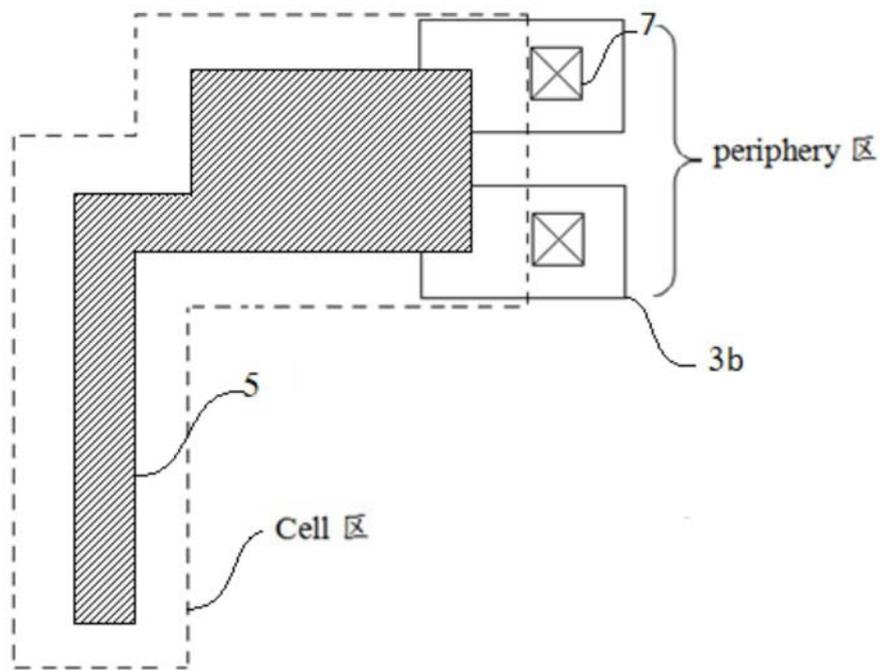


图6

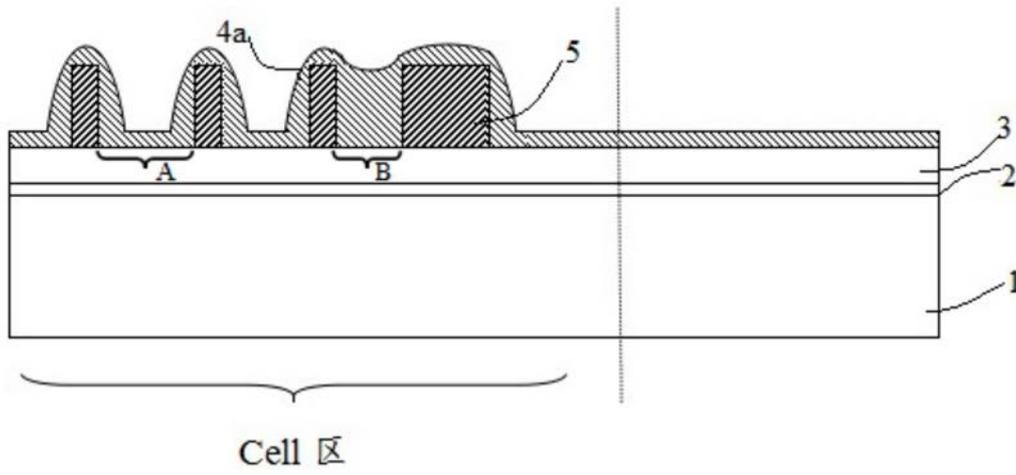


图7

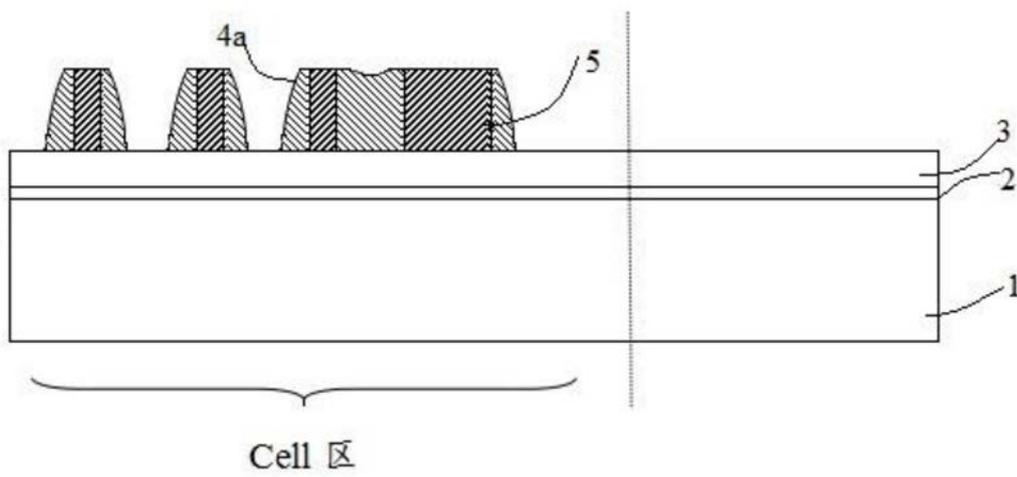


图8

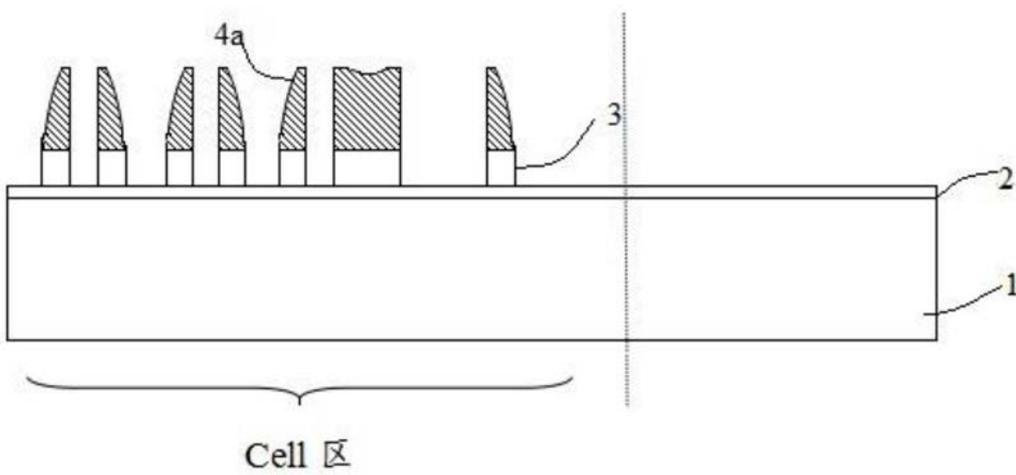


图9

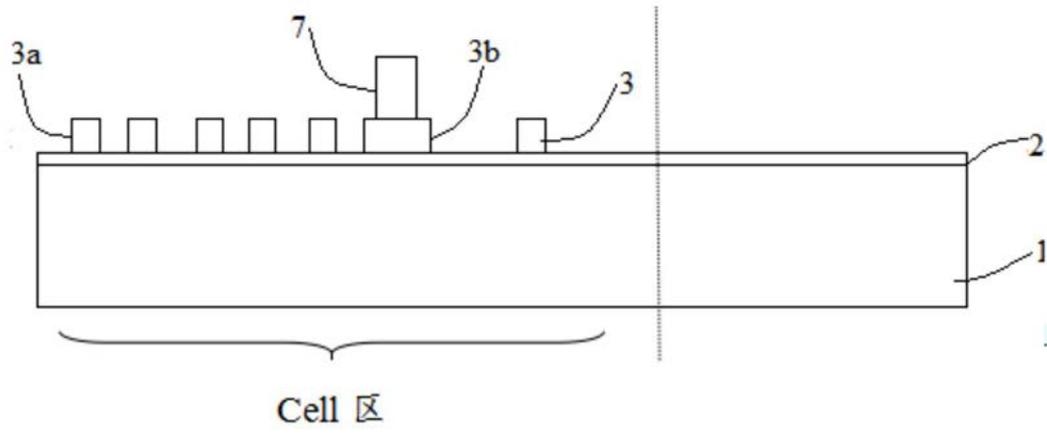


图10

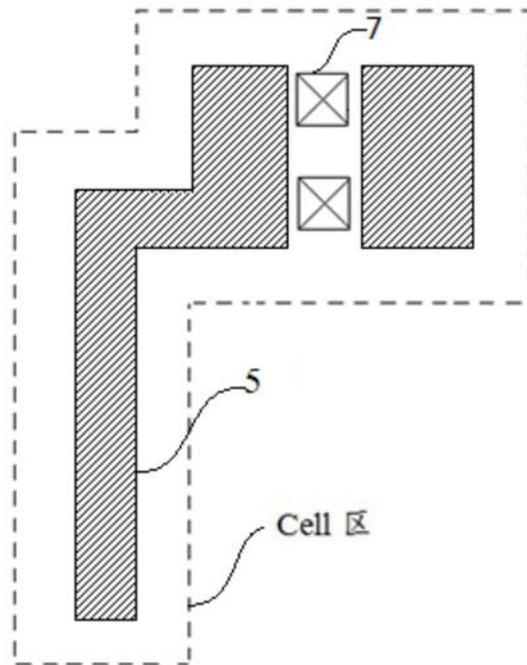


图11