

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4442181号
(P4442181)

(45) 発行日 平成22年3月31日(2010.3.31)

(24) 登録日 平成22年1月22日(2010.1.22)

| | | | | |
|----------------|-----------|--------------|--|---|
| (51) Int. Cl. | | F I | | |
| HO 1 L 21/822 | (2006.01) | HO 1 L 27/04 | | L |
| HO 1 L 27/04 | (2006.01) | HO 1 L 21/88 | | T |
| HO 1 L 21/3205 | (2006.01) | HO 1 L 27/04 | | E |
| HO 1 L 23/52 | (2006.01) | HO 1 L 25/00 | | B |
| HO 1 L 25/00 | (2006.01) | | | |

請求項の数 19 (全 21 頁)

| | | | |
|-----------|-------------------------------|-----------|----------------------|
| (21) 出願番号 | 特願2003-347797 (P2003-347797) | (73) 特許権者 | 000001443 |
| (22) 出願日 | 平成15年10月7日(2003.10.7) | | カシオ計算機株式会社 |
| (65) 公開番号 | 特開2005-116714 (P2005-116714A) | | 東京都渋谷区本町1丁目6番2号 |
| (43) 公開日 | 平成17年4月28日(2005.4.28) | (72) 発明者 | 脇坂 伸治 |
| 審査請求日 | 平成18年10月5日(2006.10.5) | | 東京都青梅市今井3丁目10番地6 |
| | | | カシオ計算機株式会 社青梅事業所内 |
| | | 審査官 | 大嶋 洋一 |

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ベース板と、

前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電気的に接続されて設けられた再配線を有する半導体構成体と、

前記半導体構成体の周囲における前記ベース板上に設けられた絶縁層と、

前記半導体構成体および前記絶縁層上に設けられた少なくとも1層の上層絶縁膜と、

前記上層絶縁膜の何れかの層上に前記半導体構成体の再配線の接続パッド部に電気的に接続されて設けられ、外部接続用の接続パッド部を備える少なくとも1層の上層再配線と

10

、
2つの端部を有し、前記再配線と前記上層再配線の何れかの層の一方と同一の平面上に設けられ、一端部が前記接続パッドに電気的に接続された薄膜回路素子と、

前記再配線と前記上層再配線の何れかの層の他方と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電気的に接続された接続配線と、

を備えていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の発明において、前記薄膜回路素子は前記再配線と同一の平面上に設けられ、前記接続配線は前記上層再配線と同一の平面上に設けられていることを特徴とする半導体装置。

20

【請求項 3】

請求項 1 に記載の発明において、前記薄膜回路素子は前記上層再配線と同一の平面上に設けられ、前記接続配線は前記再配線と同一の平面上に設けられていることを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の発明において、前記薄膜回路素子は、渦巻き状の形状を備える誘導素子であることを特徴とする半導体装置。

【請求項 5】

請求項 1 に記載の発明において、前記上層絶縁膜上に、前記上層再配線の前記外部接続用の接続パッド部を除く部分を覆う最上層絶縁膜を有することを特徴とする半導体装置。

10

【請求項 6】

請求項 5 に記載の発明において、前記外部接続用の接続パッド部上に半田ボールが設けられていることを特徴とする半導体装置。

【請求項 7】

ベース板と、

前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電気的に接続されて設けられた再配線を有する半導体構成体と、

前記半導体構成体の周囲における前記ベース板上に設けられた絶縁層と、

前記半導体構成体および前記絶縁層上に設けられた複数層の上層絶縁膜と、

20

前記各上層絶縁膜上に層間で互いに接続され、且つ、前記半導体構成体の再配線の接続パッド部に接続されて設けられ、外部接続用の接続パッド部を備える複数層の上層再配線と、

2つの端部を有し、前記複数層の上層再配線のうちの1層と同一の平面上に設けられ、一端部が前記接続パッドに電気的に接続された薄膜回路素子と、

前記複数層の上層再配線のうちの他の1層と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電気的に接続された接続配線と、

を備えていることを特徴とする半導体装置。

【請求項 8】

請求項 7 に記載の発明において、前記接続配線は、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より上層の絶縁膜上に設けられていることを特徴とする半導体装置。

30

【請求項 9】

請求項 7 に記載の発明において、前記接続配線は、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より下層の絶縁膜上に設けられていることを特徴とする半導体装置。

【請求項 10】

請求項 7 に記載の発明において、前記薄膜回路素子は、渦巻き状の形状を備える誘導素子であることを特徴とする半導体装置。

【請求項 11】

請求項 7 に記載の発明において、前記上層絶縁膜上に、前記上層再配線の前記外部接続用の接続パッド部を除く部分を覆う最上層絶縁膜を有することを特徴とする半導体装置。

40

【請求項 12】

請求項 5 または 11 に記載の発明において、前記上層再配線の前記外部接続用の接続パッド部上に半田ボールが設けられていることを特徴とする半導体装置。

【請求項 13】

請求項 1 または 7 に記載の発明において、前記半導体構成体は、前記再配線に接続された柱状電極と、該柱状電極の上端面を除き、少なくとも前記半導体基板の上面を覆う封止膜と、を有するものであることを特徴とする半導体装置。

【請求項 14】

50

ベース板と、前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電氣的に接続されて設けられた再配線を有する半導体構成体と、前記半導体構成体の周囲における前記ベース板上に設けられた少なくとも1層の絶縁層と、前記半導体構成体および前記絶縁層上に設けられた上層絶縁膜と、前記上層絶縁膜の何れかの層上に前記半導体構成体の再配線の接続パッド部に電氣的に接続されて設けられ、外部接続用の接続パッド部を備える少なくとも1層の上層再配線と、2つの端部を有し、前記再配線と前記上層再配線の何れかの層とのうちの一方と同一の平面上に設けられ、一端部が前記接続パッドに電氣的に接続された薄膜回路素子と、前記再配線と前記上層再配線の何れかの層の他方と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電氣的に接続された接続配線とを備えた半導体装置の製造方法において、

10

前記再配線と前記上層再配線の何れかの層の一方と前記薄膜回路素子とを同一の材料によって同時に形成し、

前記再配線と前記上層再配線の何れかの層の他方と前記接続配線とを同一の材料によって同時に形成することを特徴とする半導体装置の製造方法。

【請求項15】

請求項14に記載の発明において、前記再配線と前記薄膜回路素子とを同一の平面上に形成し、前記上層再配線と前記接続配線とを同一の平面上に形成することを特徴とする半導体装置の製造方法。

【請求項16】

20

請求項14に記載の発明において、前記上層再配線と前記薄膜回路素子とを同一の平面上に形成し、前記再配線と前記接続配線とを同一の平面上に形成することを特徴とする半導体装置の製造方法。

【請求項17】

ベース板と、前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電氣的に接続されて設けられた再配線を有する半導体構成体と、前記半導体構成体の周囲における前記ベース板上に設けられた絶縁層と、前記半導体構成体および前記絶縁層上に設けられた複数層の上層絶縁膜と、前記各上層絶縁膜上に層間で互いに接続され、且つ、前記半導体構成体の再配線の接続パッド部に接続されて設けられ、外部接続用の接続パッド部を備える複数層の上層再配線と、2つの端部を有し、前記複数層の上層再配線のうちの1層と同一の平面上に設けられ、一端部が前記接続パッドに電氣的に接続された薄膜回路素子と、前記複数層の上層再配線のうちの他の1層と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電氣的に接続された接続配線とを備えた半導体装置の製造方法において、

30

前記複数層の上層再配線のうちの1層と前記薄膜回路素子とを同一の材料によって同時に形成し、

前記複数層の上層再配線のうちの他の1層と前記接続配線とを同一の材料によって同時に形成することを特徴とする半導体装置の製造方法。

【請求項18】

請求項17に記載の発明において、前記接続配線を、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より上層の絶縁膜上に形成することを特徴とする半導体装置の製造方法。

40

【請求項19】

請求項17に記載の発明において、前記接続配線を、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より下層の絶縁膜上に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は半導体装置およびその製造方法に関する。

50

【背景技術】

【0002】

従来の半導体装置には、集積回路が形成されて接続パッドを有する半導体基板が配線基板に埋め込まれ、接続パッドに接続される外部接続用の端子が配線基板上に形成されるようにしたものがある。また、このような半導体装置において、半導体基板上に設けられた絶縁膜上に2つの端子部を有する薄膜回路素子が設けられ、薄膜回路素子の両端子部が絶縁膜上に設けられた接続配線を介して接続パッドに接続されるように構成されたものがある。そして、薄膜回路素子として薄膜コイル素子（誘導素子）を設けるようにしたものがある。（例えば、特許文献1参照）

【0003】

【特許文献1】特開平9-181264号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来の半導体装置では、半導体基板上に薄膜回路素子として薄膜コイル素子を設けるようにした場合、薄膜コイル素子は渦巻き状の形状を有するため、2つの端子部のうちの一方の内端部は渦巻き状の形状の中央部に形成され、該内端部を接続パッドに接続するためにはそれ専用の接続配線を絶縁膜下に形成し、この接続配線に薄膜コイル素子の内端部を接続させるためのそれ専用のコンタクトホールを絶縁膜に形成しなければならず、製造工程数が増加するという問題がある。

【0005】

そこで、この発明は、製造工程数を増加することなく、薄膜回路素子を形成することができる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

請求項1に記載の発明は、ベース板と、前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電氣的に接続されて設けられた再配線を有する半導体構成体と、前記半導体構成体の周囲における前記ベース板上に設けられた絶縁層と、前記半導体構成体および前記絶縁層上に設けられた少なくとも1層の上層絶縁膜と、前記上層絶縁膜の何れかの層上に前記半導体構成体の再配線の接続パッド部に電氣的に接続されて設けられ、外部接続用の接続パッド部を備える少なくとも1層の上層再配線と、2つの端部を有し、前記再配線と前記上層再配線の何れかの層の一方と同一の平面上に設けられ、一端部が前記接続パッドに電氣的に接続された薄膜回路素子と、前記再配線と前記上層再配線の何れかの層の他方と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電氣的に接続された接続配線と、を備えていることを特徴とするものである。

請求項2に記載の発明は、請求項1に記載の発明において、前記薄膜回路素子は前記再配線と同一の平面上に設けられ、前記接続配線は前記上層再配線と同一の平面上に設けられていることを特徴とするものである。

請求項3に記載の発明は、請求項1に記載の発明において、前記薄膜回路素子は前記上層再配線と同一の平面上に設けられ、前記接続配線は前記再配線と同一の平面上に設けられていることを特徴とするものである。

請求項4に記載の発明は、請求項1に記載の発明において、前記薄膜回路素子は、渦巻き状の形状を備える誘導素子であることを特徴とするものである。

請求項5に記載の発明は、請求項1に記載の発明において、前記上層絶縁膜上に、前記上層再配線の前記外部接続用の接続パッド部を除く部分を覆う最上層絶縁膜を有することを特徴とするものである。

請求項6に記載の発明は、請求項5に記載の発明において、前記上層再配線の接続パッド部上に半田ボールが設けられていることを特徴とするものである。

請求項7に記載の発明は、ベース板と、前記ベース板上に設けられ、且つ、複数の接続

10

20

30

40

50

パッドを有する半導体基板および該半導体基板上に前記接続パッドに電氣的に接続されて設けられた再配線を有する半導体構成体と、前記半導体構成体の周囲における前記ベース板上に設けられた絶縁層と、前記半導体構成体および前記絶縁層上に設けられた複数層の上層絶縁膜と、前記各上層絶縁膜上に層間で互いに接続され、且つ、前記半導体構成体の再配線の接続パッド部に接続されて設けられ、外部接続用の接続パッド部を備える複数層の上層再配線と、2つの端部を有し、前記複数層の上層再配線のうちの1層と同一の平面上に設けられ、一端部が前記接続パッドに電氣的に接続された薄膜回路素子と、前記複数層の上層再配線のうちの他の1層と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電氣的に接続された接続配線とを備えていることを特徴とする半導体装置。

10

請求項8に記載の発明は、請求項7に記載の発明において、前記接続配線は、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より上層の絶縁膜上に設けられていることを特徴とするものである。

請求項9に記載の発明は、請求項7に記載の発明において、前記接続配線は、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より下層の絶縁膜上に設けられていることを特徴とするものである。

請求項10に記載の発明は、請求項7に記載の発明において、前記薄膜回路素子は、渦巻き状の形状を備える誘導素子であることを特徴とするものである。

請求項11に記載の発明は、請求項7に記載の発明において、前記上層絶縁膜上に、前記上層再配線の前記外部接続用の接続パッド部を除く部分を覆う最上層絶縁膜を有することを特徴とするものである。

20

請求項12に記載の発明は、請求項5または11に記載の発明において、前記上層再配線の前記外部接続用の接続パッド部上に半田ボールが設けられていることを特徴とするものである。

請求項13に記載の発明は、請求項1または7に記載の発明において、前記半導体構成体は、前記再配線に接続された柱状電極と、前記柱状電極の上端面を除き、少なくとも前記半導体基板の上面を覆う封止膜と、を有するものであることを特徴とするものである。

請求項14に記載の発明は、ベース板と、前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電氣的に接続されて設けられた再配線を有する半導体構成体と、前記半導体構成体の周囲における前記ベース板上に設けられた少なくとも1層の絶縁層と、前記半導体構成体および前記絶縁層上に設けられた上層絶縁膜と、前記上層絶縁膜の何れかの層上に前記半導体構成体の再配線の接続パッド部に電氣的に接続されて設けられ、外部接続用の接続パッド部を備える少なくとも1層の上層再配線と、2つの端部を有し、前記再配線と前記上層再配線の何れかの層とのうちの一方と同一の平面上に設けられ、一端部が前記接続パッドに電氣的に接続された薄膜回路素子と、前記再配線と前記上層再配線の何れかの層の他方と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電氣的に接続された接続配線とを備えた半導体装置の製造方法において、前記再配線と前記上層再配線の何れかの層の一方と前記薄膜回路素子とを同一の材料によって同時に形成し、前記再配線と前記上層再配線の何れかの層の他方と前記接続配線とを同一の材料によって同時に形成することを特徴とするものである。

30

40

請求項15に記載の発明は、請求項14に記載の発明において、前記再配線と前記薄膜回路素子とを同一の平面上に形成し、前記上層再配線と前記接続配線とを同一の平面上に形成することを特徴とするものである。

請求項16に記載の発明は、請求項14に記載の発明において、前記上層再配線と前記薄膜回路素子とを同一の平面上に形成し、前記再配線と前記接続配線とを同一の平面上に形成することを特徴とするものである。

請求項17に記載の発明は、ベース板と、前記ベース板上に設けられ、且つ、複数の接続パッドを有する半導体基板および該半導体基板上に前記接続パッドに電氣的に接続されて設けられた再配線を有する半導体構成体と、前記半導体構成体の周囲における前記ベー

50

ス板上に設けられた絶縁層と、前記半導体構成体および前記絶縁層上に設けられた複数層の上層絶縁膜と、前記各上層絶縁膜上に層間で互いに接続され、且つ、前記半導体構成体の再配線の接続パッド部に接続されて設けられ、外部接続用の接続パッド部を備える複数層の上層再配線と、2つの端部を有し、前記複数層の上層再配線のうちの1層と同一の平面上に設けられ、一端部が前記接続パッドに電氣的に接続された薄膜回路素子と、前記複数層の上層再配線のうちの他の1層と同一の平面上に設けられ、前記薄膜回路素子の他端部および前記接続パッドに電氣的に接続された接続配線とを備えた半導体装置の製造方法において、前記複数層の上層再配線のうちの1層と前記薄膜回路素子とを同一の材料によって同時に形成し、前記複数層の上層再配線のうちの他の1層と前記接続配線とを同一の材料によって同時に形成することを特徴とするものである。

10

請求項18に記載の発明は、請求項17に記載の発明において、前記接続配線を、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より上層の絶縁膜上に形成することを特徴とするものである。

請求項19に記載の発明は、請求項17に記載の発明において、前記接続配線を、前記複数層の上層絶縁膜における前記薄膜回路素子が設けられた層より下層の絶縁膜上に形成することを特徴とするものである。

【発明の効果】

【0007】

この発明によれば、接続パッドと接続パッドに接続される再配線を有する半導体基板が埋め込まれ、再配線に接続されて形成される上層再配線を介して外部接続用の端子が形成される半導体装置およびその製造方法において、例えば、再配線と上層再配線の一方と同一の平面上に薄膜回路素子を設け、再配線と上層再配線の他方と同一の平面上に接続配線を薄膜回路素子の一端部に接続されて設けているので、再配線と上層再配線の一方と薄膜回路素子とを同一の材料によって同時に形成し、再配線と上層再配線の他方と接続配線とを同一の材料によって同時に形成することができ、したがって製造工程数を増加することなく、薄膜回路素子を形成することができる。

20

【発明を実施するための最良の形態】

【0008】

(第1実施形態)

図1はこの発明の第1実施形態としての半導体装置の一部の平面図を示し、図2は図1のII-II線に沿う断面図を示し、図3は図1のIII-III線に沿う断面図を示す。この半導体装置は平面形状のベース板1を備えている。ベース板1は、ガラス繊維、アラミド繊維、液晶繊維等にエポキシ系樹脂、ポリイミド系樹脂、BT(ビスマレイミド・トリアジン)樹脂、PPE(ポリフェニレンエーテル)等を含浸させたもの、シリコン、ガラス、セラミックス、樹脂単体等の絶縁材料、あるいは、銅やアルミニウム等の金属材料からなっている。

30

【0009】

ベース板1の上面上には、ベース板1のサイズよりもある程度小さいサイズの平面形状の半導体構成体2の下面がダイボンド材からなる接着層3を介して接着されている。この場合、半導体構成体2は、後述する再配線、柱状電極、封止膜を有しており、一般的にはCSP(chip size package)と呼ばれるものであり、特に、後述の如く、シリコンウエハ上に再配線、柱状電極、封止膜を形成した後、ダイシングにより個々の半導体構成体2を得る方法を採用しているため、特に、ウエハレベルCSP(W-CSP)とも言われている。ただし、この場合、半導体構成体2は、後述する渦巻き状の薄膜コイル素子を形成する構成の一部を有する。以下に、半導体構成体2の構成について説明する。

40

【0010】

半導体構成体2は平面形状のシリコン基板(半導体基板)4を備えている。シリコン基板4は接着層3を介してベース板1に接着されている。シリコン基板4の上面上には所定の機能の集積回路(図示せず)が設けられ、上面周辺部にはアルミニウム系金属等からなる複数の接続パッド5、6が集積回路に接続されて設けられている。この場合、符号6で

50

示す接続パッドは、後述する渦巻き状の薄膜コイル素子の両端部に接続されるものであり、シリコン基板 4 上に少なくとも 2 つ設けられている。

【 0 0 1 1 】

接続パッド 5、6 の中央部を除くシリコン基板 4 の上面には酸化シリコン等からなる絶縁膜 7 が設けられ、接続パッド 5、6 の中央部は絶縁膜 7 に設けられた開口部 8 を介して露出されている。絶縁膜 7 の上面にはエポキシ系樹脂やポリイミド系樹脂等からなる保護膜（絶縁膜）9 が設けられている。この場合、絶縁膜 7 の開口部 8 に対応する部分における保護膜 9 には開口部 10 が設けられている。

【 0 0 1 2 】

両開口部 8、10 を介して露出された接続パッド 5、6 の上面から保護膜 9 の上面の所定の箇所にかけて、銅等からなる下地金属層 11、12、13 が設けられている。下地金属層 11、12、13 の上面全体には銅からなる再配線 14 および第 1、第 2 の接続配線 15、16 が設けられている。

【 0 0 1 3 】

保護膜 9 の上面には銅等からなる薄膜コイル素子用下地金属層 17 が渦巻き状に設けられている。薄膜コイル素子用下地金属層 17 の上面全体には銅からなる薄膜コイル素子（薄膜回路素子）18 が設けられている。薄膜コイル素子 18 の内端部は正形状の接続パッド部 19 となっている。薄膜コイル素子 18 の外端部を含む下地金属層 17 は、第 1 の接続配線 15 を含む下地金属層 12 を介して一方の薄膜コイル素子用の接続パッド 6 に接続されている。

【 0 0 1 4 】

再配線 14 の接続パッド部上面には銅からなる柱状電極 20 が設けられている。薄膜コイル素子 18 の接続パッド部 19 上面には柱状電極 21 が設けられている。第 2 の接続配線 16 の接続パッド部上面には銅からなる柱状電極 22 が設けられている。再配線 14、第 1、第 2 の接続配線 15、16 および薄膜コイル素子 18 を含む保護膜 9 の上面にはエポキシ系樹脂やポリイミド系樹脂等からなる封止膜（絶縁膜）23 がその上面が柱状電極 20、21、22 の上面と面一となるように設けられている。

【 0 0 1 5 】

このように、W - C S P と呼ばれる半導体構成体 2 は、シリコン基板 4、接続パッド 5、絶縁膜 7 を含み、さらに、保護膜 9、再配線 14、第 1、第 2 の接続配線 15、16、薄膜コイル素子 18、柱状電極 20、21、22、封止膜 23 を含んで構成されている。

【 0 0 1 6 】

半導体構成体 2 の周囲におけるベース板 1 の上面には方形枠状の絶縁層 24 がその上面が半導体構成体 2 の上面とほぼ面一となるように設けられている。絶縁層 24 は、例えば、熱可塑性樹脂中にガラス繊維やシリカフィラー等の補強材を分散させたものである。

【 0 0 1 7 】

半導体構成体 2 および絶縁層 24 の上面には上層絶縁膜 25 がその上面を平坦とされて設けられている。上層絶縁膜 25 は、ビルドアップ基板に用いられる、通常、ビルドアップ材と言われるもので、例えば、エポキシ系樹脂や BT 樹脂等の熱硬化性樹脂中に繊維やフィラー等の補強材を含有させたものである。この場合、繊維は、ガラス繊維やアラミド繊維等である。フィラーは、シリカフィラーやセラミックス系フィラー等である。

【 0 0 1 8 】

上層絶縁膜 25 の上面には銅等からなる上層下地金属層 26、27 が設けられている。上層下地金属層 26、27 の上面全体には銅からなる上層再配線 28 および第 3 の接続配線 29 が設けられている。上層再配線 28 を含む上層下地金属層 26 は、柱状電極 20 の上面中央部に対応する部分における上層絶縁膜 25 に設けられた開口部 30 を介して柱状電極 20 の上面に接続されている。

【 0 0 1 9 】

第 3 の接続配線 29 の一端部を含む上層下地金属層 27 は、柱状電極 21 の上面中央部に対応する部分における上層絶縁膜 25 に設けられた開口部 31 を介して柱状電極 21 の

10

20

30

40

50

上面に接続されている。第3の接続配線29の他端部を含む上層下地金属層27は、柱状電極22の上面中央部に対応する部分における上層絶縁膜25に設けられた開口部32を介して柱状電極22の上面に接続されている。したがって、薄膜コイル素子18の接続パッド部19は、柱状電極21、第3の接続配線29を含む上層下地金属層27、柱状電極22、第2の接続配線16を含む下地金属層13を介して他方の薄膜コイル素子用の接続パッド6に接続されている。

【0020】

上層再配線28を含む上層絶縁膜25の上面にはソルダーレジスト等からなるオーバーコート膜(最上層絶縁膜)33が設けられている。上層再配線28の接続パッド部に対応する部分におけるオーバーコート膜33には開口部34が設けられている。開口部34内およびその上方には半田ボール35が上層再配線28の接続パッド部に接続されて設けられている。複数の半田ボール35は、図1では、オーバーコート膜33の上面外周部のみに図示しているが、実際には、オーバーコート膜33の上面にマトリクス状に配置されている。

10

【0021】

ところで、ベース板1のサイズを半導体構成体2のサイズよりもある程度大きくしているのは、シリコン基板4上の接続パッド5の数の増加に応じて、半田ボール35の配置領域を半導体構成体2のサイズよりもある程度大きくし、これにより、上層再配線28の接続パッド部(オーバーコート膜33の開口部34内の部分)のサイズおよびピッチを柱状電極20のサイズおよびピッチよりも大きくするためである。

20

【0022】

このため、マトリクス状に配置された上層再配線28の接続パッド部は、半導体構成体2に対応する領域のみでなく、半導体構成体2の側面の外側に設けられた絶縁層24に対応する領域上にも配置されている。つまり、マトリクス状に配置された半田ボール35のうち、少なくとも最外周の半田ボール35は半導体構成体2よりも外側に位置する周囲に配置されている。

【0023】

次に、この半導体装置の製造方法の一例について説明する。ただし、この場合、図示の都合上、図2に示す半導体装置の製造方法について説明し、図3に示す第2の接続配線16および柱状電極22等についてはその説明を省略する。まず、半導体構成体2の製造方法について説明する。

30

【0024】

図4に示すように、ウエハ状態のシリコン基板4上にアルミニウム系金属等からなる接続パッド5、6、酸化シリコン等からなる絶縁膜7およびエポキシ系樹脂やポリイミド系樹脂等からなる保護膜9が設けられ、接続パッド5、6の中央部が絶縁膜7および保護膜9に形成された開口部8、10を介して露出されたものを用意する。上記において、ウエハ状態のシリコン基板4には、各半導体構成体が形成される領域に所定の機能の集積回路が形成され、接続パッド5、6は、それぞれ、対応する領域に形成された集積回路に電氣的に接続されている。

【0025】

40

次に、図5に示すように、両開口部8、10を介して露出された接続パッド5、6の上面を含む保護膜9の上面全体に下地金属層41を形成する。この場合、下地金属層41は、無電解メッキにより形成された銅層のみであってもよく、またスパッタにより形成された銅層のみであってもよく、さらにスパッタにより形成されたチタン等の薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する上層下地金属層55の場合も同様である。

【0026】

次に、下地金属層41の上面にメッキレジスト膜42をパターン形成する。この場合、再配線14形成領域、第1の接続配線15形成領域および薄膜コイル素子18形成領域に対応する部分におけるメッキレジスト膜42には開口部43、44、45が形成されてい

50

る。次に、下地金属層 4 1 をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜 4 2 の開口部 4 3、4 4、4 5 内の下地金属層 4 1 の上面に再配線 1 4、第 1 の接続配線 1 5 および薄膜コイル素子 1 8 を形成する。次に、メッキレジスト膜 4 2 を剥離する。

【 0 0 2 7 】

次に、図 6 に示すように、再配線 1 4、第 1 の接続配線 1 5 および薄膜コイル素子 1 8 を含む下地金属層 4 1 の上面にメッキレジスト膜 4 6 をパターン形成する。この場合、柱状電極 2 0 形成領域および柱状電極 2 1 形成領域に対応する部分におけるメッキレジスト膜 4 6 には開口部 4 7、4 8 が形成されている。次に、下地金属層 4 1 をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜 4 6 の開口部 4 7、4 8 内の再配線 1 4 の接続パッド部上面および薄膜コイル素子 1 8 の接続パッド部 1 9 上面に柱状電極 2 0、2 1 を形成する。

10

【 0 0 2 8 】

次に、メッキレジスト膜 4 6 を剥離し、次いで、柱状電極 2 0、2 1、再配線 1 4、第 1 の接続配線 1 5 および薄膜コイル素子 1 8 をマスクとして下地金属層 4 1 の不要な部分をエッチングして除去すると、図 7 に示すように、再配線 1 4 下、第 1 の接続配線 1 5 下および薄膜コイル素子 1 8 下にのみ下地金属層 1 1、1 2、1 7 が残存される。

【 0 0 2 9 】

次に、図 8 に示すように、スクリーン印刷法、スピンコーティング法、ダイコート法等により、柱状電極 2 0、2 1、再配線 1 4、第 1 の接続配線 1 5 および薄膜コイル素子 1 8 を含む保護膜 9 の上面全体にエポキシ系樹脂やポリイミド系樹脂等からなる封止膜 2 3 をその厚さが柱状電極 2 0、2 1 の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極 2 0、2 1 の上面は封止膜 2 3 によって覆われている。

20

【 0 0 3 0 】

次に、封止膜 2 3 および柱状電極 2 0、2 1 の上面側を適宜に研磨し、図 9 に示すように、柱状電極 2 0、2 1 の上面を露出させ、且つ、この露出された柱状電極 2 0、2 1 の上面を含む封止膜 2 3 の上面を平坦化する。ここで、柱状電極 2 0 およびコイル素子用柱状電極 1 7 の上面側を適宜に研磨するのは、電解メッキにより形成される柱状電極 2 0、2 1 の高さにはばらつきがあるため、このばらつきを解消して、柱状電極 2 0、2 1 の高さを均一にするためである。

30

【 0 0 3 1 】

次に、図 1 0 に示すように、シリコン基板 4 の下面全体に接着層 3 を接着する。接着層 3 は、エポキシ系樹脂、ポリイミド系樹脂等のダイボンダ材からなるものであり、加熱加圧により、半硬化した状態でシリコン基板 4 に固着する。次に、シリコン基板 4 に固着された接着層 3 をダイシングテープ（図示せず）に貼り付け、図 1 1 に示すダイシング工程を経た後に、ダイシングテープから剥がすと、図 2 に示すように、シリコン基板 4 の下面に接着層 3 を有する半導体構成体 2 が複数個得られる。

【 0 0 3 2 】

このようにして得られた半導体構成体 2 では、シリコン基板 4 の下面に接着層 3 を有するため、ダイシング工程後に各半導体構成体 2 のシリコン基板 4 の下面にそれぞれ接着層を設けるといった極めて面倒な作業が不要となる。なお、ダイシング工程後にダイシングテープから剥がす作業は、ダイシング工程後に各半導体構成体 2 のシリコン基板 4 の下面にそれぞれ接着層を設ける作業に比べれば、極めて簡単である。

40

【 0 0 3 3 】

次に、このようにして得られた半導体構成体 2 を用いて、図 2 に示す半導体装置を製造する場合の一例について説明する。まず、図 1 2 に示すように、図 2 に示すベース板 1 を複数枚採取することができる大きさで、限定する意味ではないが、平面形状が方形状のベース板 1 を用意する。次に、ベース板 1 の上面の所定の複数箇所にそれぞれ半導体構成体 2 のシリコン基板 4 の下面に接着された接着層 3 を接着する。ここでの接着は、加熱加圧により、接着層 3 を本硬化させる。

50

【0034】

次に、半導体構成体2間および最外周に配置された半導体構成体2の外側におけるベース板1の上面に、例えばスクリーン印刷法やスピンコーティング法等により、第1の絶縁材料24aを形成し、さらにその上面にシート状の第2の絶縁材料25aを配置する。第1の絶縁材料24aは、例えば、熱硬化性樹脂や、熱硬化性樹脂中にガラス繊維やシリカフィラー等の補強材を分散させたものからなる。

【0035】

シート状の第2の絶縁材料25aは、限定する意味ではないが、ビルドアップ材が好ましく、このビルドアップ材としては、エポキシ系樹脂やBT樹脂等の熱硬化性樹脂中にシリカフィラーを混入させ、熱硬化性樹脂を半硬化状態にしたものがある。しかしながら、第2の絶縁材料25aとして、ガラス繊維にエポキシ系樹脂等の熱硬化性樹脂を含浸させ、熱硬化性樹脂を半硬化状態にしてシート状となしたプリプレグ材、またはフィラーが混入されない、熱硬化性樹脂のみからなる材料を用いるようにしてもよい。

10

【0036】

次に、図13に示す一对の加熱加圧板53、54を用いて、第1および第2の絶縁材料24a、25aを加熱加圧する。かくして、図13に示すように、半導体構成体2間および最外周に配置された半導体構成体2の外側におけるベース板1の上面に絶縁層24が形成され、半導体構成体2および絶縁層24の上面に上層絶縁膜25が形成される。

【0037】

この場合、上層絶縁膜25の上面は、上側の加熱加圧板53の下面によって押さえ付けられるため、平坦面となる。したがって、上層絶縁膜25の上面を平坦化するための研磨工程は不要である。このため、ベース板1のサイズが例えば500×500mm程度と比較的大きくても、その上に配置された複数の半導体構成体2に対して上層絶縁膜25の上面の平坦化を一括して簡単に行なうことができる。

20

【0038】

次に、図14に示すように、レーザービームを照射するレーザー加工あるいはフォトリソグラフィ法により、柱状電極20、21の上面中央部に対応する部分における上層絶縁膜25に開口部30、31を形成する。次に、必要に応じて、開口部30、31内等に発生したエポキシスミア等をデスミア処理により除去する。

【0039】

次に、図15に示すように、開口部30、31を介して露出された柱状電極20、21の上面を含む上層絶縁膜25の上面全体に上層下地金属層55を形成する。次に、上層下地金属層55の上面にメッキレジスト膜56をパターン形成する。この場合、上層再配線28形成領域および第3の接続配線29形成領域に対応する部分におけるメッキレジスト膜56には開口部57、58が形成されている。

30

【0040】

次に、上層下地金属層55をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜56の開口部57、58内の上層下地金属層55の上面に上層再配線28および第3の接続配線29を形成する。次に、メッキレジスト膜56を剥離し、次いで、上層再配線28および第3の接続配線29をマスクとして上層下地金属層55の不要な部分をエッチングして除去すると、図16に示すように、上層再配線28および第3の接続配線29下のみ上層下地金属層26、27が残存される。

40

【0041】

次に、図17に示すように、スクリーン印刷法やスピンコーティング法等により、上層再配線28および第3の接続配線29を含む上層絶縁膜25の上面にソルダーレジスト等からなるオーバーコート膜33を形成する。この場合、上層再配線28の接続パッド部に対応する部分におけるオーバーコート膜33には開口部34が形成されている。

【0042】

次に、開口部34内およびその上方に半田ボール35を上層再配線28の接続パッド部に接続させて形成する。次に、互いに隣接する半導体構成体2間において、オーバーコー

50

ト膜 33、上層絶縁膜 25、絶縁層 24 およびベース板 1 を切断すると、図 2 に示す半導体装置が複数個得られる。

【0043】

以上のように、上記製造方法では、図 5 に示す工程において、下地金属層 41 の上面に再配線 14、第 1 の接続配線 15 および薄膜コイル素子 18 を同一の材料によって同時に形成し、図 6 に示す工程において、再配線 14 の接続パッド部上面および薄膜コイル素子 18 の接続パッド 19 上面に柱状電極 20、21 を同一の材料によって同時に形成し、図 15 に示す工程において、上層下地金属層 55 の上面に上層再配線 28 および第 3 の接続配線 29 を同一の材料によって同時に形成しているため、製造工程数を増加することなく、渦巻き状の薄膜コイル素子 18 を形成することができる。

10

【0044】

また、上記製造方法では、ベース板 1 上に複数の半導体構成体 2 を接着層 3 を介して配置し、複数の半導体構成体 2 に対して、特に、上層再配線 28、第 3 の接続配線 29 および半田ボール 35 の形成を一括して行い、その後に分断して複数個の半導体装置を得るので、製造工程を簡略化することができる。また、図 13 に示す工程以降では、ベース板 1 と共に複数の半導体構成体 2 を搬送することができるので、これによっても製造工程を簡略化することができる。

【0045】

(第 2 実施形態)

図 18 はこの発明の第 2 実施形態としての半導体装置の図 2 同様の断面図を示し、図 19 は同半導体装置の図 3 同様の断面図を示す。この半導体装置において、図 2 および図 3 に示す場合と大きく異なる点は、上層絶縁膜 25 の上面に薄膜コイル素子 18 を設けた点である。

20

【0046】

この場合、半導体構成体 2 の保護膜 7 の上面には第 1 の接続配線 15 および第 2 の接続配線 16 が各接続パッド 6、6 に接続されて設けられている。第 1、第 2 の接続配線 15、16 の接続パッド部上面には柱状電極 21、22 が設けられている。薄膜コイル素子 18 の外端部は、上層絶縁膜 25 の上面に設けられた第 3 の接続配線 29 および上層絶縁膜 25 に設けられた開口部 31 を介して柱状電極 21 の上面に接続されている。薄膜コイル素子 18 の内端部は、上層絶縁膜 25 に設けられた開口部 32 を介して柱状電極 22 の上面に接続されている。

30

【0047】

そして、この半導体装置では、保護膜 7 の上面に再配線 14 および第 1、第 2 の接続配線 15、16 が同一の材料によって同時に形成され、再配線 14 の接続パッド部上面および第 1、第 2 の接続配線 15、16 の接続パッド上面に柱状電極 20、21、22 が同一の材料によって同時に形成され、上層絶縁膜 25 の上面に上層再配線 28、薄膜コイル素子 18 および第 3 の接続配線 29 が同一の材料によって同時に形成されている。したがって、この場合も、製造工程数を増加することなく、渦巻き状の薄膜コイル素子 18 を形成することができる。

【0048】

(第 3 実施形態)

上記第 1 実施形態では、図 2 および図 3 に示すように、上層絶縁膜 25 上に上層再配線 28 を 1 層だけ形成した場合について説明したが、これに限らず、2 層以上としてもよく、例えば、図 20 および図 21 に示すこの発明の第 3 実施形態のように、2 層としてもよい。この場合、図 20 は図 2 同様の断面図を示し、図 21 は図 3 同様の断面図を示す。

40

【0049】

この半導体装置では、半導体構成体 2 および絶縁層 24 の上面にビルドアップ材等からなる第 1 の上層絶縁膜 61 が設けられている。第 1 の上層絶縁膜 61 の上面のほぼ中央部を除く領域には上層下地金属層 62 を含む第 1 の上層再配線 63 が第 1 の上層絶縁膜 61 に設けられた開口部 64 を介して半導体構成体 2 の柱状電極 20 の上面に接続されて設け

50

られている。

【0050】

第1の上層絶縁膜61の上面上には上層下地金属層65を含む薄膜コイル素子66が設けられている。薄膜コイル素子66の外端部は、第1の上層絶縁膜61の上面に設けられた上層下地金属層67を含む第3の接続配線68および第1の上層絶縁膜61に設けられた開口部69を介して半導体構成体2の柱状電極21の上面に接続されて設けられている。

【0051】

第1の上層再配線63、薄膜コイル素子66および第3の接続配線68を含む第1の上層絶縁膜61の上面上にはビルドアップ材等からなる第2の上層絶縁膜70が設けられている。第2の上層絶縁膜70の上面のほぼ中央部を除く領域には上層下地金属層71を含む第2の上層再配線72が第2の上層絶縁膜70に形成された開口部73を介して第1の上層再配線63の接続パッド部に接続されて設けられている。

10

【0052】

第2の上層絶縁膜70の上面上には上層下地金属層74を含む第4の接続配線75が設けられている。第4の接続配線75の一端部は、第2の上層絶縁膜70に設けられた開口部76を介して薄膜コイル素子66の内端部に接続されている。第4の接続配線75の他端部は、第2の上層絶縁膜70に設けられた開口部76を介して、第1の上層絶縁膜61の上面に設けられた上層下地金属層78を含む中継接続パッド79に接続されている。上層下地金属層78を含む中継接続パッド79は、第1の上層絶縁膜61に設けられた開口部80を介して半導体構成体2の柱状電極22の上面に接続されている。

20

【0053】

第2の上層再配線72および第4の接続配線75を含む第2の上層絶縁膜70の上面上にはソルダーレジスト等からなるオーバーコート膜81が設けられている。第2の上層再配線72の接続パッド部に対応する部分におけるオーバーコート膜81には開口部82が設けられている。開口部82内およびその上方には半田ボール83が第2の上層再配線72の接続パッド部に接続されて設けられている。

【0054】

そして、この半導体装置では、第1の上層絶縁膜61の上面上に第1の上層再配線63、薄膜コイル素子66、第3の接続配線68および中継接続パッド79が同一の材料によって同時に形成され、第2の上層絶縁膜70の上面上に第2の上層再配線72および第4の接続配線75が同一の材料によって同時に形成されている。したがって、この場合も、製造工程数を増加することなく、渦巻き状の薄膜コイル素子66を形成することができる。

30

【0055】

(第4実施形態)

図22はこの発明の第4実施形態としての半導体装置の図20同様の断面図を示し、図23は同半導体装置の図21同様の断面図を示す。この半導体装置において、図20および図21に示す場合と大きく異なる点は、第2の上層絶縁膜70の上面上に薄膜コイル素子66を設けた点である。

【0056】

この場合、薄膜コイル素子66の外端部は、第2の上層絶縁膜70の上面上に設けられた第4の接続配線75および中継接続パッド79を介して半導体構成体2の柱状電極21の上面に接続されている。薄膜コイル素子66の内端部は、第1の上層絶縁膜61の上面上に設けられた第3の接続配線68を介して半導体構成体2の柱状電極22の上面に接続されている。

40

【0057】

そして、この半導体装置では、第1の上層絶縁膜61の上面上に第1の上層再配線63、第3の接続配線68および中継接続パッド79が同一の材料によって同時に形成され、第2の上層絶縁膜70の上面上に第2の上層再配線72、薄膜コイル素子66および第4の接続配線75が同一の材料によって同時に形成されている。したがって、この場合も、製造工程数を増加することなく、渦巻き状の薄膜コイル素子66を形成することができる。

50

【 0 0 5 8 】

(その他の実施形態)

なお、上記各実施形態において、半導体構成体 2 は、外部接続用電極として、再配線 1 4 の接続パッド部上に設けられた柱状電極 2 0 を有するものとしたが、これに限定されるものではない。例えば、半導体構成体 2 は、外部接続用電極としての接続パッド部を有する再配線 1 4 のみを有するものであってもよい。また、ベース板 1 は、1 枚の部材に限らず、絶縁膜および配線が交互に積層された多層印刷回路板としてもよい。

【図面の簡単な説明】

【 0 0 5 9 】

- 【図 1】この発明の第 1 実施形態としての半導体装置の一部の平面図。 10
- 【図 2】図 1 の II - II 線に沿う断面図。
- 【図 3】図 1 の III - III 線に沿う断面図。
- 【図 4】図 2 に示す半導体装置の製造方法の一例において、当初用意したものの断面図。
- 【図 5】図 4 に続く工程の断面図。
- 【図 6】図 5 に続く工程の断面図。
- 【図 7】図 6 に続く工程の断面図。
- 【図 8】図 7 に続く工程の断面図。
- 【図 9】図 8 に続く工程の断面図。
- 【図 1 0】図 9 に続く工程の断面図。
- 【図 1 1】図 1 0 に続く工程の断面図。 20
- 【図 1 2】図 1 1 に続く工程の断面図。
- 【図 1 3】図 1 2 に続く工程の断面図。
- 【図 1 4】図 1 3 に続く工程の断面図。
- 【図 1 5】図 1 4 に続く工程の断面図。
- 【図 1 6】図 1 5 に続く工程の断面図。
- 【図 1 7】図 1 6 に続く工程の断面図。
- 【図 1 8】この発明の第 2 実施形態としての半導体装置の図 2 同様の断面図。
- 【図 1 9】第 2 実施形態としての半導体装置の図 3 同様の断面図。
- 【図 2 0】この発明の第 3 実施形態としての半導体装置の図 2 同様の断面図。
- 【図 2 1】第 3 実施形態としての半導体装置の図 3 同様の断面図。 30
- 【図 2 2】この発明の第 4 実施形態としての半導体装置の図 2 0 同様の断面図。
- 【図 2 3】第 4 実施形態としての半導体装置の図 2 1 同様の断面図。

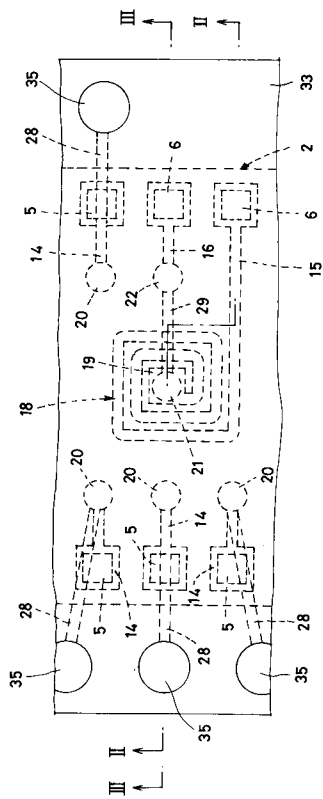
【符号の説明】

【 0 0 6 0 】

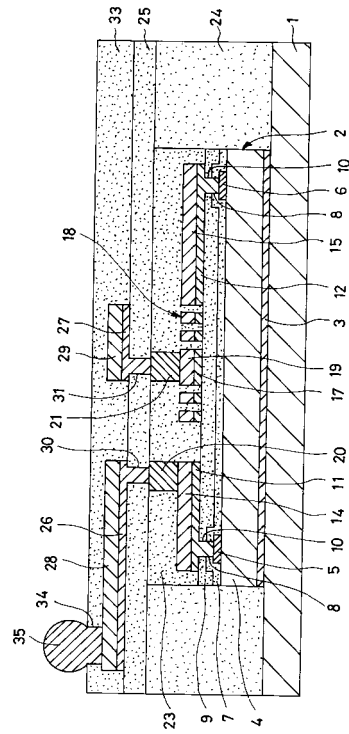
- 1 ベース板
- 2 半導体構成体
- 3 接着層
- 4 シリコン基板
- 5、6 接続パッド
- 7 絶縁膜 40
- 9 保護膜
- 1 4 再配線
- 1 5 第 1 の接続配線
- 1 6 第 2 の接続配線
- 1 8 薄膜コイル素子
- 2 0、2 1、2 2 柱状電極
- 2 3 封止膜
- 2 4 絶縁層
- 2 5 上層絶縁膜
- 2 8 上層再配線 50

- 2 9 第 3 の 接 続 配 線
- 3 3 オ ー バ ー コ ー ト 膜
- 3 5 半 田 ボ ー ル

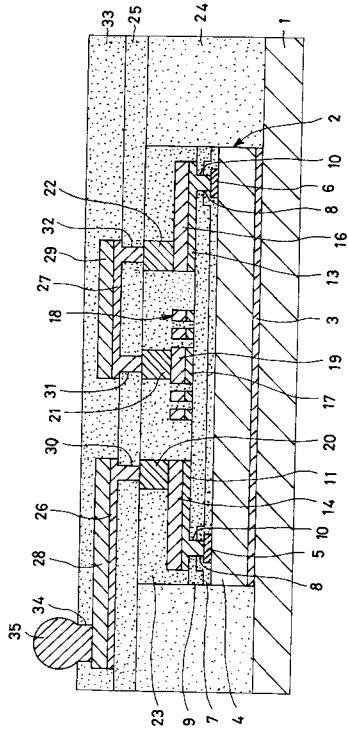
【 図 1 】



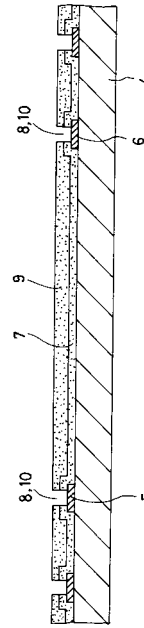
【 図 2 】



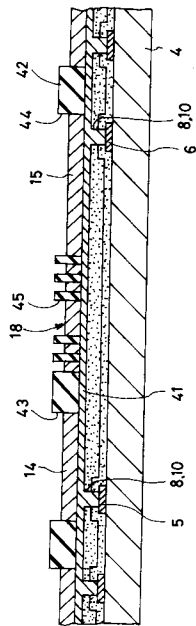
【図 3】



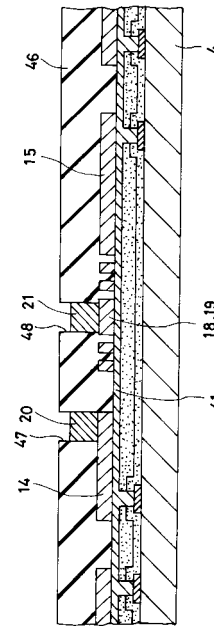
【図 4】



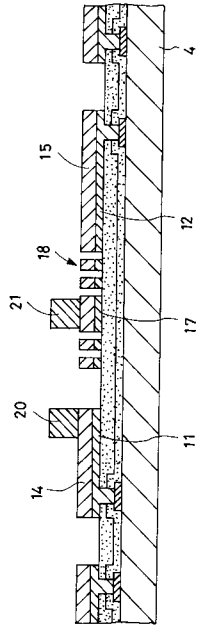
【図 5】



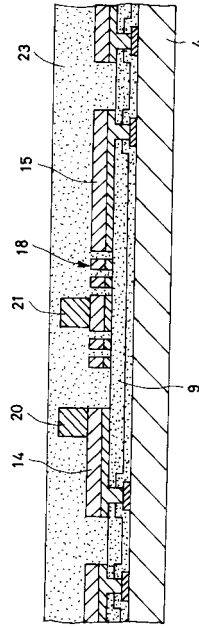
【図 6】



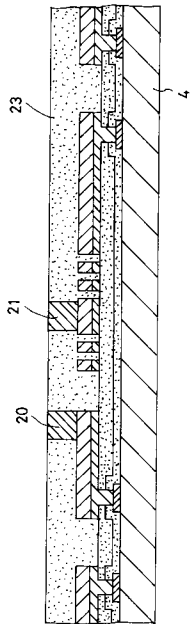
【図 7】



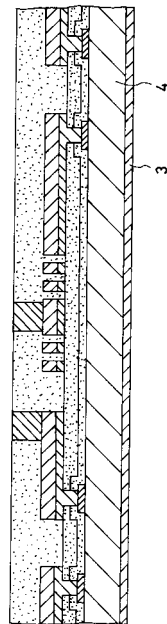
【図 8】



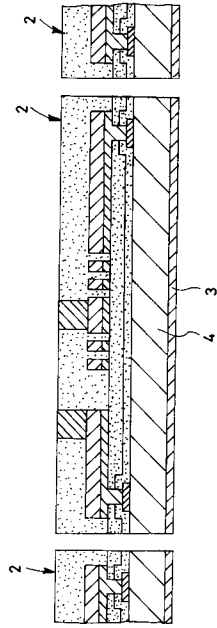
【図 9】



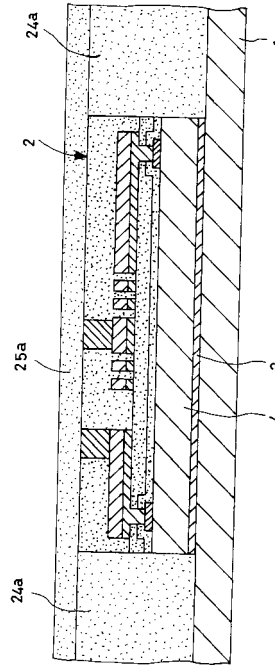
【図 10】



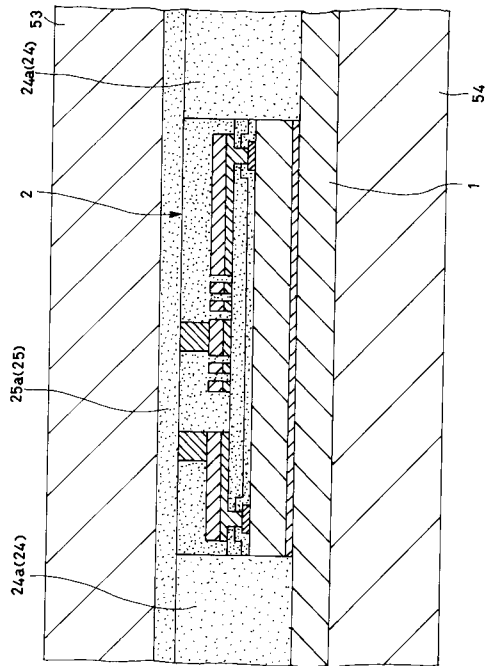
【図 1 1】



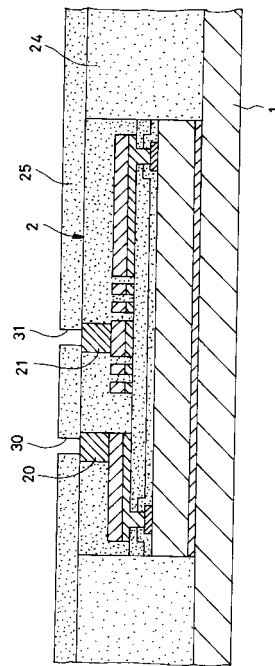
【図 1 2】



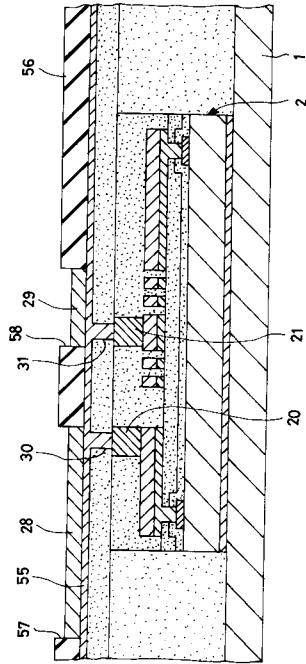
【図 1 3】



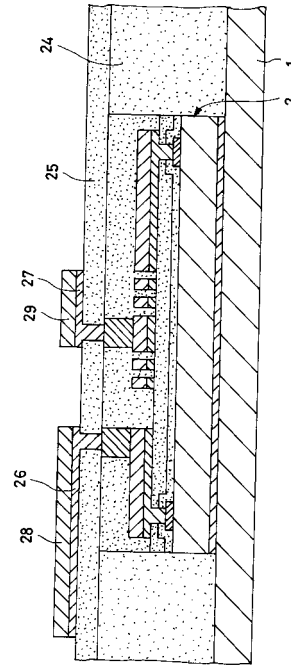
【図 1 4】



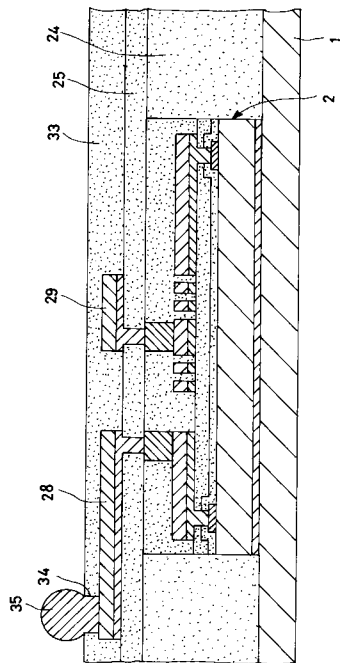
【図 15】



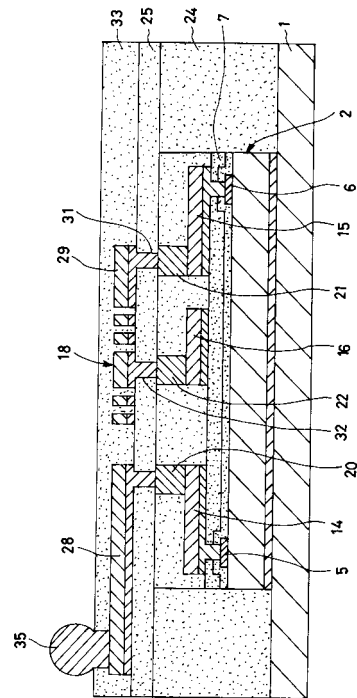
【図 16】



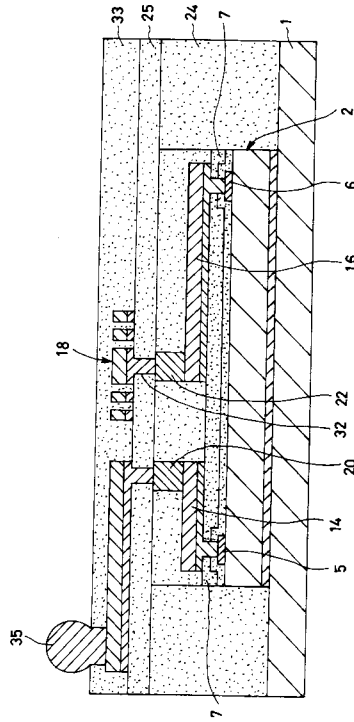
【図 17】



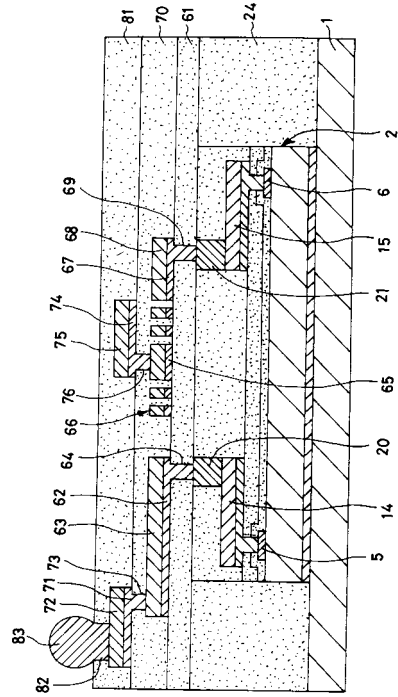
【図 18】



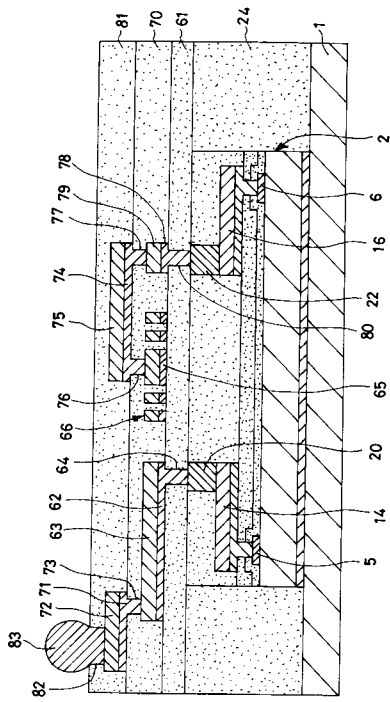
【図 19】



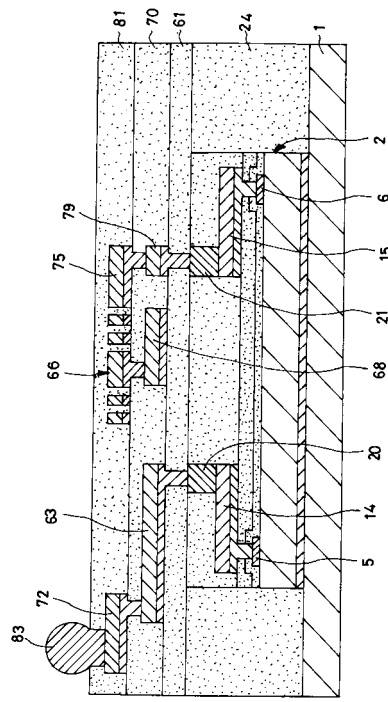
【図 20】



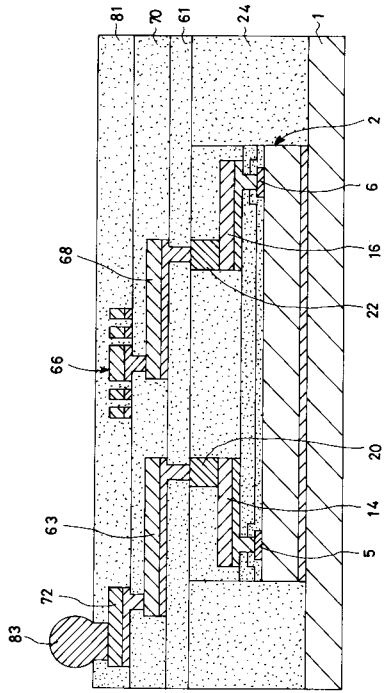
【図 21】



【図 22】



【 図 23 】



フロントページの続き

- (56)参考文献 特開2004-186497(JP,A)
特開2004-56093(JP,A)
特開2002-16173(JP,A)
特開平11-233678(JP,A)
特開平11-154730(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/3205
H01L 23/52
H01L 25/00
H01L 27/04