

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-146992

(P2006-146992A)

(43) 公開日 平成18年6月8日(2006.6.8)

(51) Int. Cl.

G11C 11/406 (2006.01)

F I

G11C 11/34 363L

テーマコード(参考)

5M024

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2004-332099 (P2004-332099)  
 (22) 出願日 平成16年11月16日(2004.11.16)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100077838  
 弁理士 池田 憲保  
 (74) 代理人 100082924  
 弁理士 福田 修一  
 (74) 代理人 100129023  
 弁理士 佐々木 敬  
 (72) 発明者 田原 薫  
 東京都中央区八重洲二丁目2番1号 エル  
 ピーダメモリ株式会社内  
 Fターム(参考) 5M024 AA20 BB22 BB39 EE05 EE09  
 EE24 EE26 PP01 PP02 PP03  
 PP07 PP08

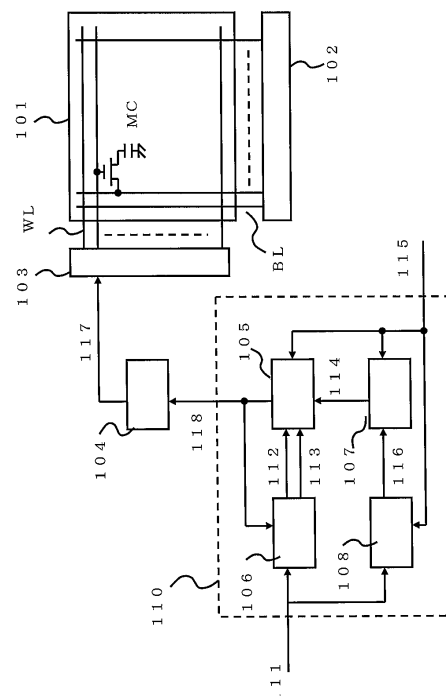
(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 連続読出し・書込み動作時の素子温度が上昇した状態では容量素子に蓄積された電荷は減衰しやすいため、連続読出し・書込み動作直後にセルフリフレッシュモードに切替った場合、温度が安定するまでの間は通常時よりも短い周期でのリフレッシュが必要とされる。

【解決手段】 クロックパルスを分周した分周比の異なる出力パルスを発生させ、セルフリフレッシュの最初は短周期のリフレッシュ周期とし、その後半導体メモリ装置の表面温度が低下した後は長周期のリフレッシュ周期とするリフレッシュ方法及びそれを備えた半導体メモリ装置を提供する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体メモリ装置のリフレッシュ方法において、リフレッシュサイクルモードになったとき、第 1 の分周回路により第 1 及び第 2 の分周パルスを発生させ、前記第 1 の分周パルスによりリフレッシュ動作を行い、さらに第 2 の分周回路によりリフレッシュ期間を計測させ、所定期間経過後には前記第 2 の分周パルスによりリフレッシュすることを特徴とする半導体メモリ装置のリフレッシュ方法。

## 【請求項 2】

半導体メモリ装置のリフレッシュ方法において、リフレッシュサイクルの前記所定期間経過後は、周期選択回路は制御信号を入力され、前記第 2 の分周回路出力レベルにかかわらず一定レベルを保持し、前記第 2 の分周パルスによりリフレッシュすることを特徴とする請求項 1 に記載の半導体メモリ装置のリフレッシュ方法。

10

## 【請求項 3】

前記所定期間は、5 秒以上、100 秒以下の期間であることを特徴とする請求項 2 記載の半導体メモリ装置のリフレッシュ方法。

## 【請求項 4】

半導体メモリ装置において、クロックパルスを分周する第 1 の分周回路と、制御パルスの入力に応答して前記クロックパルスを分周する第 2 の分周回路と、前記第 1 の分周回路の出力と周期選択信号の出力に応じてリフレッシュパルスを発生させるリフレッシュパルス発生回路と、前記第 2 の分周回路の出力に応じて前記リフレッシュパルスの発生周期を 20 変化させる周期選択信号を発生させる周期選択回路と、前記リフレッシュパルスに応じてリフレッシュアドレスを発生するリフレッシュアドレス発生手段と、前記リフレッシュアドレスに 20 応答して所定のワード線を活性化するデコード手段と、アレイ状に設けられた複数のメモリセルとそれらにそれぞれ接続された複数のビット線およびワード線を含むメモリセルアレイを有する事を特徴とする半導体メモリ装置。

20

## 【請求項 5】

前記第 1 の分周回路は短周期の第 1 の分周パルスと、長周期の第 2 の分周パルスとを発生させることを特徴とする請求項 4 記載の半導体メモリ装置。

## 【請求項 6】

前記第 2 の分周回路が複数のフリップフロップにより、数秒から、数十秒の時間を計 30 測する手段を持つことを特徴とする請求項 4 記載の半導体メモリ装置。

30

## 【請求項 7】

前記リフレッシュパルス発生回路が前記周期選択信号に応答してリフレッシュパルス発生周期を制御する手段を有する事を特徴とする請求項 4 記載の半導体メモリ装置。

## 【請求項 8】

前記周期選択回路が前記第 2 の分周回路の出力に応答して前記周期選択信号を変化させる手段を有する事を特徴とする請求項 4 記載の半導体メモリ装置。

## 【発明の詳細な説明】

## 【技術分野】

40

## 【0001】

本発明は、半導体メモリ装置に係り、特にリフレッシュ動作を必要とする半導体メモリ装置のリフレッシュ方法及びそれを備えた半導体メモリ装置に関する。

## 【背景技術】

## 【0002】

半導体メモリ装置の 1 つにダイナミック・ランダム・アクセス・メモリ（以下、DRAM という）がある。この DRAM を構成するメモリセルは、一般に電荷蓄積用の容量素子と、この容量素子への入出力を制御する MOSFET とからなる。メモリセルに記憶される情報は容量素子に蓄積された電荷で表されるが、この電荷は時間経過と共に減衰するため、記憶された情報を一定時間（リフレッシュ周期）毎に更新するリフレッシュ動作が必 50

50

要である。

【0003】

このリフレッシュ動作を効率よく行うため、半導体メモリ装置は複数の種類のリフレッシュ動作モードを備えている。例えば、外部から供給される入力信号CASおよびRASを定められたタイミングで入力する事によりリフレッシュを開始するCBRモード、メモリが一定時間以上待機状態を続けた時に一定間隔毎に自動的に全メモリセルに対してリフレッシュ動作を行うセルフリフレッシュモードなどである。

【0004】

これらリフレッシュモードの他、通常の読出し/書込みの際には選択されたワード線に接続された全てのメモリセルの記憶内容がそれらメモリセルにそれぞれ接続されたビット線に供給され、これらビット線の電位がセンスアンプによってそれぞれ増幅された後、各々のメモリセルにその記憶内容が再度格納されるので、一種のリフレッシュ動作が行われる。

10

【0005】

これらのリフレッシュ動作時の消費電流はリフレッシュする時間間隔(リフレッシュ周期)に依存し、低消費電流化のためにはリフレッシュ周期を長くする必要がある。しかしリフレッシュ周期を長くした場合にはメモリセルに蓄積された電荷が減衰し、書き込まれた情報が失われてしまう虞がある。またメモリセルに蓄積された電荷の減衰量は温度に依存し、高い温度においては電荷の減衰する速度が速くなる傾向をもっている。

【0006】

このためリフレッシュ動作を低消費電流で、効率よく行うためにいろいろの工夫がなされている。特許文献1には、セルフリフレッシュモードにおいて最初の1回目は短いリフレッシュ周期でリフレッシュを行い、その後は長いリフレッシュ周期でリフレッシュする技術が開示されている。特許文献2にはさらに記憶装置に入力されるコマンドに従って、オートリフレッシュ時とセルフリフレッシュ時とのリフレッシュ周期を異なるように設定する技術が開示されている。また特許文献3には半導体チップの温度を測定し、チップ温度に応じリフレッシュ周期を変更している。

20

【0007】

【特許文献1】特開平05-036274号公報

【特許文献2】特開2002-373489号公報

【特許文献3】特開2002-343079号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

半導体メモリ装置のメモリセルに蓄積された電荷の減衰量は温度に依存している。このために効率よく、低消費電流でリフレッシュ動作を行わせるには高温においては短いリフレッシュ周期でリフレッシュを行い、低温においては長いリフレッシュ周期で行うことが好ましい。

【0009】

しかし、特許文献1と特許文献2においては、半導体メモリ装置の温度変化の対する効果的なリフレッシュ方法は開示されていない。従って半導体メモリ装置の温度変化の対する効果的なリフレッシュ方法は解決されずに問題は残されたままである。特許文献3においては、半導体メモリ装置の温度変化に対応しているが、半導体チップの温度測定部を設ける必要があり、構成が複雑になる問題点が新たに発生する。従って、半導体メモリ装置の温度変化に対応するリフレッシュ動作を低消費電流で、効率よく行うためにはさらなる改善が望まれている。

40

【0010】

本願の課題は、上記した問題に鑑み、連続読出し/書込み動作により高温状態から読出し/書込み動作が停止されリフレッシュモードに切替ったときの温度変化対応するリフレッシュ方法として、簡便で効率よく、かつ低消費電流で行うリフレッシュ方法及びそれを

50

備えた半導体メモリ装置を提供することにある。

【課題を解決するための手段】

【0011】

本願の半導体メモリ装置のリフレッシュ方法は、リフレッシュサイクルモードになったとき、第1の分周回路により第1及び第2の分周パルスが発生させ、前記第1の分周パルスによりリフレッシュ動作を行い、さらに第2の分周回路によりリフレッシュ期間を計測させ、所定期間経過後には前記第2の分周パルスによりリフレッシュすることを特徴とする。

【0012】

本願の半導体メモリ装置のリフレッシュ方法においては、リフレッシュサイクルの前記所定期間経過後は、周期選択回路は制御信号を入力され、前記第2の分周回路出力レベルにかかわらず一定レベルを保持し、前記第2の分周パルスによりリフレッシュすることを特徴とする。

10

【0013】

本願の半導体メモリ装置のリフレッシュ方法においては、前記所定期間は、5秒以上、100秒以下の期間であることを特徴とする。

【0014】

本願の半導体メモリ装置は、クロックパルスを分周する第1の分周回路と、制御パルスの入力にตอบสนองして前記クロックパルスを分周する第2の分周回路と、前記第1の分周回路の出力と周期選択信号の出力に応じてリフレッシュパルスが発生させるリフレッシュパルス発生回路と、前記第2の分周回路の出力に応じて前記リフレッシュパルスの発生周期を変化させる周期選択信号を発生させる周期選択回路と、前記リフレッシュパルスに応じてリフレッシュアドレスを発生するリフレッシュアドレス発生手段と、前記リフレッシュアドレスにตอบสนองして所定のワード線を活性化するデコード手段と、アレイ状に設けられた複数のメモリセルとそれらにそれぞれ接続された複数のビット線およびワード線を含むメモリセルアレイを有する事を特徴とする。

20

【0015】

本願の半導体メモリ装置においては、前記第1の分周回路は短周期の第1の分周パルスと、長周期の第2の分周パルスとを発生させることを特徴とする。

【0016】

本願の半導体メモリ装置においては、前記第2の分周回路が複数のフリップフロップにより、数秒から、数十秒の時間を計測する手段を持つことを特徴とする。

30

【0017】

本願の半導体メモリ装置においては、前記リフレッシュパルス発生回路が前記周期選択信号にตอบสนองしてリフレッシュパルス発生周期を制御する手段を有する事を特徴とする。

【0018】

本願の半導体メモリ装置においては、前記周期選択回路が前記第2の分周回路の出力にตอบสนองして前記周期選択信号を変化させる手段を有する事を特徴とする。

【発明の効果】

【0019】

本願の半導体メモリ装置のリフレッシュ方法は、リフレッシュサイクルモードになったとき、第1の分周回路により短周期のパルスが発生させ、第2の分周回路により長周期のパルスが発生させるとともに、前記短周期のパルスによりリフレッシュ動作を行い、さらに第2の分周回路によりリフレッシュ期間を計測させ、所定期間経過後には前記長周期パルスによりリフレッシュする。

40

【0020】

リフレッシュサイクルモードの当初における半導体メモリ装置の表面温度が高いときは短周期のリフレッシュ動作とし、表面温度が低くなると長周期のリフレッシュ動作とすることで、読み出し・書込み動作直後の素子温度上昇時にリフレッシュ動作に切替った場合でも、リフレッシュ特性悪化によるデータの消失を防ぐ効果が得られる。

50

## 【0021】

本願の構成とすることで、低消費電流で効率の良いリフレッシュ方法及びそのリフレッシュ方法を備えた半導体メモリ装置が得られる。

## 【発明を実施するための最良の形態】

## 【0022】

以下、本発明の半導体メモリ装置及びそのリフレッシュ方法について、図を参照して説明する。

## 【実施例1】

## 【0023】

本発明の第1の実施例について図1～3及び図5を用いて説明する。図1には半導体メモリ装置のうち本願のリフレッシュ動作に関連する構成図、図2にはリフレッシュ周期制御部の回路図、図3には動作を示す波形図を示す。図5には半導体メモリ装置の連続読出し/書込み動作状態から、読出し/書込み動作が停止されたときの半導体メモリ装置のパッケージ表面温度変化を示す。 10

## 【0024】

図1を参照すると、第1および第2の分周回路106、108、周期選択回路107、リフレッシュパルス発生回路105を備えたリフレッシュ周期制御部110と、リフレッシュカウンタ104と、ロウデコーダ103と、センスアンプ102と、複数のビット線及びワード線を含むメモリセルアレイ101とから半導体メモリ装置は構成される。

## 【0025】

メモリセルアレイ101は各々1つのNチャネルトランジスタと1つの容量素子から成り、アレイ状に配置された複数のメモリセルMCで構成される。ビット線BLはセンスアンプ102に接続されており、センスアンプ102はビット線BLの電位を増幅する。ロウデコーダ103は入力されるロウアドレスに応じて1本のワード線WLを選択する。 20

## 【0026】

メモリセルデータ読出し時には選択されたワード線に接続されたメモリセルの情報はセンスアンプで増幅され図示していないカラムデコーダ、入出力回路からデータ出力される。またデータ書込み時には、入出力回路からのデータが逆方向にメモリセルに書き込まれる。

## 【0027】

リフレッシュ動作時には、リフレッシュ周期制御部110からのリフレッシュパルス118にしたがってリフレッシュカウンタ104がリフレッシュアドレスを順次生成させ、リフレッシュアドレスに応答してロウデコーダ103が所定のワード線WLを活性化させることで行われる。 30

## 【0028】

第1の分周回路106はリフレッシュ周期を生成するための分周回路である。外部から入力される又は内部で生成される基準クロックパルス111を分周し、リフレッシュパルス発生回路105に対してリフレッシュ周期となる分周出力パルス112、113を発生する。分周比は特に制限されないが本実施例においては、分周出力パルス112、113はそれぞれ基準クロックパルス111を1/2、1/4に分周した信号である。 40

## 【0029】

第2の分周回路108はセルフリフレッシュモードにおける経過時間を検出するための分周回路である。分周回路108は制御パルス115がロウレベルの間はリセット状態となり、セルフリフレッシュ動作時に制御パルス115がハイレベルになると基準クロックパルス111を1/2Nに分周した信号である分周出力信号116を分周期選択回路107に出力する。

## 【0030】

この1/2Nに分周したサイクル時間S秒は、半導体メモリ装置のパッケージ表面温度が初期設定温度(周囲温度)に低下する時間に設定される。半導体メモリ装置のパッケージ表面温度の変化状況の1例を図5に示す。図5には、温度75℃の環境において半導体 50

メモリ装置の読出し・書込み動作を連続して行い、パッケージ表面温度の上昇した状態で動作を停止させた時(図5のt51)のパッケージ表面温度の経時変化の一例である。読出し・書込み動作停止直後からパッケージ表面温度が10 下降するまでにおよそ20秒を要しており、初期設定温度近くまで回復するにはさらに20秒要している。すなわち前記S[秒]は数十秒程度の時間が必要となる。

**【0031】**

周期選択回路107は、セルフリフレッシュ動作開始時に制御パルス115がハイレベルになるとハイレベルの周期選択信号114を出力する。セルフリフレッシュ動作開始後S秒経過し、分周回路108からの分周出力信号116がハイレベルとなると周期選択信号114をロウレベルに変化させる。周期選択信号114はセルフリフレッシュ動作開始時にはハイレベル、セルフリフレッシュ動作開始後S秒経過してロウレベル信号をリフレッシュパルス発生回路105に送る。

10

**【0032】**

リフレッシュパルス発生回路105は、前記分周出力パルス112、113と前記周期選択信号114と制御パルス115に应答してリフレッシュパルス118を発生させる。リフレッシュパルス118はリフレッシュカウンタ104に供給されるとともに分周回路106をリセットする。

**【0033】**

リフレッシュパルス発生回路105は周期選択信号114に応じて分周出力パルス112または分周出力パルス113を選択し、選択したパルスをリフレッシュパルス118としてリフレッシュカウンタ104に供給する。同時にリフレッシュパルス118は分周回路106内部のD-フリップフロップをリセットする。本実施例の場合、セルフリフレッシュ動作開始時の周期選択信号114がハイレベルの時は分周出力パルス112が選択され、基準クロックパルス111を1/2に分周した周期でリフレッシュパルス118が出力される。

20

**【0034】**

一方セルフリフレッシュ動作開始からS秒経過し周期選択信号114がロウレベルに変化すると分周出力パルス113が選択され、基準クロックパルス111を1/4に分周した周期でリフレッシュパルス118が出力される。

**【0035】**

リフレッシュカウンタ104は、リフレッシュパルス118に応じてリフレッシュアドレス117を発生させる。ロウデコーダ103は、リフレッシュアドレス117に应答して所定のワード線を選択し、活性化させることでリフレッシュ動作が行われる。

30

**【0036】**

従って、セルフリフレッシュ開始時は周期選択信号114がハイレベルであり、基準クロック111の1/2に分周した周期でリフレッシュ動作が行われる。セルフリフレッシュ開始時からS秒経過後は周期選択信号114がハイレベルからロウレベルに変化することで基準クロックの1/4に分周した周期でリフレッシュ動作が行われる。

**【0037】**

次に図2を用いてリフレッシュ周期制御部110を構成する分周回路106、108、周期選択回路107およびリフレッシュパルス発生回路105の具体的回路構成を説明する。

40

**【0038】**

図2において、リフレッシュパルス発生回路105は、周期セレクタ203およびセレクタ204から構成される。また、分周回路106は、リフレッシュパルス118によってリセットされるD-フリップフロップ回路207、208から構成される。一方、分周回路108は、制御パルス115によってリセットされる複数台のD-フリップフロップ回路から構成される。周期選択回路107はNAND SR-フリップフロップから構成される。

**【0039】**

50

分周回路 106 は D - フリップフロップ回路 207 および 208 から構成される。D - フリップフロップ回路 207 は基準クロックパルス 111 を 1 / 2 に分周した分周出力パルス 112 を出力し、さらに D - フリップフロップ回路 208 は基準クロックパルス 111 を 1 / 4 に分周した分周出力パルス 113 を出力する。分周出力パルス 112、113 は周期セクタ 203 に供給される。D - フリップフロップ回路 207 および 208 はリフレッシュパルス 118 によりリセットされ、そのから再び基準クロックパルスの分周が始まる。

**【0040】**

分周回路 108 は制御パルス 115 によってリセットされる N 台の D - フリップフロップ回路から構成される。制御パルス 115 がハイレベルになると、分周回路 108 は基準クロックパルス 111 を分周し、分周出力パルス 116 を出力する。N 台の D - フリップフロップ回路を縦続接続し、基準クロックパルス 111 を 1 / 2 N に分周する。分周回路 108 を構成する D - フリップフロップ回路は制御パルス 115 がロウレベルの時にそれぞれリセットされる。D - フリップフロップ回路から出力される分周出力信号 116 は周期選択回路 107 に供給される。

10

**【0041】**

分周値 2 N はセルフリフレッシュ動作開始からセルフリフレッシュ動作を短い周期で行う期間 S 秒によって定められる。この時の分周値 2 N に基準クロックパルス 111 の周期 T [秒] を乗じた値がセルフリフレッシュ動作を短い周期で行う期間 S [秒] になるように回路を構成する。すなわち、 $2N [台] \times T [秒] = S [秒]$  となる。

20

**【0042】**

S [秒] の目安として、温度 75 の環境において DRAM の読出し・書込み動作を連続して行い、パッケージ表面温度の上昇した状態で動作を停止させた時 (図 5 の t51) のパッケージ表面温度の経時変化の一例を図 5 に示す。読出し・書込み動作停止直後からパッケージ表面温度が 10 度下降するまでにおよそ 20 秒を要しており、初期設定温度近くまで回復するにはさらに 20 秒を要している。すなわち前記 S [秒] は数十秒程度の時間が必要となる。各種パッケージの放熱を考えると 5 秒から 100 秒程度が良い。

**【0043】**

周期選択回路 107 は NAND SR フリップフロップ回路により構成され、分周出力パルス 116 と制御パルス 115 に応答して周期選択信号 114 を出力する。セルフリフレッシュ動作が開始し、制御パルス 115 がハイレベルの時は周期選択信号 114 をハイレベルとして出力し、セルフリフレッシュ動作開始から S 秒経過し分周出力パルス 116 がハイレベルになると周期選択信号 114 をロウレベルに変化させる。その後は、セルフリフレッシュ動作が終了するまで分周出力パルス 116 に因らず周期選択信号 114 はロウレベルとなる。

30

**【0044】**

リフレッシュパルス発生回路 105 は、周期セクタ 203 とセクタ 204 で構成される。周期セクタ 203 は周期選択信号 114 がハイレベルのとき分周出力パルス 112 がハイレベル、分周出力パルス 113 がロウレベルの組み合わせを選択する。周期選択信号 114 がロウレベルのとき分周出力パルス 112、113 共にハイレベルの組み合わせを選択し、選択したパルスを出力 213 としてセクタ 204 に供給する。したがって周期選択信号 114 がハイレベルのとき短周期サイクルである分周出力パルス 112 を選択し、周期選択信号 114 がロウレベルのとき長周期サイクルである分周出力パルス 113 を選択することになる。

40

**【0045】**

セクタ 204 は制御パルス 115 がハイレベルのとき出力 213 がロウレベルからハイレベルに変化するとリフレッシュパルス 118 を出力する。リフレッシュパルス 118 は分周回路 106 の D - フリップフロップ 207、208 の状態をリセットし、その時点から再び基準クロックパルスの分周が始まる。

**【0046】**

50

図 1 及び図 2 の回路の動作について、図 3 を参照して説明する。まずセルフリフレッシュ動作を行うため、制御パルス 115 がハイレベルとなり、分周回路 106 が基準クロックパルス 111 を分周した分周出力パルス 112、113 が発生する。本例ではその分周値はそれぞれ 2、4 に設定した場合の波形図を示している。

【0047】

セルフリフレッシュ動作開始時においては、分周選択信号 114 はハイレベルとなっているため周期セクタ 203 は分周出力パルス 112 を選択し、分周出力パルス 112 が出力 213 として出力される。出力 213 のワンショットパルスがセクタ 204 に入力され、リフレッシュパルス 118 を発生する（図 3 の期間 t31 参照）。

【0048】

リフレッシュカウンタ 104 にリフレッシュパルス 118 が供給されると、アドレス信号 117 をロウデコーダ 103 に供給し、ロウデコーダ 103 はこのアドレス信号 117 に応じたワード線を活性化させ、リフレッシュ動作を行う。この時リフレッシュパルス 118 は分周回路 106 をリセットするため、分周出力パルス 112、113 がリセットされ、これに伴って出力 213 がリセットされる。

【0049】

セルフリフレッシュ動作が開始してから S 秒後、分周出力信号 116 がハイレベルになると、周期選択回路 107 により周期選択信号 114 がハイレベルからロウレベルに変化する（図 3 の期間 t32 参照）。周期選択信号 114 が変化する事で周期セクタ 203 は分周出力パルス 113 を選択されるため、これ以降の出力 213 のワンショットパルス発生およびセクタ 204 のリフレッシュパルス 118 発生は、分周出力パルス 113 の出力が起点となる（図 3 の期間 t33 参照）。

【0050】

分周出力パルス 113 は、分周出力パルス 112 に対して分周値が 2 倍に設定されており、従ってリフレッシュパルス 118 の発生周期はセルフリフレッシュ動作開始直後に対して約 2 倍長くなる。つまり、周期選択信号 114 がロウレベルの際のリフレッシュパルス 118 発生周期を従来の半導体メモリ装置と同等になるように基準クロックパルスの周波数を設定しておけば、周期選択信号 114 がハイレベルの際のリフレッシュパルス 118 発生周期は従来の約 1/2 となる。

【0051】

以上説明したように、本実施例によれば、読み出し・書き込み動作の終了直後の素子温度が上昇時にセルフリフレッシュ動作を開始した場合に、素子温度が低下するまでの数十秒の間はセルフリフレッシュ動作が通常周期で行われる。素子温度が低下した後のセルフリフレッシュ動作は通常周期で行われる。このため、素子温度上昇時のリフレッシュ特性が悪化した状態におけるデータ消失の問題が解決できる。

【実施例 2】

【0052】

図 4 を参照して本発明の実施例 2 について説明する。第 1 の実施例が図 1 に示すように分周回路 108 が基準クロックパルス 111 を分周するのに対し、第 2 の実施例では分周回路 108 は別途生成される基準クロックパルス 119 を分周している。他の構成は実施例 1 と同様であり、同じ符号とし、動作も実施例 1 と同じためその説明は省略する。

【0053】

基準クロックパルス 119 は基準クロックパルス 111 に対して周期の長い信号を用いる事で、分周回路 108 に含まれる D-フリップフロップの台数を減らすことが可能となり、回路規模を縮小できる利点がある。

【0054】

本実施例においても、連続読み出し/書き込み動作が行われ半導体メモリ装置の温度が上昇した時点で、読み出し/書き込み動作が停止されセルフリフレッシュ動作になったとき、最初は短い周期でリフレッシュ動作を行い、温度が低下した後、長い周期でリフレッシュ動作を行うことで、効率のよい、低消費電流のリフレッシュ方法が得られる。

10

20

30

40

50



【0055】

以上本願発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【図面の簡単な説明】

【0056】

【図1】実施例1における半導体メモリ装置の構成図である。

【図2】実施例1におけるリフレッシュ周期制御部の回路図である。

【図3】本発明の半導体メモリ装置の動作を示す波形図である。

【図4】実施例2における半導体メモリ装置の構成図である。

10

【図5】読み出し・書き込み動作停止直後からの半導体メモリ装置におけるパッケージ表面温度の経時変化の一例を示す図である。

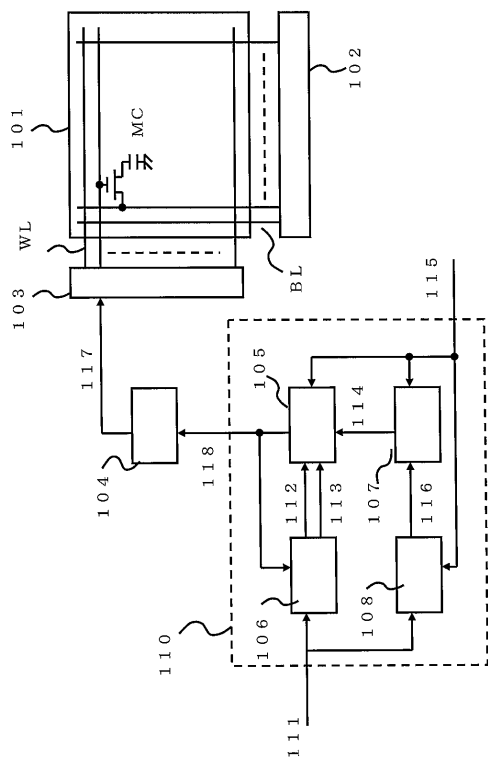
【符号の説明】

【0057】

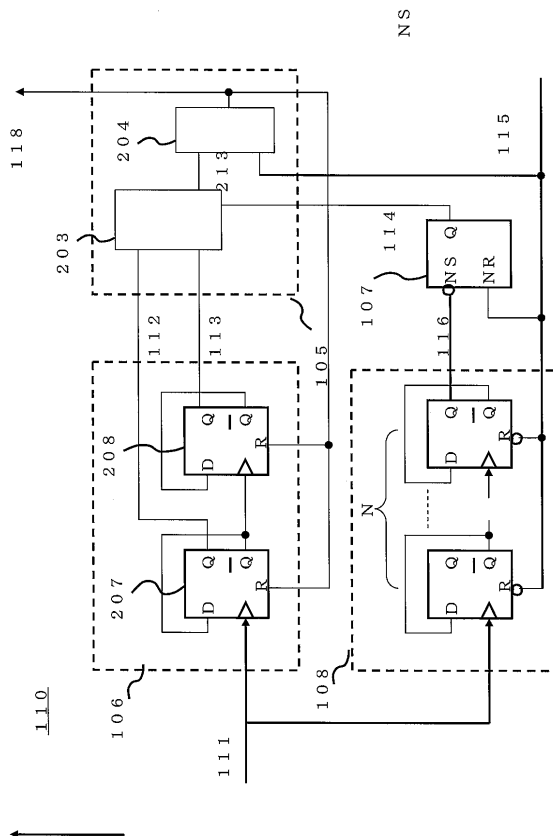
- 101      メモリセルアレイ
- 102      センスアンプ
- 103      ロウデコーダ
- 104      リフレッシュカウンタ
- 105      リフレッシュパルス発生回路
- 106, 108   分周回路
- 107      周期選択回路
- 110      リフレッシュ周期制御部

20

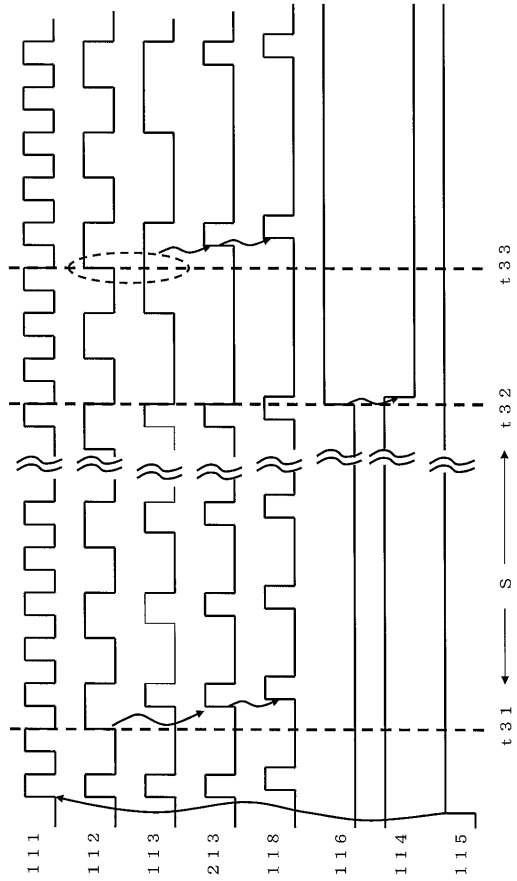
【図1】



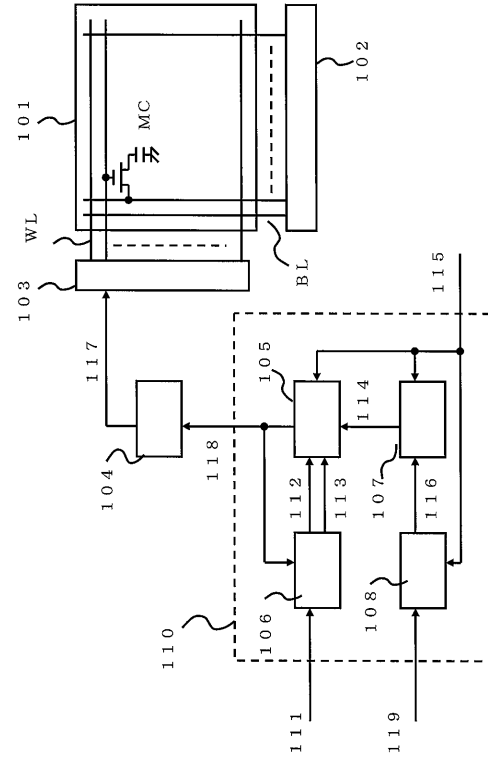
【図2】



【 図 3 】



【 図 4 】



【 図 5 】

