



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년05월14일
(11) 등록번호 10-2666532
(24) 등록일자 2024년05월10일

(51) 국제특허분류(Int. Cl.)
H10K 59/00 (2023.01) H10K 50/00 (2023.01)
(52) CPC특허분류
H10K 59/123 (2023.02)
H10K 50/00 (2023.02)
(21) 출원번호 10-2018-0114880
(22) 출원일자 2018년09월27일
심사청구일자 2021년07월29일
(65) 공개번호 10-2020-0036126
(43) 공개일자 2020년04월07일
(56) 선행기술조사문헌
KR100795815 B1*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
(72) 발명자
박준홍
경기도 수원시 영통구 덕영대로 1462-14, 107동
702호 (망포동, 힐스테이트 영통 아파트)
김지현
경기도 화성시 동탄기흥로 393-15 (오산동, 동탄
역반도유보라아이비파크5.0)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 20 항

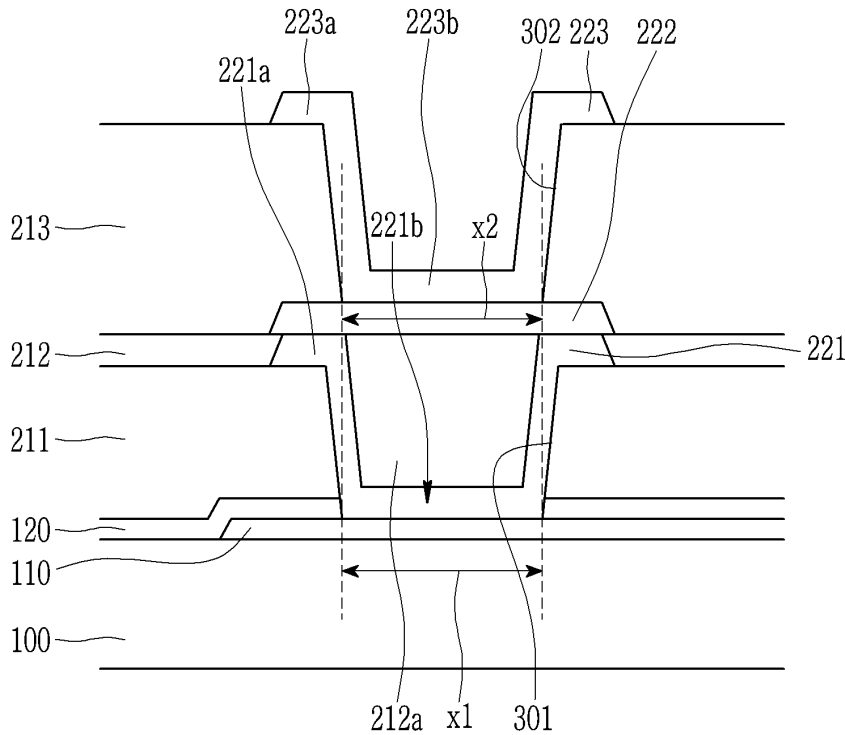
심사관 : 윤성주

(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 표시 장치는 기판; 상기 기판 위에 위치하는 반도체층; 상기 반도체층 위에 위치하고, 제1 오프닝을 포함하는 제1 무기 절연막; 상기 제1 무기 절연막 위에 위치하고, 상기 제1 오프닝의 측면 및 하단면에 형성되어 있는 제1 도전막; 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 위치하는 제2 무기 (뒷면에 계속)

대표도 - 도1



절연막; 상기 제2 무기 절연막 위에 위치하며, 상기 제1 도전막과 연결되어 있는 제2 도전막; 상기 제2 도전막 및 상기 제2 도전막에 의하여 노출되어 있는 상기 제2 무기 절연막 위에 위치하고, 제2 오프닝을 포함하는 제3 무기 절연막; 및 상기 제3 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 형성되어 있으며, 상기 제2 도전막과 연결되어 있는 제3 도전막을 포함하고, 상기 제1 오프닝과 상기 제2 오프닝은 서로 중첩하고, 상기 제2 무기 절연막은 상기 제1 도전막의 내부를 채우도록 형성되어 있는 필링부를 포함하며, 상기 필링부는 무기 물질로 이루어진다.

(52) CPC특허분류

H10K 59/1213 (2023.02)

H10K 59/124 (2023.02)

H10K 59/351 (2023.02)

(72) 발명자

전준

경기도 화성시 동탄대로시범길 20, 1420동 203호
(청계동, 동탄역 시범한화 꿈에그린 프레스티지)

정의석

서울특별시 서초구 잠원로4길 34-11, 101동 705호
(잠원동, 녹원한신아파트)

박정민

서울특별시 서초구 강남대로10길 91, 3층 (양재동)

(56) 선행기술조사문헌

KR1020040038881 A*

KR1020180034777 A*

KR1020030076421 A

KR1020150021890 A

KR1020050036627 A

KR1020170013553 A

JP2005158935 A

JP2010014975 A

KR1020180062207 A

US20140327851 A1

JP2004184495 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관;

상기 기관 위에 위치하는 반도체층;

상기 반도체층 위에 위치하고, 제1 오프닝을 포함하는 제1 무기 절연막;

상기 제1 무기 절연막 위에 위치하고, 상기 제1 오프닝의 측면 및 하단면에 형성되어 있는 제1 도전막;

상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 위치하는 제2 무기 절연막;

상기 제2 무기 절연막 위에 위치하며, 상기 제1 도전막과 연결되어 있는 제2 도전막;

상기 제2 도전막 및 상기 제2 도전막에 의하여 노출되어 있는 상기 제2 무기 절연막 위에 위치하고, 제2 오프닝을 포함하는 제3 무기 절연막; 및

상기 제3 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 형성되어 있으며, 상기 제2 도전막과 연결되어 있는 제3 도전막;

을 포함하고,

상기 제1 오프닝과 상기 제2 오프닝은 서로 중첩하고,

상기 제2 무기 절연막은 상기 제1 도전막의 내부를 채우도록 형성되어 있는 필링부를 포함하며,

상기 필링부는 무기 물질로 이루어지는 표시 장치.

청구항 2

제1항에서,

상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고,

상기 제1 오프닝의 하단부의 폭을 제1 선폭, 상기 제2 오프닝의 하단부의 폭을 제2 선폭이라 할 때, 상기 제2 선폭이 상기 제1 선폭보다 크거나 같은 표시 장치.

청구항 3

제2항에서,

상기 제1 선폭은 1.3 um 이하인 표시 장치.

청구항 4

제2항에서,

상기 제1 오프닝 및 상기 제2 오프닝이 상기 제1 선폭의 중심, 상기 제2 도전막의 중심 및 상기 제2 선폭의 중심이 일직선 상에 있도록 중첩하는 표시 장치.

청구항 5

제1항에서,

상기 제2 무기 절연막은 그 상부면이 상기 제1 무기 절연막 위에 형성되어 있는 상기 제1 도전막의 상부면과 일치하도록 평탄화된 표시 장치.

청구항 6

제1항에서,

상기 제2 도전막 및 상기 제3 도전막은 폐쇄된 테두리 내의 일정 면적이 접촉하는 표시 장치.

청구항 7

기관;

상기 기관 위에 위치하는 반도체층;

상기 반도체층 위에 위치하고, 제1 오프닝을 포함하는 제1 무기 절연막;

상기 제1 무기 절연막 위에 위치하고, 상기 제1 오프닝의 측면 및 하단면에 형성되어 있는 제1 도전막;

상기 제1 도전막 위, 상기 제1 도전막에 의하여 노출되어 있는 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 위치하고, 제2 오프닝을 포함하는 제2 무기 절연막; 및

상기 제2 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 형성되어 있으며, 상기 제1 도전막과 연결되어 있는 제2 도전막;

을 포함하고,

상기 제1 오프닝과 상기 제2 오프닝은 서로 중첩하고,

상기 제2 무기 절연막은 상기 제1 도전막의 내부를 채우도록 형성되어 있는 필링부를 포함하며,

상기 필링부는 무기 물질로 이루어지는 표시 장치.

청구항 8

제7항에서,

상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고,

상기 제1 오프닝의 하단부의 폭을 제1 선폭, 상기 제2 오프닝의 하단부의 폭을 제2 선폭이라 할 때, 상기 제2 선폭이 상기 제1 선폭보다 크거나 같은 표시 장치.

청구항 9

제8항에서,

상기 제1 선폭은 1.3 um 이하인 표시 장치.

청구항 10

제8항에서,

상기 제1 오프닝 및 상기 제2 오프닝이 상기 제1 선폭의 중심 및 상기 제2 선폭의 중심이 일직선 상에 있도록 중첩하는 표시 장치.

청구항 11

제7항에서,

상기 제1 도전막 및 상기 제2 도전막은 일정 면적의 가장자리 부분이 접촉하는 링(ring) 컨택을 하는 표시 장치.

청구항 12

기관 위에 반도체층을 형성하는 단계;

상기 기관 상에 상기 반도체층을 덮는 절연막을 형성하고, 상기 절연막 위에 제1 무기 절연막을 형성하는 단계;

상기 제1 무기 절연막에 상기 반도체층의 일부를 노출시키는 제1 오프닝을 형성하는 단계;

상기 제1 무기 절연막 위의 상기 제1 오프닝의 측면 및 하단면에, 상기 반도체층의 일부와 연결되는 제1 도전막

을 형성하는 단계;

상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 제2 무기 절연막을 형성하는 단계;

상기 제2 무기 절연막의 상부면을 평탄화하여, 상기 제1 무기 절연막 위에 형성된 상기 제1 도전막의 일부를 노출시키고, 상기 제1 도전막의 내부를 채우는 필링부를 완성하는 단계;

평탄화된 상기 제2 무기 절연막 및 상기 제1 도전막의 일부 위에 상기 제1 도전막과 연결된 제2 도전막을 형성하는 단계;

상기 제2 도전막 및 상기 제2 도전막에 의하여 노출되어 있는 상기 제2 무기 절연막 위에 제3 무기 절연막을 형성하는 단계;

상기 제3 무기 절연막에 상기 제2 도전막의 일부를 노출시키며, 상기 제1 오프닝과 중첩하는 위치에 제2 오프닝을 형성하는 단계; 및

상기 제3 무기 절연막과 상기 제2 도전막의 일부 위에 위치하고, 상기 제2 도전막의 일부와 연결되며, 상기 제2 오프닝의 측면 및 하단면을 덮는 제3 도전막을 형성하는 단계를 포함하고,

상기 필링부는 무기 물질로 이루어지는 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 제2 무기 절연막을 평탄화하는 단계에서, 상기 제2 무기 절연막의 상부면은 상기 제1 무기 절연막 위에 형성되어 있는 상기 제1 도전막의 상부면과 일치하도록 평탄화되는 표시 장치의 제조 방법.

청구항 14

제12항에서,

상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고,

상기 제1 오프닝의 하단부의 폭을 제1 선폭, 상기 제2 오프닝의 하단부의 폭을 제2 선폭이라 할 때, 상기 제2 선폭이 상기 제1 선폭보다 크거나 같도록 형성하는 표시 장치의 제조 방법.

청구항 15

제14항에서,

상기 제1 선폭은 1.3 μm 이하가 되도록 형성하는 표시 장치의 제조 방법.

청구항 16

제14항에서,

상기 제1 오프닝 및 상기 제2 오프닝이 상기 제1 선폭의 중심, 상기 제2 도전막의 중심 및 상기 제2 선폭의 중심이 일직선 상에 있도록 중첩되도록 형성하는 표시 장치의 제조 방법.

청구항 17

기판 위에 반도체층을 형성하는 단계;

상기 기판 상에 상기 반도체층을 덮는 절연막을 형성하고, 상기 절연막 위에 제1 무기 절연막을 형성하는 단계;

상기 제1 무기 절연막에 상기 반도체층의 일부를 노출시키는 제1 오프닝을 형성하는 단계;

상기 제1 무기 절연막 위의 상기 제1 오프닝의 측면 및 하단면에, 상기 반도체층의 일부와 연결되는 제1 도전막을 형성하는 단계;

상기 제1 도전막 위, 상기 제1 도전막에 의하여 노출되어 있는 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 제2 무기 절연막을 형성하는 단계;

상기 제2 무기 절연막의 상부면을 평탄화하여 상기 제1 도전막의 내부를 채우는 필링부를 완성하는 단계;

평탄화된 상기 제2 무기 절연막에 상기 제1 도전막의 일부를 노출시키며, 상기 제1 오프닝과 중첩하는 위치에 제2 오프닝을 형성하는 단계;

상기 제2 무기 절연막 및 상기 제1 도전막의 일부 위에 위치하고, 상기 제1 도전막의 일부와 연결되며, 상기 제2 오프닝의 측면 및 하단면을 덮는 제2 도전막을 형성하는 단계를 포함하고,

상기 필링부는 무기 물질로 이루어지는 표시 장치의 제조 방법.

청구항 18

제17항에서,

상기 제2 무기 절연막을 평탄화하는 단계에서, 상기 제2 무기 절연막의 상부면은 상기 제1 무기 절연막 위에 형성되어 있는 상기 제1 도전막의 상부면보다 높게 형성되도록 평탄화되는 표시 장치의 제조 방법.

청구항 19

제17항에서,

상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고,

상기 제1 오프닝의 하단부의 폭을 제1 선폭, 상기 제2 오프닝의 하단부의 폭을 제2 선폭이라 할 때, 상기 제2 선폭이 상기 제1 선폭보다 크거나 같도록 형성하는 표시 장치의 제조 방법.

청구항 20

제19항에서,

상기 제1 선폭은 1.3 um 이하가 되도록 형성하는 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 오프닝을 포함하는 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 현재 알려져 있는 표시 장치에는 액정 표시 장치(liquid crystal display: LCD), 플라즈마 표시 장치(plasma display panel: PDP), 유기 발광 표시 장치(organic light emitting diode device: OLED device) 등이 있다. 표시 장치는 기판 및 기판 위에 적층된 복수의 박막층을 포함할 수 있다.

[0003] 최근에는 표시 패널의 해상도가 높아짐에 따라서 화소 하나의 크기가 작아지고, 박막층을 형성하는 패턴의 밀집도가 증가하고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 하부 오프닝의 무기막 채움을 통해 상하부 오프닝의 중첩 정렬이 용이하게 하고, 오프닝의 사이즈를 줄여 화소가 차지하는 면적을 줄이고, 또한 평탄화를 통해 층간 단차를 완화함으로써 후속층의 안정성 및 직진성이 개선된 표시 장치 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시 장치는 기판; 상기 기판 위에 위치하는 반도체층; 상기 반도체층 위에 위치하고, 제1 오프닝을 포함하는 제1 무기 절연막; 상기 제1 무기 절연막 위에 위치하고, 상기 제1 오프닝의 측면 및 하단면에 형성되어 있는 제1 도전막; 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 위치하는 제2 무기 절연막; 상기 제2 무기 절연막 위에 위치하며, 상기 제1 도전막과 연결되어 있는 제2 도전막; 상기 제2 도전막 및 상기 제2 도전막에 의하여 노출되어 있는 상기 제2 무기 절연막 위에 위치하고, 제2 오프닝을 포함하는 제3

무기 절연막; 및 상기 제3 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 형성되어 있으며, 상기 제2 도전막과 연결되어 있는 제3 도전막을 포함하고, 상기 제1 오프닝과 상기 제2 오프닝은 서로 중첩하고, 상기 제2 무기 절연막은 상기 제1 도전막의 내부를 채우도록 형성되어 있는 필링부를 포함하며, 상기 필링부는 무기 물질로 이루어진다.

- [0006] 상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고, 상기 제1 오프닝의 하단부의 폭을 제1 선평, 상기 제2 오프닝의 하단부의 폭을 제2 선평이라 할 때, 상기 제2 선평이 상기 제1 선평보다 크거나 같을 수 있다.
- [0007] 상기 제1 선평은 1.3 um 이하일 수 있다.
- [0008] 상기 제1 오프닝 및 상기 제2 오프닝이 상기 제1 선평의 중심, 상기 제2 도전막의 중심 및 상기 제2 선평의 중심이 일직선 상에 있도록 중첩할 수 있다.
- [0009] 상기 제2 무기 절연막은 그 상부면이 상기 제2 무기 절연막 위에 형성되어 있는 상기 제1 도전막의 상부면과 일치하도록 평탄화될 수 있다.
- [0010] 상기 제2 도전막 및 상기 제3 도전막은 폐쇄된 테두리 내의 일정 면적이 접촉할 수 있다.
- [0011] 본 발명의 일 실시예에 따른 표시 장치는 기판; 상기 기판 위에 위치하는 반도체층; 상기 반도체층 위에 위치하고, 제1 오프닝을 포함하는 제1 무기 절연막; 상기 제1 무기 절연막 위에 위치하고, 상기 제1 오프닝의 측면 및 하단면에 형성되어 있는 제1 도전막; 상기 제1 도전막 위, 상기 제1 도전막에 의하여 노출되어 있는 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 위치하고, 제2 오프닝을 포함하는 제2 무기 절연막; 및 상기 제2 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 형성되어 있으며, 상기 제1 도전막과 연결되어 있는 제2 도전막을 포함하고, 상기 제1 오프닝과 상기 제2 오프닝은 서로 중첩하고, 상기 제2 무기 절연막은 상기 제1 도전막의 내부를 채우도록 형성되어 있는 필링부를 포함하며, 상기 필링부는 무기 물질로 이루어질 수 있다.
- [0012] 상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고, 상기 제1 오프닝의 하단부의 폭을 제1 선평, 상기 제2 오프닝의 하단부의 폭을 제2 선평이라 할 때, 상기 제2 선평이 상기 제1 선평보다 크거나 같을 수 있다.
- [0013] 상기 제1 선평은 1.3 um 이하일 수 있다.
- [0014] 상기 제1 오프닝 및 상기 제2 오프닝이 상기 제1 선평의 중심 및 상기 제2 선평의 중심이 일직선 상에 있도록 중첩할 수 있다.
- [0015] 상기 제1 도전막 및 상기 제2 도전막은 일정 면적의 가장자리 부분이 접촉하는 링(ring) 컨택을 할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은 기판 위에 반도체층을 형성하는 단계; 상기 기판 상에 절연막을 형성하고, 상기 절연막 위에 제1 무기 절연막을 형성하는 단계; 상기 제1 무기 절연막에 상기 반도체층을 노출시키는 제1 오프닝을 형성하는 단계; 상기 제1 무기 절연막 위에 상기 제1 오프닝의 측면 및 하단면에 제1 도전막을 형성하는 단계; 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 제2 무기 절연막을 형성하는 단계; 상기 제2 무기 절연막의 상부면을 평탄화하여 상기 제1 도전막의 내부를 채우는 필링부를 완성하는 단계; 평탄화된 상기 제2 무기 절연막 위에 제2 도전막을 형성하는 단계; 상기 제2 도전막 및 상기 제2 도전막에 의하여 노출되어 있는 상기 제2 무기 절연막 위에 제3 무기 절연막을 형성하는 단계; 상기 제3 무기 절연막에 상기 제2 도전막을 노출시키며, 상기 제1 오프닝과 중첩하는 위치에 제2 오프닝을 형성하는 단계; 및 상기 제3 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 제3 도전막을 형성하는 단계를 포함한다.
- [0017] 상기 제2 무기 절연막을 평탄화하는 단계에서, 상기 제2 무기 절연막의 상부면은 상기 제1 무기 절연막 위에 형성되어 있는 상기 제1 도전막의 상부면과 일치하도록 평탄화될 수 있다.
- [0018] 상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고, 상기 제1 오프닝의 하단부의 폭을 제1 선평, 상기 제2 오프닝의 하단부의 폭을 제2 선평이라 할 때, 상기 제2 선평이 상기 제1 선평보다 크거나 같도록 형성할 수 있다.
- [0019] 상기 제1 선평은 1.3 um 이하가 되도록 형성할 수 있다.
- [0020] 상기 제1 오프닝 및 상기 제2 오프닝이 상기 제1 선평의 중심, 상기 제2 도전막의 중심 및 상기 제2 선평의 중

심이 일직선 상에 있도록 중첩되도록 형성할 수 있다.

[0021] 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은 기판 위에 반도체층을 형성하는 단계; 상기 기판 상에 절연막을 형성하고, 상기 절연막 위에 제1 무기 절연막을 형성하는 단계; 상기 제1 무기 절연막에 상기 반도체층을 노출시키는 제1 오프닝을 형성하는 단계; 상기 제1 무기 절연막 위에 상기 제1 오프닝의 측면 및 하단면에 제1 도전막을 형성하는 단계; 상기 제1 도전막 위, 상기 제1 도전막에 의하여 노출되어 있는 상기 제1 무기 절연막 위 및 상기 제1 도전막의 내부에 제2 무기 절연막을 형성하는 단계; 상기 제2 무기 절연막의 상부면을 평탄화하여 상기 제1 도전막의 내부를 채우는 필링부를 완성하는 단계; 평탄화된 상기 제2 무기 절연막에 상기 제1 도전막을 노출시키며, 상기 제1 오프닝과 중첩하는 위치에 제2 오프닝을 형성하는 단계; 상기 제2 무기 절연막 위에 위치하고, 상기 제2 오프닝의 측면 및 하단면에 제2 도전막을 형성하는 단계를 포함한다.

[0022] 상기 제2 무기 절연막을 평탄화하는 단계에서, 상기 제2 무기 절연막의 상부면은 상기 제1 무기 절연막 위에 형성되어 있는 상기 제1 도전막의 상부면보다 높게 형성되도록 평탄화될 수 있다.

[0023] 상기 제1 오프닝 및 제2 오프닝은 각각 하단부가 상단부보다 좁고, 상기 제1 오프닝의 하단부의 폭을 제1 선포, 상기 제2 오프닝의 하단부의 폭을 제2 선포이라 할 때, 상기 제2 선포가 상기 제1 선포보다 크거나 같도록 형성할 수 있다.

[0024] 상기 제1 선포는 1.3 um 이하가 되도록 형성할 수 있다.

발명의 효과

[0025] 일 실시예에 따른 표시 장치 및 그 제조 방법에 의하면, 하부 오프닝의 내부를 무기막으로 채움으로써 상부 오프닝의 타겟 선포를 구현하고, 상하부 오프닝의 정확한 중첩을 가능하게 하여 한계 해상도를 구현할 수 있고, 화소가 차지하는 면적도 줄어든다. 또한, 무기막을 평탄화시킴으로 층간 단차를 완화시켜 후속 층의 안정성 및 직진성을 개선하여 공정 및 설계 상의 마진을 확보할 수 있다.

도면의 간단한 설명

[0026] 도 1은 일 실시예에 따른 표시 장치의 단면도이다.

도 2는 도 1의 실시예를 상부면에서 바라본 평면도이다.

도 3 내지 도 7은 도 1의 실시예에 따른 표시 장치를 제조하는 방법을 설명하기 위한 단면도이다.

도 8은 일 실시예에 따른 표시 장치의 단면도이다.

도 9는 일 실시예에 따른 표시 장치의 단면도이다.

도 10은 도 9의 실시예를 상부면에서 바라본 평면도이다.

도 11 내지 도 14는 도 2의 실시예에 따른 표시 장치를 제조하는 방법을 설명하기 위한 단면도이다.

도 15는 일 실시예에 따른 표시 장치의 단면도이다.

도 16은 도 15의 일부분의 확대 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0028] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.

[0030] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위

에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.

- [0031] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0032] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0033] 이하, 본 발명의 일 실시예를 첨부된 도면을 참조하여 구체적으로 설명한다.
- [0034] 이하, 도 1 및 도 2를 사용하여 일 실시예에 따른 오프닝 증첩부를 설명한다. 도 1은 일 실시예에 따른 표시 장치의 단면도이고, 도 2는 도 1의 실시예를 상부면에서 바라본 평면도이다.
- [0035] 도 1을 참조하면, 일 실시예에 따른 표시 장치는 기관(100), 반도체층(110), 게이트 절연막(120), 제1 내지 제3 무기 절연막(211, 212, 213), 제1 내지 제3 도전막(221, 222, 223)을 포함한다.
- [0036] 투명한 유리 또는 플라스틱으로 이루어진 절연성 기관(100) 위에 버퍼층(미도시)을 포함할 수도 있으며, 버퍼층은 기관(100)이 플라스틱일 때 형성될 수 있다.
- [0037] 기관(100) 위에 반도체층(110)이 위치할 수 있다. 반도체층(110)은 다결정 규소층(poly-Si) 또는 산화물 반도체층으로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), haf늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물 중 어느 하나를 포함할 수 있다. 반도체층(110)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층(미도시)이 추가될 수 있다.
- [0038] 또한, 반도체층(110)은 채널 영역 및 채널 영역을 사이에 두고 양 측에 n형 또는 p형 불순물로 도핑되어 있는 소스 영역과 드레인 영역을 포함할 수도 있다.
- [0039] 반도체층(110) 위에는 게이트 절연막(120)이 위치할 수 있다. 게이트 절연막(120)은 질화규소(SiNx) 또는 산화규소(SiOx) 따위의 무기 절연 물질 등을 포함할 수 있다. 절연막은 서로 다른 물질을 포함하는 적어도 두 개의 절연막을 포함하는 다층막 구조를 가질 수도 있다. 상기 절연막은 게이트 전극을 보호하는 게이트 절연막일 수도 있고, 상기 절연막 위에 게이트 전극이 형성될 수도 있다.
- [0040] 게이트 절연막(120) 위에는 제1 무기 절연막(211)이 위치할 수 있다. 그리고, 게이트 절연막(120) 및 제1 무기 절연막(211)에는 반도체층(110)의 일부를 노출시키는 제1 오프닝(301)이 형성되어 있다. 제1 오프닝(301)은 하단부가 상단부보다 좁을 수 있다. 이때, 단면도 상 나타나는 제1 오프닝(301)의 하단부의 폭을 제1 선포(x1)이라 한다. 즉, 제1 오프닝(301)은 반도체층(110)을 제1 선포(x1)만큼 노출시킬 수 있다. 제1 선포(x1)은 한계 해상도를 구현할 수 있는 미세한 사이즈이다. 제1 선포(x1)은 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다. 실시예에 따라서는 게이트 절연막(120)과 제1 무기 절연막(211)이 하나의 층으로 형성될 수도 있다.
- [0041] 제1 무기 절연막(211) 위에는 제1 도전막(221)이 위치할 수 있다. 제1 도전막(221)은 제1 오프닝(301)을 통해 반도체층(110)과 접촉할 수 있다. 제1 도전막(221)은 일 실시예에 따른 표시 장치의 화소를 구동하기 위한 신호를 전달하는 회로의 구성요소일 수 있으며, 일 예로 데이터 신호를 전달하는 데이터선 또는 데이터 전극일 수 있다.
- [0042] 이때, 제1 도전막(221)은 제1 오프닝(301)의 측면 및 하단면에 형성될 수 있다. 제1 도전막(221)은 제1 무기 절연막(211) 상부에 배치되어 있는 제1 부분(221a)과 제1 오프닝(301)을 둘러싸도록 배치되어 있는 제2 부분(221b)을 포함할 수 있다.
- [0043] 제1 무기 절연막(211) 위 및 제1 도전막(221)의 내부에는 제2 무기 절연막(212)이 위치할 수 있다. 제2 무기 절연막(212)은 제1 도전막(221)의 위를 채우는 필링부(212a)를 포함할 수 있다. 필링부(212a)는 제1 도전막(221)의 제2 부분(221b)이 배치된 제1 오프닝(301)의 내부를 채우도록 형성될 수 있다. 이때, 제2 무기 절연막(212)의 상부면은 제1 도전막(221)의 제1 부분(221a)의 상부면과 일치하도록 평탄화 공정(Chemical-Mechanical Planarization; CMP)을 통해 평탄화될 수 있다. 즉, 제2 무기 절연막(212)은 무기 물질로 형성되어 평탄화 공정이 없는 경우에는 제2 무기 절연막(212)의 상부면의 높이가 일정하지 않게 되는데, 그 후에 증착되는 배선이 일정하지 못하게 정렬되는 문제가 있다. 하지만, 평탄화 공정을 통하면, 배선의 정렬이 일정하게 되어, 배선 자체

가 차지하는 공간을 줄일 수 있다.

- [0044] 제2 무기 절연막(212) 및 제1 도전막(221)의 제1 부분(221a) 위에 제2 도전막(222)이 위치할 수 있다. 제2 도전막(222)은 제2 무기 절연막(212)의 필딩부(212a) 및 제1 도전막(221)의 제1 부분(221a)을 덮도록 형성될 수 있다. 제2 도전막(222)은 제1 도전막(221)과 달리 단차 없이 높이가 일정한 구조를 가질 수 있다. 이는 제2 무기 절연막(212)의 상부면을 평탄화시켰기 때문이다.
- [0045] 제2 도전막(222) 및 제2 도전막(222)에 의하여 노출되어 있는 제2 무기 절연막(212) 위에는 제3 무기 절연막(213)이 위치할 수 있다. 그리고, 제3 무기 절연막(213)에는 제2 도전막(222)의 일부를 노출시키는 제2 오프닝(302)이 형성되어 있다. 제2 오프닝(302)은 제1 오프닝(301)과 마찬가지로 하단부가 상단부보다 좁을 수 있다. 이때, 단면도 상 나타나는 제2 오프닝(302)의 하단부의 폭을 제2 폭이라 한다. 즉, 제2 오프닝(302)은 제2 도전막(222)을 제2 선평(x2)만큼 노출시킬 수 있다. 제2 선평(x2)은 제1 선평(x1)보다 크거나 같을 수 있으며, 이는 한계 해상도를 구현하기 위한 제2 오프닝(302)의 타겟(target) 선평이다. 제2 선평(x2)은 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다.
- [0046] 이때, 제3 무기 절연막(213)의 상부면도 평탄화 공정을 통해 평탄화되어 층간 단차를 완화시킬 수 있다.
- [0047] 제3 무기 절연막(213) 위에는 제3 도전막(223)이 위치할 수 있다. 제3 도전막(223)은 제2 오프닝(302)을 통해 제2 도전막(222)과 접촉할 수 있다. 제3 도전막(223)은 일 실시예에 따른 표시 장치의 화소를 구동하기 위한 신호를 전달하는 회로의 구성요소일 수 있으며, 일 예로 데이터 신호를 전달하는 데이터선 또는 데이터 전극일 수 있다.
- [0048] 이때, 제3 도전막(223)은 제2 오프닝(302)의 측면 및 하단면에 형성될 수 있다. 제3 도전막(223)은 제3 무기 절연막(213) 상부에 배치되어 있는 제3 부분(223a)과 제2 오프닝(302)을 둘러싸도록 배치되어 있는 제4 부분(223b)을 포함할 수 있다.
- [0049] 본 실시예에 따르면, 제1 오프닝(301) 및 제2 오프닝(302)은 이들 사이에 제2 도전막(222)을 두고 상하로 중첩할 수 있다. 이때, 제1 오프닝(301) 및 제2 오프닝(302) 각각의 측면 및 하단면에 제1 도전막(221) 및 제3 도전막(223)이 형성되어 있다. 즉, 제3 도전막(223)은 제2 도전막(222)을 통해 제1 도전막(221)과 접촉하는 반도체층(110)과 전기적으로 연결될 수 있다.
- [0050] 제1 내지 제3 무기 절연막(211, 212, 213)은 질화규소(SiNx) 또는 산화규소(SiOx) 등의 무기 절연 물질을 포함할 수 있다.
- [0051] 오프닝 내부를 무기막이 아닌 유기막으로 채울 경우, 유기막은 유동성이 있기 때문에, 무기막처럼 표면이 깔끔하게 채워지기 어렵다. 또한 박막층의 증착 및 식각 등의 공정에서 높이 제어가 어려워 평탄화 또한 쉽지 않다. 따라서, 본 발명에서는 하부에 위치한 오프닝(본 실시예에서는 제1 오프닝(301)) 내부를 무기막으로 평탄하게 채워 상부 오프닝을 더 미세한 사이즈로 형성할 수 있도록 한다.
- [0052] 도 2를 참조하면, 제1 내지 제3 도전막(221, 222, 223) 간의 제1 접촉면(311)이 도시되어 있다.
- [0053] 제3 도전막(223)은 그 하부에 위치하는 제2 도전막(222)과 패쇄된 테두리 내 전체의 일정 면적이 접촉하는 면적 권택을 할 수 있다. 도 2에서는 제1 접촉면(311)을 이루는 제3 도전막(223)의 원주와 제1 도전막(221)의 원주가 일치하여 제1 및 제2 오프닝(301, 302)이 상하로 완전히 중첩하도록 도시되어 있다. 그러나, 제3 도전막(223)의 원주가 제1 도전막(221)의 원주보다 클 수도 있다. 또한, 본 실시예에서는 제1 접촉면(311)을 원형으로 도시하였으나, 이는 본 발명을 한정하지 않는다.
- [0054] 도시하지는 않았으나, 본 실시예에 따른 표시 장치는 전술한 제3 도전막(223) 위에 적층된 보호막(180), 격벽(350) 및 유기 발광 소자(organic light emitting diode; OLED)를 더 포함할 수 있다.
- [0055] 이하, 도 3 내지 도 7 및 도 1을 사용하여 일 실시예에 따른 표시 장치를 제조하는 방법을 순차적으로 설명한다. 도 3 내지 도 7은 도 1의 실시예에 따른 표시 장치를 제조하는 방법을 설명하기 위한 단면도이다.
- [0056] 먼저 도 3을 참조하면, 기판(100)을 준비하고 버퍼층(미도시)을 형성할 수 있다. 기판(100) 위에 반도체층(110)을 형성하고, 그 위에 게이트 절연막(120) 및 제1 무기 절연막(211)을 순차로 형성한다.
- [0057] 그리고, 패턴 마스크를 사용한 식각 공정을 통하여 게이트 절연막(120) 및 제1 무기 절연막(211)을 관통하고, 반도체층(110)의 일부를 노출시키도록 제1 오프닝(301)을 형성한다. 제1 오프닝(301)은 하단부가 상단부보다 좁을 수 있다. 단면도 상 나타나는 제1 오프닝(301)의 하단부의 폭을 제1 선평(x1)이라 할 때, 제1 선평(x1)은

1.5 μm 이하가 되도록 형성할 수 있다.

- [0058] 다음으로, 제1 무기 절연막(211)의 상부와 제1 오프닝(301)의 측면 및 하단면에 제1 도전막(221)을 형성한다. 제1 도전막(221)은 제1 무기 절연막(211)의 상부에 배치되어 있는 제1 부분(221a)과, 제1 오프닝(301)을 둘러싸도록 배치되어 있는 제2 부분(221b)을 포함한다. 제1 도전막(221)은 제1 오프닝(301)을 통하여 반도체층(110)에 직접 연결될 수 있다.
- [0059] 도 4를 참조하면, 제1 무기 절연막(211) 및 제1 도전막(221) 위에 제2 무기 절연막(212p)을 형성한다. 제2 무기 절연막(212p)은 제1 도전막(221)이 둘러싸는 제1 오프닝(301)의 내부, 즉, 제1 도전막(221)의 내부를 채우도록 형성한다. 이때, 제2 무기 절연막(212p)에는 오프닝의 굴곡을 따라 단차가 형성될 수 있다.
- [0060] 도 5를 참조하면, 도 4에서 형성한 제2 무기 절연막(212p)을 평탄화 공정을 통해 평탄화하여 필링부(212a)를 포함하는 제2 무기 절연막(212)을 완성한다. 필링부(212a)는 제1 도전막(221)의 내부에 채워진 부분이다. 즉, CMP(Chemical Mechanical Planarization)와 같은 평탄화 공정을 통하여 평탄화시 제1 도전막(221)으로 인하여 더 이상 진행되지 않으므로, 제1 도전막(221)의 높이에 맞추어진 필링부(212a)가 완성된다. 즉, 평탄화시킨 결과, 제2 무기 절연막(212)은 제1 도전막(221)의 제1 부분(221a)의 상부면과 제2 무기 절연막(212)의 상부면이 일치하도록 형성될 수 있다. 필링부(212a)는 제2 무기 절연막(212)과 동일한 재료로 형성되어 있다.
- [0061] 도 6을 참조하면, 제2 무기 절연막(212) 및 제1 도전막(221)의 제1 부분(221a) 위에 제2 도전막(222)을 형성한다. 제2 도전막(222)은 제2 무기 절연막(212)의 필링부(212a) 및 제1 도전막(221)의 제1 부분(221a)을 덮도록 형성될 수 있다.
- [0062] 이때, 제2 도전막(222)은 제2 무기 절연막(212)의 상부면을 평탄화시켰기 때문에 제1 도전막(221)과 달리 단차 없이 높이가 일정한 구조를 가질 수 있다.
- [0063] 또한, 제2 도전막(222)은 도 5의 단면도 상에서 제2 도전막(222)의 중심과 제1 오프닝(301)의 제1 선폭(x1)의 중심이 일직선(1) 상에 있도록 형성할 수 있다.
- [0064] 도 7을 참조하면, 제2 무기 절연막(212) 및 제2 도전막(222)을 덮도록 제3 무기 절연막(213)을 형성할 수 있다. 다음으로, 패턴 마스크를 사용한 식각 공정을 통하여 제3 무기 절연막(213)을 관통하고, 제2 도전막(222)의 일부를 노출시키도록 제2 오프닝(302)을 형성한다. 제2 오프닝(302)은 하단부가 상단부보다 좁을 수 있다.
- [0065] 이때, 단면도 상 나타나는 제2 오프닝(302)의 하단부의 폭을 제2 선폭(x2)이라 할 때, 제2 선폭(x2)은 1.5 μm 이하가 되도록 형성할 수 있다. 제2 선폭(x2)은 제1 선폭(x1)과 비교할 때, 크거나 같을 수 있다.
- [0066] 또한 제1 선폭(x1)의 중심, 제2 도전막(222)의 중심 및 제2 선폭(x2)의 중심이 일직선(1) 상에 있도록 형성할 수 있다. 즉, 상하부 오프닝, 본 실시예에서는 제1 및 제2 오프닝(301, 302)이 위아래로 정확히 중첩하도록 형성할 수 있다.
- [0067] 다음으로 다시 도 1을 참조하면, 제3 무기 절연막(213) 위에 제2 오프닝의 측면 및 하단면에 제3 도전막(223)을 형성한다. 제3 도전막(223)은 제3 무기 절연막(213) 상부에 배치되어 있는 제3 부분(223a)과, 제2 오프닝을 둘러싸도록 배치되어 있는 제4 부분(223b)을 포함한다. 제3 도전막(223)은 제2 오프닝(302)을 통하여 제2 도전막(222)에 직접 연결되어, 제2 도전막(222)을 통해 제1 도전막(221)과 접촉하는 반도체층(110)과 전기적으로 연결되도록 형성할 수 있다.
- [0068] 한편, 제3 무기 절연막(213)의 상부면을 평탄화 공정에 의해 평탄화시킴으로써 층간 단차를 완화시켜 전술한 오프닝 간의 중첩을 용이하게 하고, 후속층의 패턴의 안정성 및 기관(100)을 통과하는 빛의 안정성을 도모할 수 있다.
- [0069] 이하, 도 8을 사용하여 일 실시예에 따른 표시 장치를 설명한다. 도 8은 도 1의 실시예가 적용된 표시 장치의 단면도이다.
- [0070] 도 8의 실시예는 제2 게이트 절연막(122), 제1 게이트 전극(131), 유지 전극(132) 및 제2 유지 전극(224)의 구성이 추가되어 하부에 위치하는 제1 오프닝(301)이 형성되는 위치에 차이점이 있다. 이하에서는, 도 1과 차이가 있는 특징부 및 도 1에서 추가된 부분을 위주로 설명한다. 설명이 생략된 부분은 전술한 일 실시예에 따르며, 동일한 구성요소 및 방법에 대하여는 동일한 도면 부호를 사용하여 설명한다.
- [0071] 도 8을 참조하면, 일 실시예에 따른 표시 장치는 기관(100), 제1 및 제2 게이트 절연막(121, 122), 반도체층(110), 제1 내지 제3 무기 절연막(211, 212, 213) 및 제1 내지 제4 도전막(221, 222, 223, 224)을 포함할 수

있다.

- [0072] 절연성 기판(100) 위에 반도체층(110)이 위치할 수 있다. 도시하지는 않았으나, 반도체층(110)은 채널 영역 및 채널 영역을 사이에 두고 양 측에 소스 영역과 드레인 영역을 포함할 수 있다.
- [0073] 반도체층(110) 위에 제1 게이트 절연막(121)이 위치할 수 있고, 그 위에는 제1 게이트 전극(131)이 위치할 수 있다. 제1 게이트 전극(131)은 반도체층(110)의 채널 영역과 중첩할 수 있다.
- [0074] 제1 게이트 전극(131) 위에는 제1 게이트 전극(131)을 보호하는 제2 게이트 절연막(122)이 위치할 수 있다.
- [0075] 제2 게이트 절연막(122) 위에는 유지 전극(132)이 위치할 수 있다. 유지 전극(132)은 제1 게이트 전극(131)과의 사이에 제2 게이트 절연막(122)을 두고 전기적으로 절연될 수 있다. 유지 전극(132)을 형성할 때, 형성 위치에 따라 단차가 생길 수 있으므로 도 8의 단면도에서처럼 유지 전극(132)이 제1 게이트 전극(131)과 접촉하는 것처럼 보일 수도 있다.
- [0076] 유지 전극(132) 위에는 제1 무기 절연막(211)이 위치할 수 있다.
- [0077] 제1 게이트 절연막(121), 제2 게이트 절연막(122) 및 제1 무기 절연막(211)에는 반도체층(110)의 일부를 노출시키는 제1 오프닝(301)이 형성되어 있다. 제1 오프닝(301)은 하단부에서 제1 선편(x1)을 가지므로, 제1 오프닝(301)은 반도체층(110)을 제1 선편(x1)만큼 노출시킬 수 있다. 이때, 제1 선편(x1)은 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다.
- [0078] 또한, 제2 게이트 절연막(122) 및 제1 무기 절연막(211)을 관통하는 제1a 오프닝(301a)이 형성될 수도 있다. 이때, 제1a 오프닝(301a)은 하단부에서 제1 게이트 전극(131)의 일부분을 노출시킬 수 있다.
- [0079] 그러나, 제1 오프닝 및 제1a 오프닝(301, 301a)이 노출시키는 구성 요소는 반도체층(110) 또는 제1 게이트 전극(131)에 한정되지 않는다.
- [0080] 제1 무기 절연막(211) 위에 제1 도전막(221)이 위치할 수 있다. 제1 도전막(221)은 제1 오프닝(301)의 측면 및 하단면에 형성될 수 있다. 제1 도전막(221)은 제1 무기 절연막(211) 상부에 배치되어 있는 제1 부분(221a)과 제1 오프닝을 둘러싸도록 배치되어 있는 제2 부분(221b)을 포함할 수 있다.
- [0081] 제1 무기 절연막(211) 위 및 제1 도전막(221)의 내부에는 제2 무기 절연막(212)이 위치할 수 있다. 제2 무기 절연막(212)은 제1 도전막(221)의 위를 채우는 필링부(212a)를 포함할 수 있다. 필링부(212a)는 제1 도전막(221)의 제2 부분(221b)이 배치된 제1 및 제1a 오프닝의 내부를 채우도록 형성될 수 있다.
- [0082] 이때, 제2 무기 절연막(212)의 상부면은 제1 도전막(221)의 제1 부분(221a)의 상부면과 일치하도록 평탄화 공정을 통해 평탄화될 수 있다.
- [0083] 제2 무기 절연막(212) 및 제1 도전막(221)의 제1 부분(221a) 위에 제2 도전막(222)이 위치할 수 있다. 제2 도전막(222)은 제2 무기 절연막(212)의 필링부(212a) 및 제1 도전막(221)의 제1 부분(221a)을 덮도록 형성될 수 있다. 이때, 제2 도전막(222)은 제2 무기 절연막(212)의 상부면을 평탄화시켰기 때문에 제1 도전막(221)과 달리 단차 없이 높이가 일정한 구조를 가질 수 있다.
- [0084] 한편, 제2 무기 절연막(212) 위에 제2 유지 전극(224)이 위치할 수 있다. 제2 유지 전극(224)은 일 실시예에 따른 표시 장치의 화소를 구동하기 위한 신호를 전달하는 회로의 구성요소일 수 있으며, 일 예로 데이터 신호를 전달하는 데이터선 또는 데이터 전극일 수 있다.
- [0085] 제2 도전막(222), 제2 도전막(222)에 의하여 노출되어 있는 제2 무기 절연막(212) 및 제2 유지 전극(224) 위에는 제3 무기 절연막(213)이 위치할 수 있다. 그리고, 제3 무기 절연막(213)에는 제2 도전막(222)의 일부를 노출시키는 제2 오프닝(302)이 형성되어 있다. 제2 오프닝(302)은 하단부에서 제2 선편(x2)을 가지므로, 제2 오프닝(302)은 제2 도전막(222)을 제2 선편(x2)만큼 노출시킬 수 있다. 이때, 제2 선편(x2)은 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다.
- [0086] 이때, 제3 무기 절연막(213)의 상부면은 평탄화 공정을 통해 평탄화되어 층간 단차를 완화시킬 수 있다.
- [0087] 평탄화된 제3 무기 절연막(213) 위에는 제3 도전막(223)이 위치할 수 있다. 제3 도전막(223)은 제2 오프닝(302)을 통해 제2 도전막(222)과 접촉할 수 있다.
- [0088] 이때, 제3 도전막(223)은 제2 오프닝(302)의 측면 및 하단면에 형성될 수 있다. 제3 도전막(223)은 제3 무기 절연막(213) 상부에 배치되어 있는 제3 부분(223a)과 제2 오프닝을 둘러싸도록 배치되어 있는 제4 부분(223b)을

포함할 수 있다.

- [0089] 본 실시예에 따르면, 제1 오프닝(301) 및 제2 오프닝(302)은 이들 사이에 제2 도전막(222)을 두고 상하로 중첩할 수 있다. 이때, 제1 오프닝(301) 및 제2 오프닝(302) 각각의 측면 및 하단면에 제1 도전막(221) 및 제3 도전막(223)이 형성되어 있다. 즉, 제3 도전막(223)은 제2 도전막(222)을 통해 제1 도전막(221)과 접촉하는 반도체층(110)과 전기적으로 연결될 수 있다.
- [0090] 또는, 제3 도전막(223)은 제2 도전막(222)을 통해 제1 도전막(221)과 접촉하는 제1 게이트 전극(131)과 전기적으로 연결될 수 있다.
- [0091] 도시하지는 않았으나, 본 실시예에 따른 표시 장치는 전술한 제3 도전막(223) 위에 적층된 보호막, 격벽 및 유기 발광 소자(OLED)를 더 포함할 수 있다.
- [0092] 표시 장치의 패턴을 형성하는 공정에서 상하로 적층되는 여러 패턴들의 정렬(align)이 중요하다. 특히, 해상도를 높이기 위해서는 일정 면적 내에서 패턴의 밀집도가 증가하여 하나의 화소의 크기의 감소를 수반하게 된다. 이때, 한계 해상력을 구현하기 위한 타겟 선폭을 가지는 오프닝들이 서로 중첩되도록 형성되는 것이 필요하다. 그런데 미세한 사이즈의 오프닝을 중첩시킬 때, 상기 타겟 선폭을 구현하기 어려운 문제가 발생할 수 있다.
- [0093] 이에 본 발명의 일 실시예에서는, 제2 무기 절연막(212)이 제1 오프닝(301)의 내부를 채움으로써, 제1 오프닝(301) 위에 제2 도전막(222) 및 제2 오프닝(302)을 용이하게 중첩할 수 있다. 제1 및 제2 오프닝(301, 302)이 중첩하여 형성될 경우, 오프닝들이 서로 중첩하지 않는 구조에 비해, 오프닝에 의해 영상이 표시되지 않는 비개구부의 영역을 최소화하여 개구율을 향상시킬 수 있다. 이에 따라, 하나의 화소의 크기가 상대적으로 작은 고해상도 표시 장치를 구현할 수 있다.
- [0094] 구체적으로는, 제2 도전막(222)의 중심과 제1 선폭(x1)의 중심이 일직선(1) 상에 있도록 정렬될 수 있다. 이에 따라, 제2 도전막(222) 위에 형성되는 제2 오프닝(302) 또한, 제2 선폭(x2)의 중심과 제1 선폭(x1)의 중심이 일직선(1) 상에 있도록 정렬될 수 있다. 즉, 기판(100) 위에 패턴을 형성할 때 오프닝이 중첩되는 정렬을 용이하게 하고, 제2 오프닝(302)의 측면 및 하단면에 제3 도전막(223) 또한 안정적으로 형성할 수 있다.
- [0095] 또한, 제1 오프닝(301)의 제1 선폭(x1)은 제2 오프닝(302)의 제2 선폭(x2)보다 작거나 같고, 제1 및 제2 선폭(x1, x2)은 한계 해상도를 구현하기 위한 사이즈로 1.3 μm 이하일 수 있으므로, 오프닝에 의해 영상이 표시되지 않는 비개구부의 영역을 최소화할 수 있다.
- [0096] 한편, 제2 무기 절연막(212)이 제1 오프닝(301)의 내부를 채울 뿐만 아니라 제2 무기 절연막(212)이 평탄화되어 층간 단차를 완화시킬 수 있으므로, 평탄화되지 않는 구조에 비해 제2 도전막(222)이 제2 무기 절연막(212) 및 제1 도전막(221) 위에 평탄하게 형성될 수 있다. 이에 따라, 제3 도전막(223)이 제1 오프닝(301)과 중첩하는 제2 오프닝(302)을 통해 제2 도전막(222)과 접촉하는 면적을 확보할 수 있다. 즉 제1 접촉면의 면적을 넓혀 효과적인 신호의 전달을 도모할 수 있다.
- [0097] 또한, 평탄화 공정을 통해서 층간 단차를 완화시킴으로써 고해상도 표시 장치에서 복수의 박막층이 중첩될 때 후속 층의 패턴의 안정성 및 공정 산포의 균일성을 도모할 수 있을 뿐만 아니라, 기판(100)을 통과하는 빛의 직진성 또한 향상시킬 수 있다.
- [0098] 이하에서는, 도 9 및 도 10을 사용하여 일 실시예에 따른 오프닝 중첩부를 설명한다. 도 9는 일 실시예에 따른 표시 장치의 단면도이고, 도 1은 도 9의 실시예를 상부면에서 바라본 평면도이다.
- [0099] 이하, 전술한 일 실시예와 구별되는 특징적인 부분을 위주로 설명하며, 설명이 생략된 부분은 전술한 일 실시예에 따른다. 그리고, 설명의 편의를 위하여 동일한 구성요소 및 방법에 대하여는 전술한 일 실시예와 동일한 도면 부호를 사용하여 설명한다.
- [0100] 도 9를 참조하면, 일 실시예에 따른 표시 장치는 기판(100), 반도체층(110), 게이트 절연막(120), 제1 무기 절연막(211), 제2 무기 절연막(212'), 제1 도전막(221) 및 제2 도전막(222')을 포함한다.
- [0101] 절연성 기판(100) 위에 반도체층(110)이 위치할 수 있다. 반도체층(110) 위에 절연막이 위치할 수 있고, 그 위에 제1 무기 절연막(211)이 위치할 수 있다.
- [0102] 게이트 절연막(120) 및 제1 무기 절연막(211)에는 반도체층(110)의 일부를 노출시키는 제1 오프닝(301)이 형성되어 있다. 제1 오프닝(301)은 하단부가 상단부보다 좁을 수 있으며, 상기 하단부의 폭을 제1 선폭(x1)이라 한다. 즉, 제1 오프닝(301)은 반도체층(110)을 제1 선폭(x1)만큼 노출시킬 수 있다. 제1 선폭(x1)은 한계 해상도

를 구현할 수 있는 미세한 사이즈로, 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다. 실시예에 따라서는 게이트 절연막(120)과 제1 무기 절연막(211)이 하나의 층으로 형성될 수도 있다.

- [0103] 제1 무기 절연막(211) 위에는 제1 도전막(221)이 위치할 수 있다. 제1 도전막(221)은 제1 오프닝(301)을 통해 반도체층(110)과 접촉할 수 있다. 이때, 제1 도전막(221)은 제1 오프닝(301)의 측면 및 하단면에 형성될 수 있다. 제1 도전막(221)은 제1 무기 절연막(211) 상부에 배치되어 있는 제1 부분(221a), 제1 오프닝(301)을 둘러싸도록 배치되어 있는 제2 부분(221b) 및 제1 부분(221a)과 제2 부분(221b)이 이어지는 연결부인 제3 부분(223a)을 포함할 수 있다.
- [0104] 제1 도전막(221) 위, 제1 도전막(221)에 의하여 노출되어 있는 제1 무기 절연막(211) 위 및 제1 도전막(221)의 내부에는 제2 무기 절연막(212')이 위치할 수 있다. 제2 무기 절연막(212')은 제1 도전막(221)의 위를 채우는 필링부(212a')를 포함할 수 있다. 필링부는 제1 도전막(221)의 제2 부분(221b)이 배치된 제1 오프닝(301)의 내부를 채우도록 형성될 수 있다. 이때, 제2 무기 절연막(212')의 상부면 및 필링부(212a')의 상부면은 평탄화 공정을 통해 평탄화될 수 있다. 즉, 제2 무기 절연막(212')은 무기 물질로 형성되어 평탄화 공정이 없는 경우에는 제2 무기 절연막(212')의 상부면의 높이가 일정하지 않게 되는데, 그 후에 증착되는 배선이 일정하지 못하게 정렬되는 문제가 있다. 하지만, 평탄화 공정을 통하면, 배선의 정렬이 일정하게 되어, 배선 자체가 차지하는 공간을 줄일 수 있다.
- [0105] 제2 무기 절연막(212')에는 제1 도전막(221)의 제3 부분(223a)을 노출시키는 제2 오프닝(302')이 형성되어 있다. 제2 오프닝(302')은 제1 오프닝(301)과 마찬가지로 하단부가 상단부보다 좁을 수 있으며, 상기 하단부의 폭을 제2 선포(x2')이라 한다. 제2 선포(x2')은 제1 선포(x1)보다 크거나 같을 수 있으며, 이는 한계 해상도를 구현하기 위한 제2 오프닝(302')의 타겟 선포이다. 제2 선포(x2')은 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다.
- [0106] 제2 무기 절연막(212') 위에 제2 도전막(222')이 위치할 수 있다. 제2 도전막(222')은 제2 무기 절연막(212')의 필링부(212a')를 덮고, 제1 도전막(221)의 제3 부분(223a)과 접촉하도록 형성될 수 있다. 제2 도전막(222')은 제2 오프닝(302')을 통해 제1 도전막(221)과 접촉할 수 있다. 이때, 제1 도전막(221)의 제3 부분(221c)을 노출시키도록 제2 오프닝(302')을 형성하는 과정에서, 제2 무기 절연막(212')을 평탄화시켜 단차를 완화시켰기 때문에 주변의 무기 절연막(211, 212')의 손상을 방지할 수 있다.
- [0107] 제2 도전막(222')은 일 실시예에 따른 표시 장치의 화소를 구동하기 위한 신호를 전달하는 회로의 구성요소일 수 있으며, 일 예로 데이터 신호를 전달하는 데이터선 또는 데이터 전극일 수 있다.
- [0108] 이때, 제2 도전막(222')은 제2 오프닝(302')의 측면 및 하단면에 형성될 수 있다. 제2 도전막(222')은 제2 무기 절연막(212') 상부에 배치되어 있는 제5 부분(222a')과 제2 오프닝(302')을 둘러싸도록 배치되어 있는 제6 부분(222b')을 포함할 수 있다.
- [0109] 본 실시예에 따르면, 제1 오프닝(301) 및 제2 오프닝(302')은 상하로 중첩할 수 있다. 이때, 제1 오프닝(301) 및 제2 오프닝(302') 각각의 측면 및 하단면에 제1 도전막(221) 및 제2 도전막(222')이 형성되어 있다. 즉, 제2 도전막(222')은 제2 오프닝(302')을 통하여 제1 도전막(221)의 일부분(본 실시예에서는 제3 부분(223a))과 접촉함으로써 제1 도전막(221)과 접촉하는 반도체층(110)과 전기적으로 연결될 수 있다.
- [0110] 도 10을 참조하면, 제1 도전막(221), 제2 도전막(222') 및 제2 무기 절연막(212')의 필링부(212a') 간의 제2 접촉면(312)이 도시되어 있다.
- [0111] 제2 도전막(222')은 그 하부에 배치되어 있는 제1 도전막(221)과, 일정 면적의 가장자리 부분만 접촉하는 링(ring) 접촉을 할 수 있다. 구체적으로는, 제1 도전막(221)이 배치되어 있고, 제1 오프닝(301)의 원주와 제2 오프닝(302')의 원주가 일치하여 제1 및 제2 오프닝(301, 302')이 상하로 완전히 중첩하도록 도시되어 있다. 그리고, 제2 무기 절연막(212)의 필링부(212a')의 원주가 상기 오프닝들의 원주 내부에 위치할 수 있다. 따라서, 제2 도전막(222') 및 제1 도전막(221)은 필링부(212a')가 차지하는 면적을 제외한 면적만큼 고리 형태의 링 접촉을 할 수 있다.
- [0112] 본 실시예에서는 링 접촉을 하는 제2 접촉면(312)의 테두리를 원형으로 도시하였으나, 이는 본 발명을 한정하지 않는다.
- [0113] 도시하지는 않았으나, 본 실시예에 따른 표시 장치는 전술한 제2 도전막(222') 위에 적층된 보호막, 격벽 및 유기 발광 소자를 더 포함할 수 있다.

- [0114] 이하에서는, 도 1의 실시예와 도 9의 실시예를 비교하여 설명한다.
- [0115] 먼저 도 1에서, 제1 오프닝(301)을 채우고 있는 제2 무기 절연막(212)과 제2 오프닝(302)이 관통하는 제3 무기 절연막(213)은 서로 다른 층으로 형성될 수 있다. 즉, 제3 무기 절연막(213)은 제2 무기 절연막(212)과는 다른 물질로 이루어질 수 있다. 이 때, 제3 무기 절연막(213)은 제1 무기 절연막(211)과는 같은 물질로 이루어질 수도 있다.
- [0116] 이와 비교하여 도 9에서는, 제1 오프닝(301)을 채우고 있는 무기 절연막과 제2 오프닝(302')이 관통하는 무기 절연막은 제2 무기 절연막(212')으로서, 서로 같은 층으로 형성될 수 있다.
- [0117] 또한 도 1의 실시예에 따르면, 제1 도전막(221)과 제3 도전막(223) 사이에 제2 도전막(222)이 더 배치되어 있다. 하부의 제1 오프닝(301)을 평탄하게 채운 무기막 위에 제2 도전막(222)이 위치하여 제2 도전막(222)이 없는 경우보다 상하부 오프닝의 정렬(align) 및 패턴들의 오버레이(overlay)에 더 유리할 수 있다.
- [0118] 즉, 기판(100) 상에 복수의 박막층 패턴을 형성할 때, 마스크의 오정렬로 인하여 접촉 면적이 감소할 수 있다. 이 경우에, 링 컨택보다 면적 컨택을 하는 도 1의 실시예가 유리할 수 있다.
- [0119] 이하, 도3, 도 4, 도 11 내지 도 14 및 도 9를 사용하여 일 실시예에 따른 표시 장치를 제조하는 방법을 순차적으로 설명한다. 도 11 내지 도 14는 도 9의 실시예에 따른 표시 장치를 제조하는 방법을 설명하기 위한 단면도이다.
- [0120] 이하, 전술한 도 3 내지 도 7의 실시예와 구별되는 특징적인 부분을 위주로 설명하며, 설명이 생략된 부분은 전술한 일 실시예에 따른다. 그리고, 설명의 편의를 위하여 동일한 구성요소 및 방법에 대하여는 전술한 일 실시예와 동일한 도면 부호를 사용하여 설명한다.
- [0121] 도 11의 이전 단계는 도 3 및 도 4의 실시예의 내용과 동일하게 적용될 수 있다.
- [0122] 먼저 도 11을 참조하면, 도 4에서 형성한 제2 무기 절연막(212p)을 평탄화 공정을 통해 평탄화하여 단차가 완화된 제2 무기 절연막(212')를 형성할 수 있다. 본 실시예에서는 전술한 일 실시예의 도 5와 다르게, 제1 도전막(221)의 제1 부분(221a) 위로 제2 무기 절연막(212p)의 일부가 남아 있도록 평탄화될 수 있다. 그러나, 제2 무기 절연막(212')은 제1 도전막(221)의 제1 부분(221a)의 상부면과 제2 무기 절연막(212')의 상부면이 일치하도록 형성될 수도 있다.
- [0123] 제2 무기 절연막(212')을 평탄화시켜 단차를 완화함으로써 도 13에서 제1 도전막(221)의 제3 부분(221c)을 노출시키도록 제2 오프닝(302')을 형성하는 과정에서 주변의 무기 절연막(211, 212')의 손상을 방지할 수 있다.
- [0124] 도 12를 참조하면, 제2 무기 절연막(212') 위에 감광막(photo resist; PR)을 도포할 수 있다. 감광막 위에 패턴 마스크를 위치시킨 후 노광시켜 도 13에 도시된 바와 같이 제2 무기 절연막(212')을 관통하는 제2 오프닝(302') 패턴을 형성할 수 있다.
- [0125] 이때, 감광막(PR)은 노광된 부분이 현상액에 의해 제거되는 양성(positive)이거나, 노광되지 않은 부분이 현상액에 의해 제거되는 음성(negative)일 수 있다. 이하, 감광막(PR)이 양성임을 예시로 설명한다.
- [0126] 도 13을 참조하면, 감광막(PR)을 패턴 마스크로 사용하여 제2 무기 절연막(212')을 노광시킨 후, 현상액으로 감광막(PR)의 노광된 부분을 제거할 수 있다.
- [0127] 다음으로, 제2 무기 절연막(212')을 관통하고, 제1 도전막(221)의 제3 부분(223a)을 노출시키도록 제2 무기 절연막(212')을 식각(etching)하여 제2 오프닝(302')을 형성한다. 제2 오프닝(302')은 하단부가 상단부보다 좁을 수 있다. 이때, 제2 오프닝(302')을 형성하는 과정에서 필링부(212a')를 포함하는 제2 무기 절연막(212')을 완성한다. 필링부(212a')는 제1 도전막(221)의 내부에 채워진 부분이다. 평탄화 시킨 결과, 필링부(212a')의 상부면은 제1 무기 절연막(211)의 상부면과 일치할 수 있다. 필링부(212a')는 제2 무기 절연막(212')과 동일한 재료로 형성되어 있다.
- [0128] 이때, 단면도 상 나타나는 제2 오프닝(302')의 하단부의 폭을 제2 선포(x2')이라 할 때, 제2 선포(x2')은 1.5 μm 이하가 되도록 형성할 수 있다. 제2 선포(x2')은 제1 오프닝(301)의 제1 선포(x1)과 비교할 때, 크거나 같을 수 있다.
- [0129] 또한 제1 선포(x1)의 중심 및 제2 선포(x2')의 중심이 일직선(1) 상에 있도록 형성할 수 있다. 즉, 상하부 오프닝, 본 실시예에서는 제1 및 제2 오프닝(301, 302')이 위아래로 정확히 중첩하도록 형성할 수 있다.

- [0130] 다음으로 다시 도 9를 참조하면, 제2 무기 절연막(212') 위에 제2 오프닝(302')의 측면 및 하단면에 제2 도전막(222')을 형성한다. 제2 도전막(222')은 제2 무기 절연막(212') 상부에 배치되어 있는 제5 부분(222a')과, 제2 오프닝(302')을 둘러싸도록 배치되어 있는 제6 부분(222b')을 포함한다. 제2 도전막(222')은 제2 오프닝(302')을 통하여 제1 도전막(221)의 제3 부분(223a)에 직접 연결되어, 제1 도전막(221)과 접촉하는 반도체층(110)과 전기적으로 연결되도록 형성할 수 있다.
- [0131] 한편, 제2 무기 절연막(212')의 상부면을 평탄화 공정에 의해 평탄화시킴으로써 층간 단차를 완화시켜 전술한 오프닝 간의 중첩을 용이하게 하고, 후속층의 패턴의 안정성 및 기관(100)을 통과하는 빛의 안정성을 도모할 수 있다.
- [0132] 이하, 도 14를 사용하여 일 실시예에 따른 표시 장치를 설명한다. 도 14는 도 9의 실시예가 적용된 표시 장치의 단면도이다.
- [0133] 도 14의 실시예는 도 8의 실시예에서 도 1의 오프닝 중첩부 대신 도 9의 오프닝 중첩부가 적용된 것으로서, 설명이 생략된 부분은 전술한 일 실시예에 따르며, 동일한 구성요소 및 방법에 대하여는 동일한 도면 부호를 사용하여 설명한다.
- [0134] 도 14를 참조하면, 일 실시예에 따른 표시 장치는 기관(100), 제1 및 제2 절연막(121, 122), 반도체층(110), 제1, 제2, 제3 무기 절연막(211, 212', 213), 제1, 제2, 제3 및 제4 도전막(221, 222', 223, 224)을 포함할 수 있다.
- [0135] 제1 무기 절연막(211) 및 제1 도전막(221) 위에는 제2 무기 절연막(212')이 위치할 수 있다. 제2 무기 절연막(212')은 제1 도전막(221)의 위를 채우는 필링부(212a')를 포함할 수 있다. 필링부(212a')는 제1 도전막(221)의 제2 부분(221b)이 배치된 제1 및 제1a 오프닝(301, 301a)의 내부를 채우도록 형성될 수 있다.
- [0136] 이때, 제2 무기 절연막(212')의 상부면은 단차가 완화되도록 평탄화 공정을 통해 평탄화될 수 있다.
- [0137] 제2 무기 절연막(212') 위에 제2 유지 전극(224)이 위치할 수 있다. 제2 유지 전극(224)이 배치되어 있는 제2 무기 절연막(212') 위에 제3 게이트 절연막(123)이 위치할 수 있다.
- [0138] 제2 무기 절연막(212') 및 제3 게이트 절연막(123)에는 제1 도전막(221)의 일부(제3 부분(223a))를 노출시키는 제2 오프닝(302')이 형성되어 있다. 제2 오프닝(302')은 하단부에서 제2 선편(x2')을 가지므로, 제2 오프닝(302')은 제1 도전막(221)을 제2 선편(x2')만큼 노출시킬 수 있다. 이때, 제2 선편(x2')은 1.5 μm 이하일 수 있고, 일 예로는 1.3 μm 이하일 수 있다.
- [0139] 또한, 제3 게이트 절연막(123)에는 제1 도전막(221)의 일부를 노출시키는 제2 오프닝(302')이 형성되어 있다.
- [0140] 이때, 제3 게이트 절연막(123)의 상부면은 평탄화 공정을 통해 평탄화되어 층간 단차를 완화시킬 수 있다.
- [0141] 평탄화된 제3 게이트 절연막(123) 위에는 제2 도전막(222')이 위치할 수 있다. 제2 도전막(222')은 제2 오프닝(302')을 통해 제1 도전막(221)과 접촉할 수 있다. 이때, 제2 도전막(222')은 제2 오프닝(302')의 측면 및 하단면에 형성될 수 있다. 제2 도전막(222')은 제3 게이트 절연막(123) 상부에 배치되어 있는 제5 부분(222a')과 제2 오프닝(302')을 둘러싸도록 배치되어 있는 제6 부분(222b')을 포함할 수 있다.
- [0142] 본 실시예에 따르면, 제1 오프닝(301) 및 제2 오프닝(302')은 상하로 중첩할 수 있다. 이때, 제1 오프닝(301) 및 제2 오프닝(302') 각각의 측면 및 하단면에 제1 도전막(221) 및 제2 도전막(222')이 형성되어 있다. 즉, 제2 도전막(222')은 제2 오프닝(302')을 통하여 제1 도전막(221)의 제3 부분(223a)과 접촉함으로써 제1 도전막(221)과 접촉하는 반도체층(110) 또는 제1 게이트 전극(131)과 전기적으로 연결될 수 있다.
- [0143] 도시하지는 않았으나, 본 실시예에 따른 표시 장치는 전술한 제2 도전막(222') 위에 적층된 보호막, 격벽 및 유기 발광 소자를 더 포함할 수 있다.
- [0144] 이하, 도 15 및 도 16을 사용하여 일 실시예에 따른 표시 장치를 설명한다. 도 15는 일 실시예에 따른 표시 장치의 단면도이고, 도 16은 도 15의 일부분의 확대 단면도이다.
- [0145] 도 15는 도 1의 실시예가 적용된 표시 장치의 단면도이다. 도 15의 실시예는 도 8과 비교할 때, 제2 반도체층(112a, 112b), 제2 게이트 전극(133a, 133b), 제4 도전막(225), 제4 게이트 절연막(124), 보호막(180) 및 격벽(350)을 더 포함한다.
- [0146] 이하에서는, 도 1 및 도 8과 차이가 있는 특징부 및 추가된 부분을 위주로 설명한다. 설명이 생략된 부분은 전

술한 일 실시예에 따르며, 동일한 구성요소 및 방법에 대하여는 동일한 도면 부호를 사용하여 설명한다.

- [0147] 도 15를 참조하면, 일 실시예에 따른 표시 장치는 기관(100), 제1 내지 제4 게이트 절연막(121, 122, 123, 124), 제1 및 제2 반도체층(111, 112), 제1 내지 제3 무기 절연막(211, 212, 213), 제1 내지 제4 도전막(221, 222, 223, 225), 보호막(180) 및 격벽(350)을 포함할 수 있다.
- [0148] 절연성 기관(100) 위에 제1 반도체층(111)이 위치한다. 제1 반도체층(111)은 채널 영역(111c) 및 채널 영역(111c)을 사이에 두고 양 측에 소스 영역(111s)과 드레인 영역(111d)을 포함할 수 있다. 제1 반도체층(111)은 다결정 반도체로 형성될 수 있으며, 일부 영역은 도핑되어 도체화되어 있을 수 있다.
- [0149] 제1 반도체층(111) 위에 제1 게이트 절연막(121)이 위치할 수 있고, 그 위에는 제1 게이트 전극(131)을 포함하는 게이트선(미도시)이 일방향으로 연장되어 위치할 수 있다. 제1 게이트 전극(131)은 제1 반도체층(111)의 채널 영역(111c)과 중첩하고 있다. 도 15에서 도시하고 있는 제1 반도체층(111)과 제1 게이트 전극(131)은 화소의 구동 트랜지스터일 수 있다. 도 15에서는 제1 반도체층(111)의 소스 영역(111s)과 드레인 영역(111d)에 각각 깊은 컨택홀 구조를 통하여 다른 층과 연결된 구조를 가진다. 또한, 구동 트랜지스터가 연결되는 단자는 실시예에 따라서 다양하게 변경될 수 있다.
- [0150] 제1 게이트 전극(131) 위에는 제1 게이트 전극(131)을 보호하는 제2 게이트 절연막(122)이 위치할 수 있다. 제2 게이트 절연막(122) 위에는 유지 전극(132)이 위치할 수 있다. 이때, 유지 전극(132)에는 복수의 박막층 적층에 따른 단차가 형성될 수 있다. 도 15의 실시예에서는 유지 전극(132)도 컨택홀 구조를 통하여 외부로부터 전압을 인가받을 수 있으며, 이는 구동 전압(ELVDD)일 수 있다.
- [0151] 유지 전극(132) 위에는 제1 무기 절연막(211)이 위치할 수 있다.
- [0152] 제1 무기 절연막(211)에는 복수의 오프닝이 형성될 수 있다. 상기 복수의 오프닝은 일 예로, 제1 게이트 절연막(121), 제2 게이트 절연막(122) 및 제1 무기 절연막(211)을 관통하고, 제1 반도체층(111)의 일부를 노출시키도록 형성된 제3 오프닝(303)을 포함할 수 있다. 또한, 제2 게이트 절연막(122) 및 제1 무기 절연막(211)을 관통하고, 제1 게이트 전극(131)의 일부를 노출시키는 오프닝이나 제1 무기 절연막(211)만을 관통하여 유지 전극(132)의 일부를 노출시키는 오프닝을 더 포함할 수 있다.
- [0153] 상기 제1 무기 절연막(211) 위에 제4 도전막(225)이 위치할 수 있다. 제4 도전막(225)은 제3 오프닝(303)의 측면 및 하단면에 형성될 수 있다. 제4 도전막(225)은 제3 오프닝(303)보다 넓게 형성되어, 제1 무기 절연막(211) 상부에 배치되어 있는 부분과 제3 오프닝(303)을 둘러싸도록 배치되어 있는 부분을 포함할 수 있다.
- [0154] 제1 무기 절연막(211) 및 제4 도전막(225) 위에는 버퍼층(140)이 위치할 수 있다. 버퍼층(140) 위에 제2 반도체층(112)이 위치한다.
- [0155] 도 15에서는 제2 반도체층(112)은 두 부분으로 구분되어 있으며, 각각 제2 트랜지스터용 제2 반도체층(112a)과 제3 트랜지스터용 제2 반도체층(112b)으로 구분된다. 제2 트랜지스터용 제2 반도체층(112a)은 제2 트랜지스터의 채널 영역(112ac), 소스 영역(112as) 및 드레인 영역(112ad)을 포함하며, 제3 트랜지스터용 제2 반도체층(112b)은 제3 트랜지스터의 채널 영역(112bc), 소스 영역(112bs) 및 드레인 영역(112bd)을 포함한다.
- [0156] 제2 반도체층(112)의 위에는 제3 게이트 절연막(123)이 위치할 수 있다. 제3 게이트 절연막(123)에는 복수의 오프닝이 형성될 수 있다. 상기 복수의 오프닝은 일 예로, 제3 게이트 절연막(123) 및 버퍼층(140)을 관통하고 제4 도전막(225)과 접촉하도록 형성된 제1 오프닝(301)을 포함할 수 있다.
- [0157] 제3 게이트 절연막(123) 위에 제1 도전막(221) 및 제2 게이트 전극(133)이 위치할 수 있다.
- [0158] 먼저, 제1 도전막(221)은 제1 오프닝(301)의 측면 및 하단면에 형성될 수 있다. 제1 도전막(221)은 제3 게이트 절연막(123) 상부에 배치되어 있는 부분과 제1 오프닝(301)을 둘러싸도록 배치되어 있는 부분을 포함할 수 있다.
- [0159] 한편, 제2 게이트 전극(133)은 각각 제2 트랜지스터용 제2 게이트 전극(133a)과 제3 트랜지스터용 제2 게이트 전극(133b)을 포함한다. 제2 트랜지스터용 제2 게이트 전극(133a)과 제2 트랜지스터용 제2 반도체층(112a)은 제2 트랜지스터를 형성하며, 제3 트랜지스터용 제2 게이트 전극(133b)과 제3 트랜지스터용 제2 반도체층(112b)은 제3 트랜지스터를 형성한다.
- [0160] 제3 게이트 절연막(123), 제1 도전막(221) 및 제2 게이트 전극(133) 위에는 제2 무기 절연막(212)이 위치할 수 있다. 이때, 제2 무기 절연막(212)의 상부면은 제1 도전막(221)의 상부면 및 제2 게이트 전극(133)의 상부면과

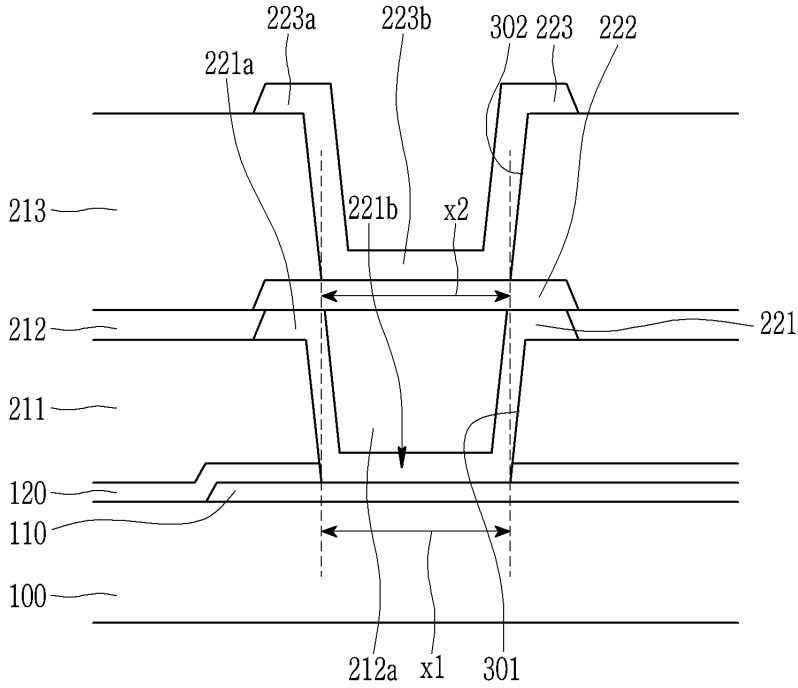
일치하도록 평탄화 공정을 통해 평탄화될 수 있다.

- [0161] 제2 무기 절연막(212)은 적층될 때, 제1 도전막(221)의 위에도 형성되는데, 이 부분은 평탄화 공정에서도 남게 되어 제1 도전막(221)의 내부를 채우는 필링부(212a)를 형성한다.
- [0162] 제1 도전막(221) 위에 제2 도전막(222)이 위치할 수 있다. 제2 도전막(222)은 제2 무기 절연막(212)의 필링부(212a) 및 제1 도전막(221)의 일부분을 덮도록 형성되며, 제1 도전막(221)과 다른 층이 접촉하기 용이한 구조를 제공한다. 이때, 제2 도전막(222)은 그 하부에 필링부(212a)가 위치하여 제1 도전막(221)과 달리 단차 없이 편평하게 형성된다. 따라서, 제1 오프닝(301) 상에 미세한 사이즈의 제2 오프닝(302)을 중첩시키기 용이한 구조를 제공하여 고해상도 표시 장치에서 한계 해상도를 구현할 수 있다.
- [0163] 제2 무기 절연막(212), 제2 도전막(222) 및 제2 게이트 전극(133) 위에는 제3 무기 절연막(213)이 위치할 수 있다. 제3 무기 절연막(213) 위에는 제2 유지 전극(224)이 위치할 수 있다. 제2 유지 전극(224)은 유기 발광 표시 소자의 일측 전극의 전압을 일정하게 유지시켜주는 역할을 할 수 있다.
- [0164] 제3 무기 절연막(213) 및 제2 유지 전극(224) 위에는 제4 게이트 절연막(124)이 위치할 수 있다.
- [0165] 제3 무기 절연막(213) 및 제4 게이트 절연막(124)은 적층되는 층간 단차를 완화시키기 위해 평탄화 공정을 통해 평탄화될 수 있다.
- [0166] 제4 게이트 절연막(124)에는 복수의 오프닝이 형성될 수 있다. 상기 복수의 오프닝은 일 예로, 제3 무기 절연막(213) 및 제4 게이트 절연막(124)을 관통하고, 제2 도전막(222)의 일부를 노출시키도록 형성된 제2 오프닝(302)을 포함할 수 있다. 또는 제3 게이트 절연막(123), 제2 무기 절연막(212), 제3 무기 절연막(213) 및 제4 게이트 절연막(124)을 관통하고, 제2 반도체층(112)의 일부를 노출시키는 오프닝을 포함할 수 있다.
- [0167] 평탄화된 제4 게이트 절연막(124) 위에는 제3 도전막(223, 223a, 223b)이 위치할 수 있다. 제3 도전막(223)은 제2 오프닝(302)을 통해 제2 도전막(222)과 접촉할 수 있고, 다른 오프닝을 통해 제2 트랜지스터의 제2 반도체층(112a) 또는 제3 트랜지스터의 제2 반도체층(112b)과 접촉할 수도 있다. 제3 도전막(223a)은 제2 오프닝(302)을 통해 제2 도전막(222)과 접촉할 수 있고, 다른 오프닝을 통해 제2 트랜지스터의 제2 반도체층(112a)과 접촉할 수도 있다. 제3 도전막(223b)은 제2 오프닝(302)을 통해 제2 도전막(222)과 접촉할 수 있다.
- [0168] 이때, 제3 도전막(223)은 제2 오프닝(302)의 측면 및 하단면에 형성될 수 있다. 제3 도전막(223, 223a, 223b)은 제4 게이트 절연막(124) 상부에 배치되어 있는 부분과 제2 오프닝(302)을 둘러싸도록 배치되어 있는 부분 또는 제2 오프닝(302)을 채우도록 형성된 부분을 포함할 수 있다.
- [0169] 제4 게이트 절연막(124) 및 제3 도전막(223, 223a, 223b) 위에 보호막(180)이 위치할 수 있다. 보호막(180)은 질화규소(SiNx) 또는 산화규소(SiOx) 따위의 무기 절연 물질 또는 유기 물질 등을 포함할 수 있다. 보호막(180) 위에는 격벽(350)이 위치할 수 있다. 격벽(350)은 하나의 유기 발광층(미도시)이 형성될 수 있는 영역을 형성하는 것으로, 격벽(350) 내에 유기 발광 소자(미도시)가 위치할 수 있다.
- [0170] 이어서, 패턴 마스크를 이용한 식각 공정으로 보호막(180) 및 격벽(350)이 패터닝됨으로써 화소 오프닝(305)이 형성될 수 있다.
- [0171] 본 실시예에 따르면, 제1 오프닝(301) 및 제2 오프닝(302)은 이들 사이에 제2 도전막(222)을 두고 상하로 중첩할 수 있다. 이때, 제1 오프닝(301) 및 제2 오프닝(302) 각각의 측면 및 하단면에 제1 도전막(221) 및 제3 도전막(223, 223a, 223b)이 형성되어 있다. 즉, 제3 도전막(223, 223a, 223b)은 제2 도전막(222)을 통해 제1 도전막(221)과 접촉하는 층과 전기적으로 연결될 수 있다.
- [0172] 전술한 제1 내지 제3 트랜지스터는 게이트 전극(131, 133)이 반도체층(111, 112) 위에 위치하는 탑 게이트(top gate) 구조이나, 이는 하나의 실시예일뿐 트랜지스터 구조는 게이트 전극(131, 133)이 반도체층(111, 112) 아래에 위치하는 바텀 게이트(bottom gate) 구조 등의 다양한 형태로 변형될 수 있다.
- [0173] 도 15의 실시예에 따른 표시 장치에서는 제1 반도체층(111)과 제2 반도체층(112)이 서로 다른 평면에 위치한다. 이에 따라, 서로 다른 트랜지스터를 상하로 중첩시킴으로써 하나의 화소가 차지하는 면적을 줄여 고해상도를 구현할 수 있다. 이때, 상하로 중첩되는 층간의 전기적 연결을 위해 전술한 일 실시예에 따른 오프닝 중첩부가 적용될 수 있다.
- [0174] 전술한 일 실시예에 따르면, 미세한 크기의 오프닝들이 상하로 중첩되는 표시 장치에서, 하부에 위치한 오프닝의 내부를 무기 절연막으로 채움으로써 상부에 위치한 오프닝의 한계 해상도를 실현하기 위한 타겟 선폭(x2,

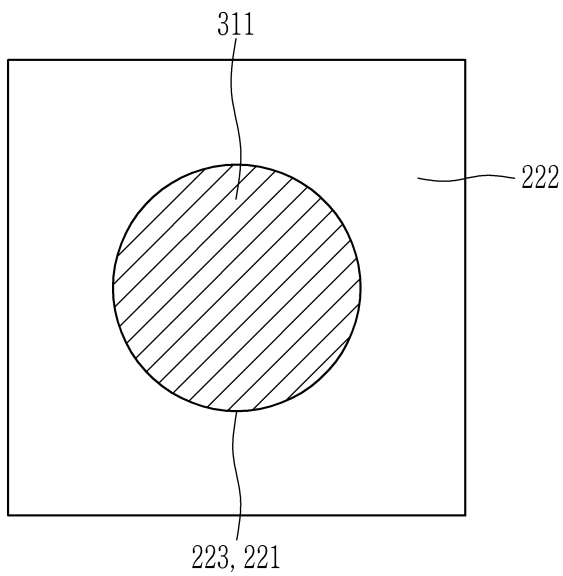
- | | |
|-----------------|--------------------------------|
| 132, 224: 유지 전극 | 211, 212, 213: 제1 내지 제3 무기 절연막 |
| 212a: 필링부 | 221~223: 제1 내지 제3 도전막 |
| 225: 제4 도전막 | 301, 302: 제1 및 제2 오프닝 |

도면

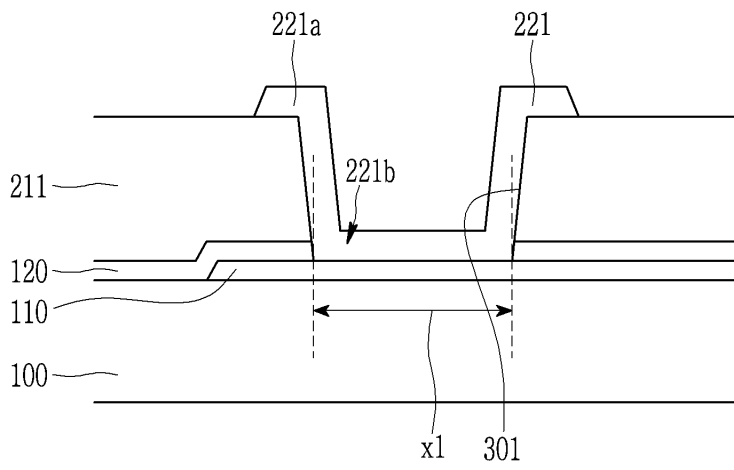
도면1



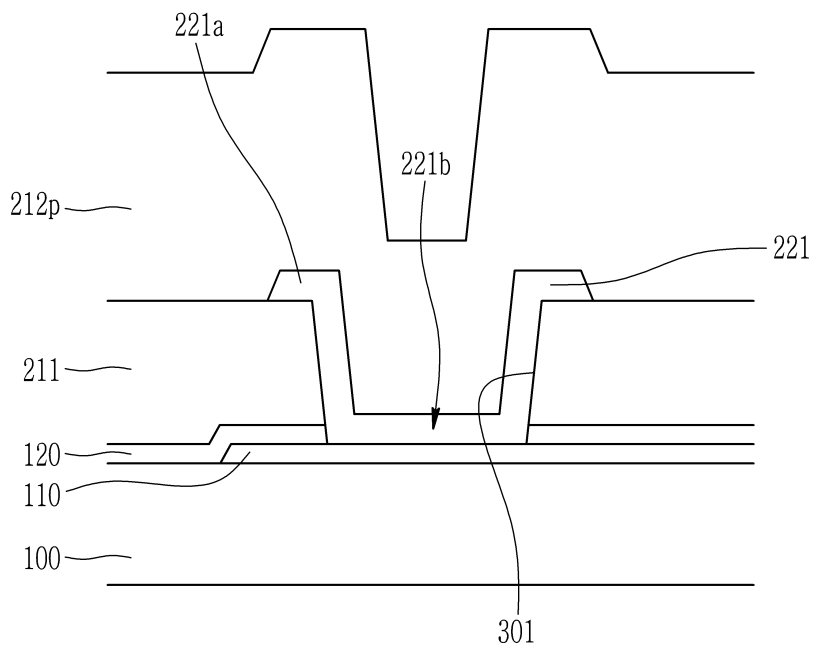
도면2



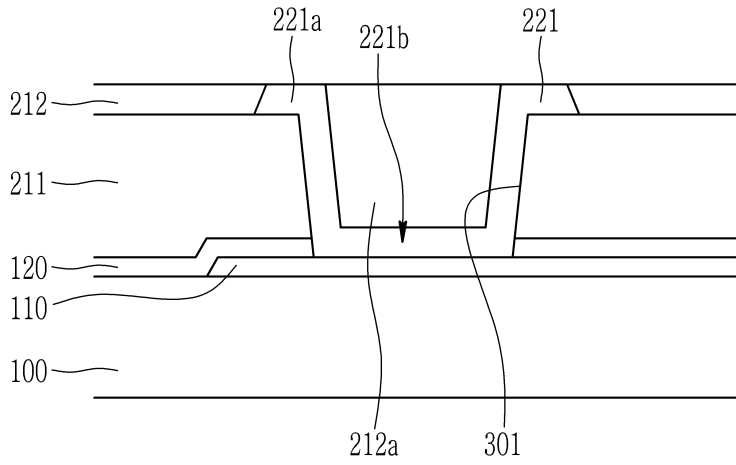
도면3



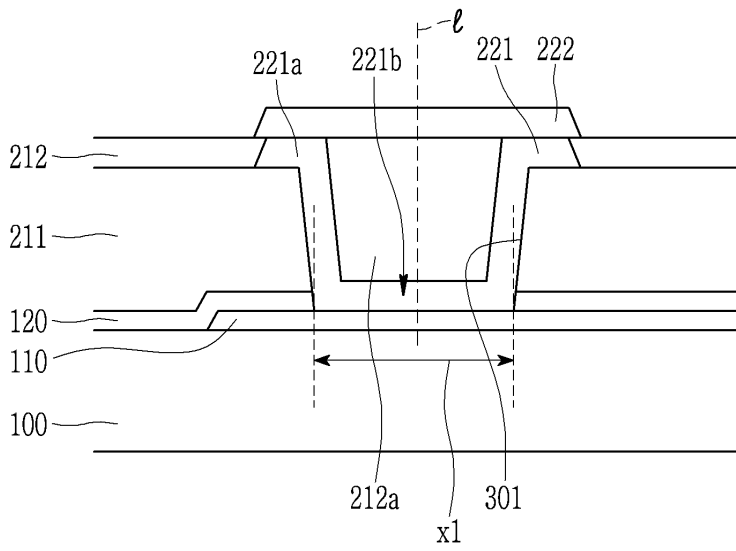
도면4



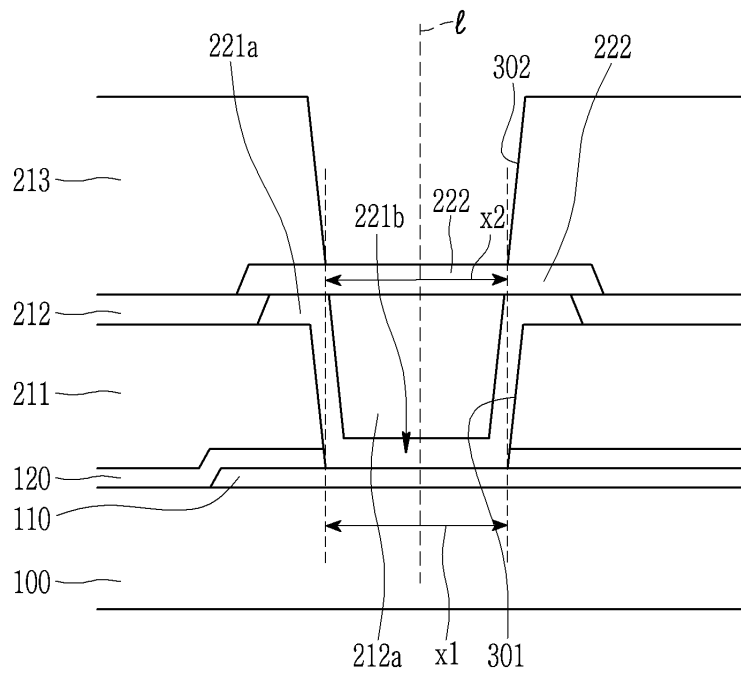
도면5



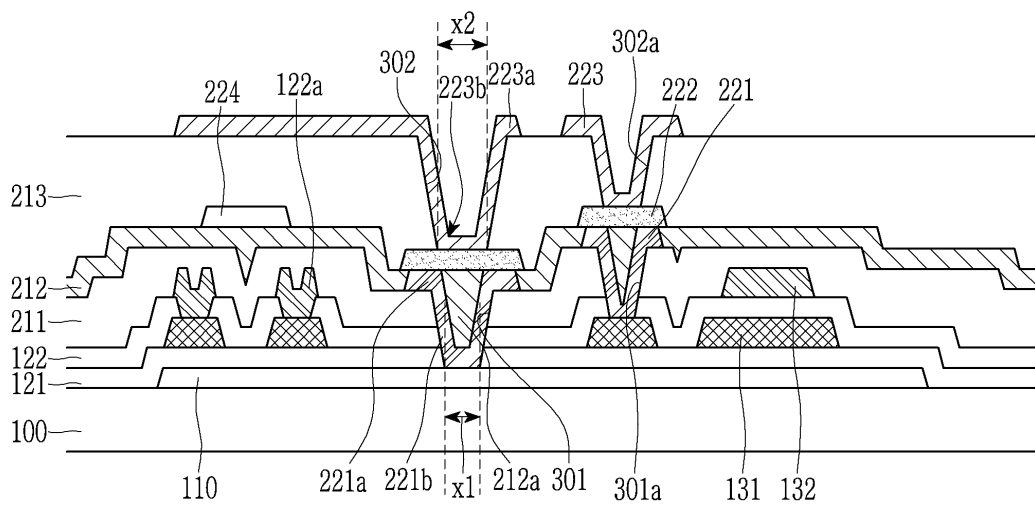
도면6



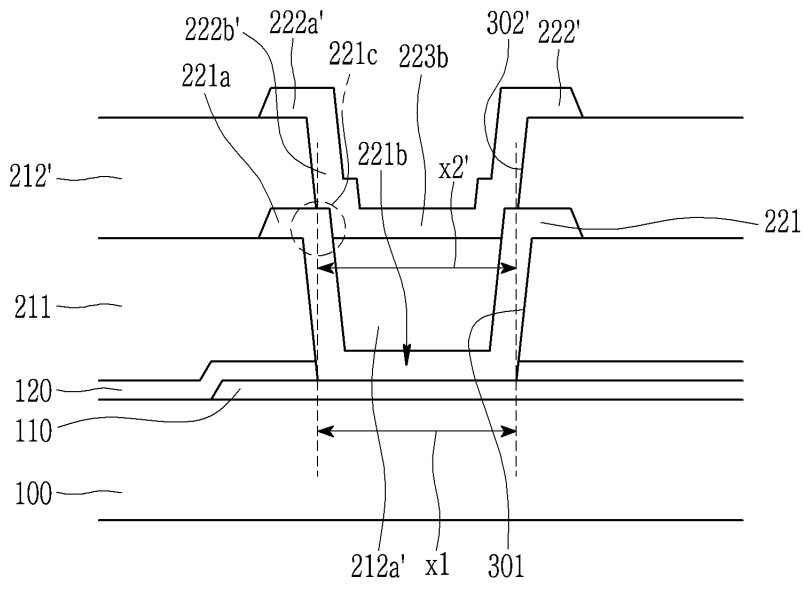
도면7



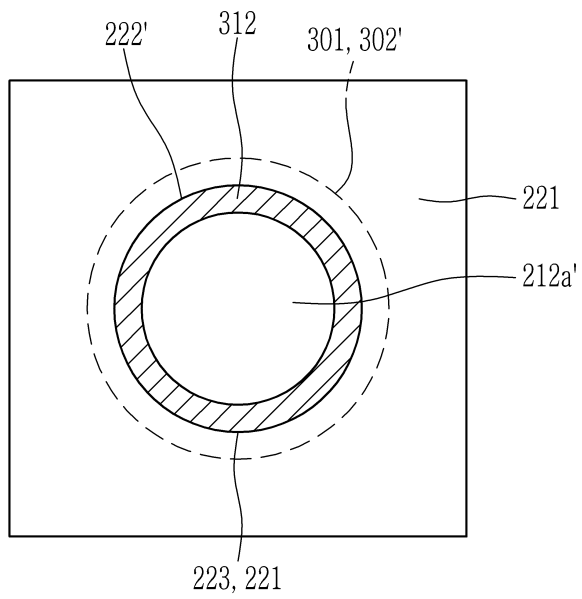
도면8



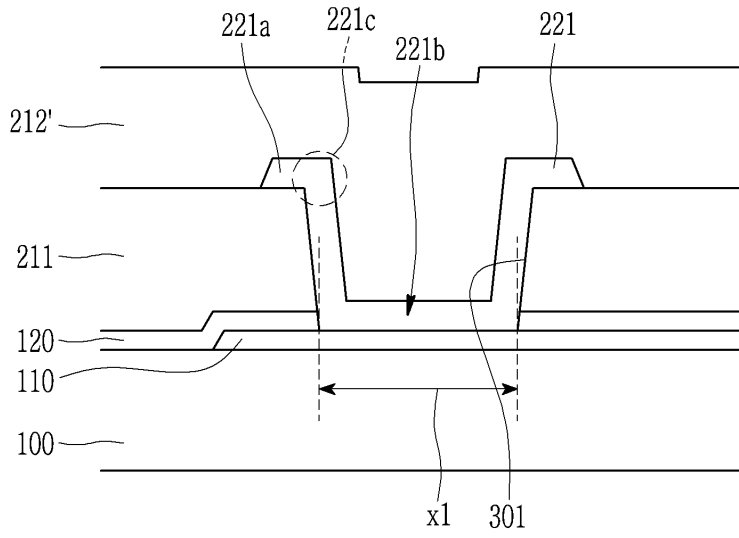
도면9



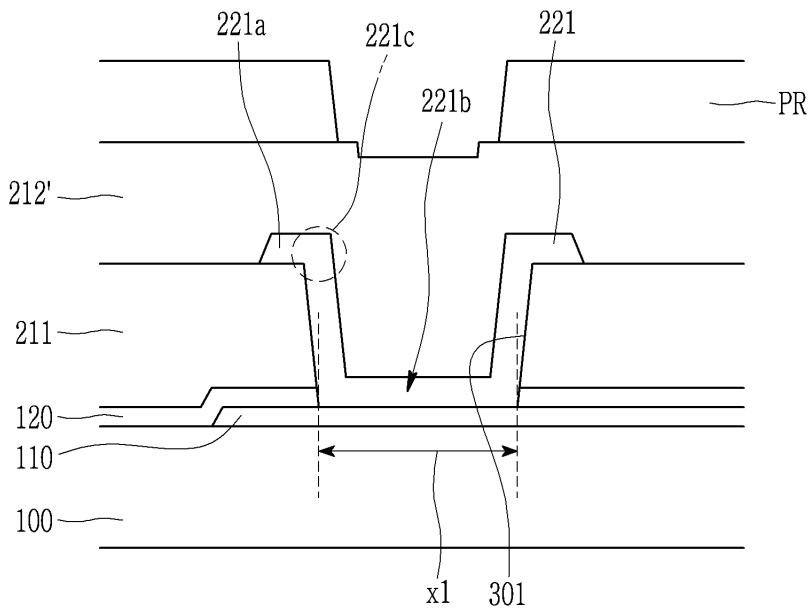
도면10



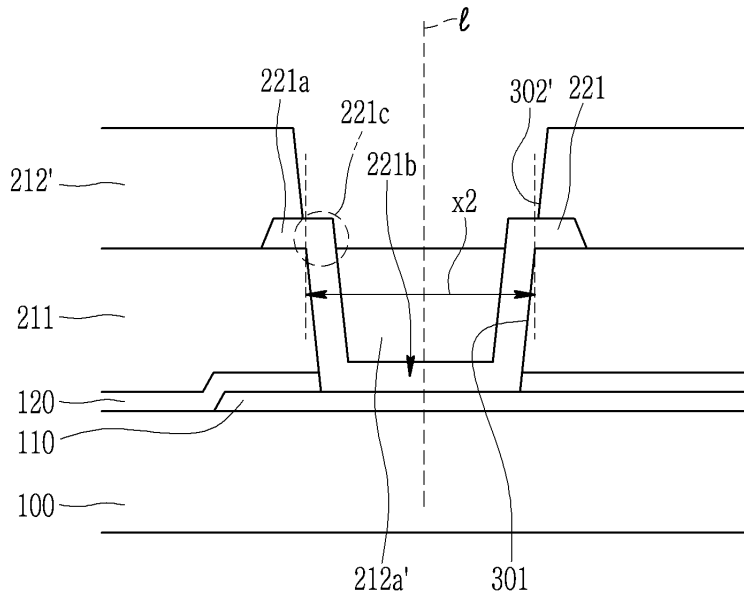
도면11



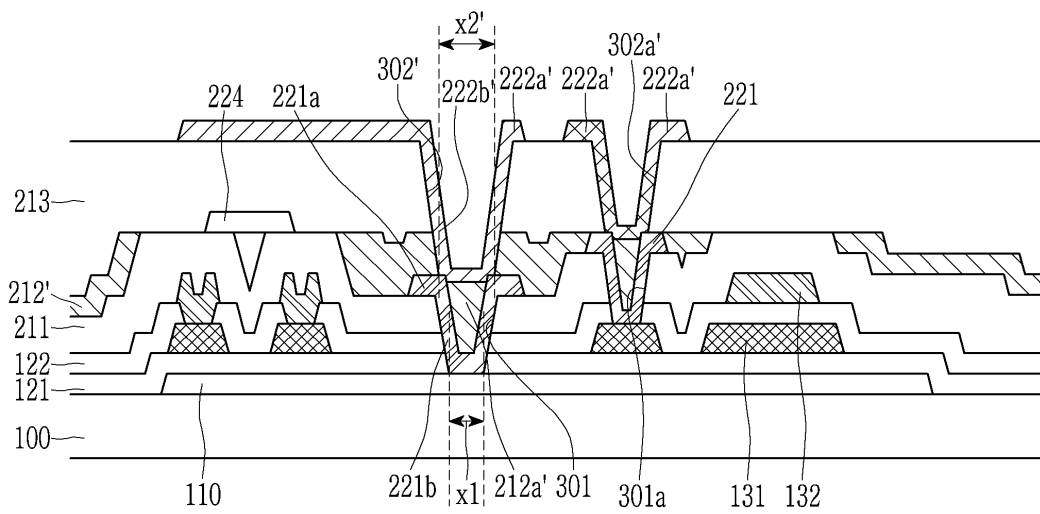
도면12



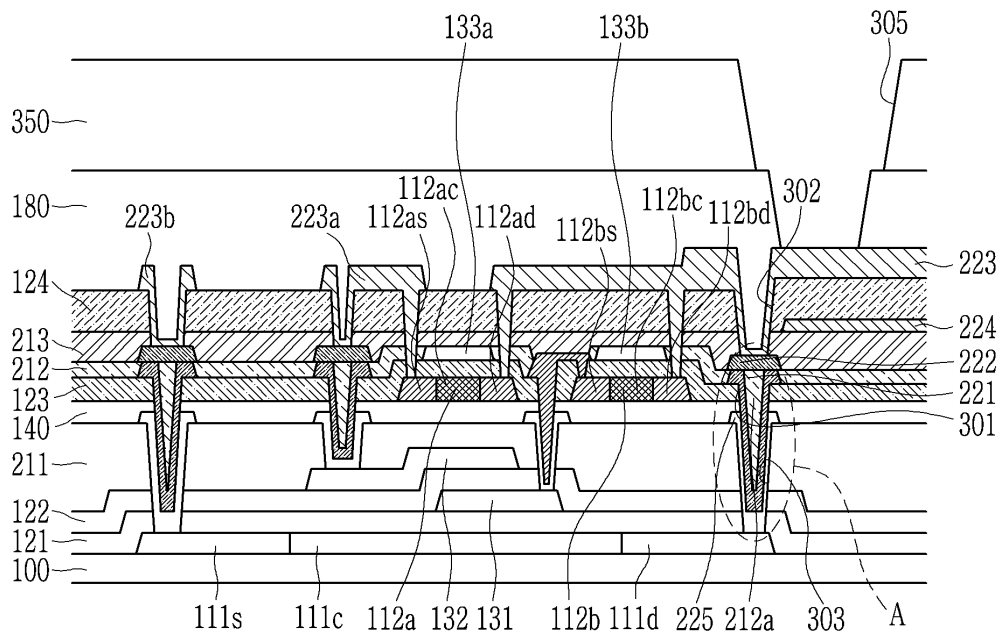
도면13



도면14



도면15



도면16

