

【特許請求の範囲】**【請求項 1】**

基板に表示素子を有し、
前記基板は、
基材と、
前記基材上に積層され、各々下部電極および上部電極を有する複数の容量素子と
を備え、
前記複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素子を含み、
前記下層容量素子の下部電極と、前記上層容量素子の上部電極とが、電氣的に独立している
表示装置。

10

【請求項 2】

前記下層容量素子の前記下部電極と、前記上層容量素子の前記上部電極とが、互いに異なる配線に接続されている
請求項 1 記載の表示装置。

【請求項 3】

前記複数の容量素子のうち少なくとも二つの容量素子が、互いに異なる電位を保持可能である
請求項 1 記載の表示装置。

20

【請求項 4】

前記複数の容量素子のうち少なくとも二つの容量素子の充放電期間が、互いに異なる
請求項 1 記載の表示装置。

【請求項 5】

前記基板は、薄膜トランジスタを更に備え、
前記薄膜トランジスタのソース電極は、前記表示素子のアノード電極に接続され、
前記複数の容量素子は、第 1 容量素子および第 2 容量素子を含み、
前記第 1 容量素子は、前記薄膜トランジスタのゲート電極と前記ソース電極との間に接続され、
前記第 2 容量素子は、前記ソース電極と前記表示素子のカソード電極との間に接続されている
請求項 1 記載の表示装置。

30

【請求項 6】

前記第 1 容量素子は前記上層容量素子、前記第 2 容量素子は前記下層容量素子であり、
前記下層容量素子の前記下部電極は、前記表示素子の前記カソード電極に接続され、
前記上層容量素子の前記上部電極は、前記薄膜トランジスタの前記ゲート電極に接続されている
請求項 5 記載の表示装置。

【請求項 7】

前記複数の容量素子は、最上層容量素子を更に含み、
前記第 1 容量素子は前記上層容量素子および前記最上層容量素子であり、
前記最上層容量素子の下部電極は、前記上層容量素子の上部電極であり、
前記最上層容量素子の上部電極は、前記表示素子の前記アノード電極である
請求項 6 記載の表示装置。

40

【請求項 8】

前記第 1 容量素子は前記下層容量素子、前記第 2 容量素子は前記上層容量素子であり、
前記下層容量素子の前記下部電極は、前記薄膜トランジスタの前記ゲート電極に接続され、
前記上部容量素子の前記上部電極は、前記表示素子の前記カソード電極に接続されている

50

請求項 5 記載の表示装置。

【請求項 9】

前記複数の容量素子は、最上層容量素子を更に含み、
前記第 2 容量素子は前記上層容量素子および前記最上層容量素子であり、
前記最上層容量素子の下部電極は、前記上層容量素子の上部電極であり、
前記最上層容量素子の上部電極は、前記表示素子の前記アノード電極である
請求項 8 記載の表示装置。

【請求項 10】

前記薄膜トランジスタは、酸化物半導体よりなる半導体層を有し、
前記複数の容量素子の少なくとも一つの前記下部電極または前記上部電極は、前記半導
体層よりも抵抗値の低い酸化物半導体により構成されている
請求項 5 記載の表示装置。

【請求項 11】

基板に表示素子を有する表示装置を備え、
前記基板は、
基材と、
前記基材上に積層され、各々下部電極および上部電極を有する複数の容量素子と
を備え、
前記複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素
子を含み、
前記下層容量素子の下部電極と、前記上層容量素子の上部電極とが、電氣的に独立して
いる
電子機器。

【請求項 12】

基材と、
前記基材上に積層され、各々下部電極および上部電極を有する複数の容量素子と
を備え、
前記複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素
子を含み、
前記下層容量素子の下部電極と、前記上層容量素子の上部電極とが、電氣的に独立して
いる
基板。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶や有機エレクトロルミネセンス（EL；Electroluminescence）などに
好適な表示装置、この表示装置を備えた電子機器、およびこの表示装置に用いられる基板
に関する。

【背景技術】

【0002】

液晶表示装置や有機 EL 表示装置に代表されるアクティブマトリクス型表示装置の画素
回路では、容量素子を用いて、映像信号の電位を次の書込みまで保持するようにしてい
る。

【0003】

例えば特許文献 1 では、液晶表示装置用の画素回路において、保持容量を上部電極（容
量配線）/誘電体層（ゲート絶縁膜）/下部電極兼上部電極（半導体膜）/誘電体層（絶
縁膜）/下部電極（容量電極）といった積層構造で形成することが検討されている。

【先行技術文献】

【特許文献】

【0004】

10

20

30

40

50

【特許文献1】特開2010-282216号公報(実施例5、図15)

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1の積層構造では、上部電極(容量配線)/誘電体層(ゲート絶縁膜)/下部電極(半導体膜)よりなる上層の容量素子と、上部電極(半導体膜)/誘電体層(絶縁膜)/下部電極(容量電極)よりなる下層の容量素子とが積層されている。しかしながら、容量配線と容量電極とは電氣的に接続されており、上層の容量素子と下層の容量素子とは動作や機能という観点からは単一の容量素子を構成していた。すなわち、既存の積層構造では、動作や機能の異なる複数の容量素子を積層することは未だ提案されていなかった。

10

【0006】

本開示はかかる問題点に鑑みてなされたもので、その目的は、動作や機能の異なる複数の容量素子を積層し、レイアウト効率を高めることが可能な表示装置、この表示装置を備えた電子機器、およびこの表示装置に用いられる基板を提供することにある。

【課題を解決するための手段】

【0007】

本開示に係る表示装置は、基板に表示素子を有し、基板は、基材と、基材上に積層され、各々下部電極および上部電極を有する複数の容量素子とを備え、複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素子を含み、下層容量素子の下部電極と、上層容量素子の上部電極とが、電氣的に独立しているものである。

20

【0008】

本開示の表示装置では、下層容量素子の下部電極と、上層容量素子の上部電極とが、電氣的に独立している。換言すれば、下層容量素子の下部電極と、上層容量素子の上部電極とが、電氣的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。よって、下層容量素子と上層容量素子とが異なる動作をすることが可能となる。

【0009】

本開示に係る電子機器は、上記本開示の表示装置を備えたものである。

【0010】

本開示の電子機器では、表示装置により画像表示が行われる。

【0011】

本開示に係る基板は、基材と、基材上に積層され、各々下部電極および上部電極を有する複数の容量素子とを備え、複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素子を含み、下層容量素子の下部電極と、上層容量素子の上部電極とが、電氣的に独立しているものである。

30

【発明の効果】

【0012】

本開示の表示装置、または本開示の基板によれば、基材上に、積層方向の位置が互いに異なる下層容量素子および上層容量素子を含む複数の容量素子を積層し、下層容量素子の下部電極と、上層容量素子の上部電極とが、電氣的に独立しているようにしている。よって、動作や機能の異なる複数の容量素子を積層し、レイアウト効率を高めることが可能となり、表示装置の高精細化(画素数の増大)または小型化に好適となる。

40

【0013】

本開示の電子機器によれば、上記本開示による表示装置を備えているので、テレビジョン装置やデジタルサイネージなどの大型電子機器における高精細な画像表示、あるいはモバイル端末などの小型電子機器への適用に好適である。

【0014】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

【図面の簡単な説明】

【0015】

50

【図 1】本開示の第 1 の実施の形態に係る表示装置の全体構成を表すブロック図である。

【図 2】図 1 に示した表示装置の画素回路の一例を表す図である。

【図 3】図 2 に示した保持容量および補助容量を平面的に並べて配置した構成の一例を表す平面図である。

【図 4】図 3 の I V A - I V A ' 線における断面図である。

【図 5】図 2 に示した保持容量および補助容量を平面的に並べて配置した構成の他の例を表す平面図である。

【図 6】図 5 の V I A - V I A ' 線における断面図である。

【図 7】図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。

【図 8】図 7 の V I I I A - V I I I A ' 線における断面図である。

10

【図 9】図 8 に示した基板を有する表示装置の一つの画素の構成を表す断面図である。

【図 10】図 9 に示した有機層の一例を表す断面図である。

【図 11】図 9 に示した有機層の他の例を表す断面図である。

【図 12】図 9 に示した有機層の更に他の例を表す断面図である。

【図 13】図 8 に示した表示装置の製造方法を工程順に表す断面図である。

【図 14】図 13 に続く工程を表す断面図である。

【図 15】図 14 に続く工程を表す断面図である。

【図 16】図 15 に続く工程を表す断面図である。

【図 17】図 16 に続く工程を表す断面図である。

20

【図 18】図 17 に続く工程を表す断面図である。

【図 19】図 18 に続く工程を表す断面図である。

【図 20】図 19 に続く工程を表す断面図である。

【図 21】図 20 に続く工程を表す断面図である。

【図 22】図 21 に続く工程を表す断面図である。

【図 23】図 22 に続く工程を表す断面図である。

【図 24】図 23 に続く工程を表す断面図である。

【図 25】図 24 に続く工程を表す断面図である。

【図 26】図 25 に続く工程を表す断面図である。

【図 27】図 2 に示した画素回路の動作を説明するためのタイミングチャートである。

【図 28】図 2 に示した画素回路の動作を説明するための回路図である。

30

【図 29】図 2 に示した画素回路の動作を説明するための回路図である。

【図 30】図 2 に示した画素回路の動作を説明するための回路図である。

【図 31】図 2 に示した画素回路の動作を説明するための回路図である。

【図 32】図 2 に示した画素回路の動作を説明するための回路図である。

【図 33】図 2 に示した画素回路の動作を説明するための回路図である。

【図 34】本開示の第 2 の実施の形態に係る表示装置において、図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。

【図 35】図 34 の X X X V A - X X X V A ' 線における断面図である。

【図 36】図 35 に示した表示装置の製造方法を工程順に表す断面図である。

40

【図 37】図 36 に続く工程を表す断面図である。

【図 38】図 37 に続く工程を表す断面図である。

【図 39】図 38 に続く工程を表す断面図である。

【図 40】図 39 に続く工程を表す断面図である。

【図 41】図 40 に続く工程を表す断面図である。

【図 42】図 41 に続く工程を表す断面図である。

【図 43】図 42 に続く工程を表す断面図である。

【図 44】図 43 に続く工程を表す断面図である。

【図 45】変形例 1 に係る表示装置において、図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。

【図 46】図 45 の X L V I A - X L V I A ' 線における断面図である。

50

- 【図 4 7】図 4 6 に示した表示装置の製造方法を工程順に表す断面図である。
- 【図 4 8】図 4 7 に続く工程を表す断面図である。
- 【図 4 9】図 4 8 に続く工程を表す断面図である。
- 【図 5 0】図 4 9 に続く工程を表す断面図である。
- 【図 5 1】図 5 0 に続く工程を表す断面図である。
- 【図 5 2】図 5 1 に続く工程を表す断面図である。
- 【図 5 3】図 5 2 に続く工程を表す断面図である。
- 【図 5 4】図 5 3 に続く工程を表す断面図である。
- 【図 5 5】図 5 4 に続く工程を表す断面図である。
- 【図 5 6】図 5 5 に続く工程を表す断面図である。 10
- 【図 5 7】変形例 2 に係る表示装置において、図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。
- 【図 5 8】図 5 7 の L V I I I A - L V I I I A ' 線における断面図である。
- 【図 5 9】変形例 3 に係る表示装置において、図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。
- 【図 6 0】図 5 9 の L X A - L X A ' 線における断面図である。
- 【図 6 1】図 6 0 に示した表示装置の製造方法を工程順に表す断面図である。
- 【図 6 2】図 6 1 に続く工程を表す断面図である。
- 【図 6 3】図 6 2 に続く工程を表す断面図である。
- 【図 6 4】図 6 3 に続く工程を表す断面図である。 20
- 【図 6 5】図 6 4 に続く工程を表す断面図である。
- 【図 6 6】図 6 5 に続く工程を表す断面図である。
- 【図 6 7】図 6 6 に続く工程を表す断面図である。
- 【図 6 8】図 6 7 に続く工程を表す断面図である。
- 【図 6 9】図 6 8 に続く工程を表す断面図である。
- 【図 7 0】図 6 9 に続く工程を表す断面図である。
- 【図 7 1】変形例 4 に係る表示装置において、図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。
- 【図 7 2】図 7 1 の L X X I I A - L X X I I A ' 線における断面図である。
- 【図 7 3】変形例 5 に係る表示装置において、図 2 に示した保持容量および補助容量を積層した構成を表す平面図である。 30
- 【図 7 4】本開示の変形例 6 に係る表示装置の一つの画素の構成を表す断面図である。
- 【図 7 5】本開示の変形例 7 に係る表示装置において、表示素子の一例としての電気泳動素子の構成を表す平面図である。
- 【図 7 6】図 7 5 に示した電気泳動素子の構成を表す断面図である。
- 【図 7 7】図 7 6 に示した電気泳動素子を有する表示装置の一つの画素の構成を表す断面図である。
- 【図 7 8】図 7 7 に示した表示装置の動作を説明するための断面図である。
- 【図 7 9】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。
- 【図 8 0】適用例 1 の外観を表す斜視図である。 40
- 【図 8 1】適用例 2 の外観を表す斜視図である。
- 【図 8 2】適用例 3 の外観を表す斜視図である。
- 【発明を実施するための形態】
- 【0016】
- 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。
1. 第 1 の実施の形態（有機 EL 表示装置、ダブルゲート型酸化物 TFT；第 1 容量素子を表示素子側、第 2 容量素子を基材側に配置する例）
2. 第 2 の実施の形態（有機 EL 表示装置、ダブルゲート型酸化物 TFT；第 1 容量素子を基材側、第 2 容量素子を表示素子側に配置する例） 50

- 3．変形例 1（有機 EL 表示装置、ボトムゲート型酸化物 TFT；第 1 の実施の形態において、酸化物半導体を容量素子の電極として用いる例）
- 4．変形例 2（有機 EL 表示装置、ボトムゲート型酸化物 TFT；第 2 の実施の形態において、酸化物半導体を容量素子の電極として用いる例）
- 5．変形例 3（有機 EL 表示装置、トップゲート型酸化物 TFT；第 1 の実施の形態において、酸化物半導体を容量素子の電極として用いる例）
- 6．変形例 4（有機 EL 表示装置、トップゲート型酸化物 TFT；第 2 の実施の形態において、酸化物半導体を容量素子の電極として用いる例）
- 7．変形例 5（有機 EL 表示装置、ボトムゲート型酸化物 TFT；上層容量素子の上部電極をトランジスタのシールド電極に接続する例）
- 8．変形例 6（液晶表示装置の例）
- 9．変形例 7（電気泳動型表示装置の例）
- 10．適用例（電子機器）

10

【0017】

（第 1 の実施の形態）

図 1 は、本開示の第 1 の実施の形態に係る表示装置の全体構成を表したものである。この表示装置 100 は、例えば、画素アレイ部 102 と、これを駆動する駆動部（信号セレクタ 103，主スキャナ 104，および電源スキャナ 105）とを有している。

【0018】

画素アレイ部 102 は、行列状に配置された複数の画素 PX と、複数の画素 PX の各行に対応して配された電源線 DSL 101 ~ 10m とを有している。各画素 PX は、行状の走査線 WSL 101 ~ 10m と、列状の信号線 DTL 101 ~ 10n とが交差する部分に配され、画素回路 101 を有している。

20

【0019】

主スキャナ（ライトスキャナ WSCN）104 は、各走査線 WSL 101 ~ 10m に順次制御信号を供給して画素 PX を行単位で線順次走査するものである。電源スキャナ（DSCN）105 は、線順次走査に合わせて各電源線 DSL 101 ~ 10m に第 1 電位と第 2 電位で切り換える電源電圧を供給するものである。信号セレクタ（水平セレクタ HSEL）103 は、線順次走査に合わせて列状の信号線 DTL 101 ~ 10n に映像信号となる信号電位と基準電位とを供給するものである。

30

【0020】

図 2 は、図 1 に示した画素回路 101 の具体的な構成及び結線関係の一例を表したものである。画素回路 101 は、例えば、有機 EL 表示素子などで代表される発光素子 3D と、サンプリング用トランジスタ 3A と、駆動用トランジスタ 3B と、保持容量 3C と、補助容量 3I とを含んでいる。

【0021】

サンプリング用トランジスタ 3A は、ゲートが対応する走査線 WSL 101 に接続され、ソースおよびドレインの一方が対応する信号線 DTL 101 に接続され、ソースおよびドレインの他方が駆動用トランジスタ 3B のゲート g に接続されている。

【0022】

駆動用トランジスタ 3B は、ソース s およびドレイン d の一方が発光素子 3D に接続され、ソース s およびドレイン d の他方が対応する電源線 DSL 101 に接続されている。本実施形態では、駆動用トランジスタ 3B のドレイン d が電源線 DSL 101 に接続されている一方、ソース s が発光素子 3D のアノードに接続されている。発光素子 3D のカソードは接地配線 3H に接続されている。なおこの接地配線 3H は全ての画素 PX に対して共通に配線されている。

40

【0023】

保持容量 3C は、駆動用トランジスタ 3B のソース s とゲート g の間に接続されている。保持容量 3C は、信号線 DTL 101 から供給される映像信号の信号電位を保持すると共に、以下に説明する画素回路 101 の補正機能にかかわるものである。ここで「保持容

50

量 3 C」は、本開示における「第 1 容量素子」の一具体例に対応する。

【 0 0 2 4 】

補助容量 3 I は、発光素子 3 D の容量成分に相当するものであり、駆動用トランジスタ 3 B のソース s と接地配線 3 H (発光素子 3 D のカソード) との間に、発光素子 3 D と並列に接続されている。補助容量 3 I を発光素子 3 D とは別の容量素子として設けることにより、以下に説明するように、駆動用トランジスタ 3 B の駆動のばらつきの影響を抑え、画素回路 1 0 1 の補正能力を高めることが可能となる。ここで「補助容量 3 I」は、本開示における「第 2 容量素子」の一具体例に対応する。

【 0 0 2 5 】

この画素回路 1 0 1 は、例えば、閾電圧補正機能と、移動度補正機能と、ブートストラップ機能とを有している。

【 0 0 2 6 】

まず、閾電圧補正機能について説明する。例えば、サンプリング用トランジスタ 3 A は、走査線 W S L 1 0 1 から供給された制御信号に応じて導通し、信号線 D T L 1 0 1 から供給された信号電位をサンプリングして保持容量 3 C に保持する。駆動用トランジスタ 3 B は、第 1 電位にある電源線 D S L 1 0 1 から電流の供給を受け、保持容量 3 C に保持された信号電位に応じて駆動電流を発光素子 3 D に流す。電源スキャナ (D S C N) 1 0 5 は、サンプリング用トランジスタ 3 A が導通した後で信号セクタ (H S E L) 1 0 3 が信号線 D T L 1 0 1 に基準電位を供給している間に、電源線 D S L 1 0 1 を第 1 電位と第 2 電位との間で切換え、これにより駆動用トランジスタ 3 B の閾電圧 V_{th} に相当する電圧を保持容量 3 C に保持しておく。このような閾電圧補正機能により、この表示装置 1 0 0 では、画素 P X 毎にばらつく駆動用トランジスタ 3 B の閾電圧の影響をキャンセルすることが可能となっている。

【 0 0 2 7 】

次に、移動度補正機能について説明する。すなわち、信号セクタ (H S E L) 1 0 3 は、サンプリング用トランジスタ 3 A が導通した後、第 1 のタイミングで信号線 D T L 1 0 1 を基準電位から信号電位に切り換える。一方、主スキャナ (W S C N) 1 0 4 は、第 1 のタイミングの後、第 2 のタイミングで走査線 W S L 1 0 1 に対する制御信号の印加を解除してサンプリング用トランジスタ 3 A を非導通状態とし、第 1 および第 2 のタイミングの間の期間を適切に設定することで、保持容量 3 C に信号電位を保持する際、駆動用トランジスタ 3 B の移動度 μ に対する補正を信号電位に加えている。この場合、駆動部 (信号セクタ 1 0 3 , 主スキャナ 1 0 4 , および電源スキャナ 1 0 5) は、信号セクタ 1 0 3 が供給する映像信号と主スキャナ 1 0 4 が供給する制御信号との相対的な位相差を調整して、第 1 および第 2 のタイミングの間の期間 (移動度補正期間) を最適化することが可能となる。また信号セクタ 1 0 3 は、基準電位から信号電位に切り換える映像信号の立ち上がり傾斜をつけて、第 1 および第 2 のタイミングの間の移動度補正期間を信号電位に自動的に追従させることも可能である。

【 0 0 2 8 】

続いて、ブートストラップ機能について説明する。すなわち、主スキャナ (W S C N) 1 0 4 は、保持容量 3 C に信号電位が保持された段階で走査線 W S L 1 0 1 に対する制御信号の印加を解除し、サンプリング用トランジスタ 3 A を非導通状態にして駆動用トランジスタ 3 B のゲート g を信号線 D T L 1 0 1 から電氣的に切り離す。これにより、駆動用トランジスタ 3 B のソース電位 (V_s) の変動にゲート電位 (V_g) が連動し、ゲート g とソース s 間の電圧 V_{gs} を一定に維持することが出来る。

【 0 0 2 9 】

上述した画素回路 1 0 1 の諸機能は、駆動用トランジスタ 3 B の駆動のばらつきによって影響を受ける場合がある。例えばブートストラップ動作時に、駆動用トランジスタ 3 B の駆動のばらつきによってゲインが変動し、輝度に影響が生じるおそれがある。このような駆動用トランジスタ 3 B の駆動のばらつきは、製造工程のエッチングの面内ばらつきに起因するトランジスタサイズばらつき、またはチャネル材料の面内不均一性などによって

10

20

30

40

50

生じるものである。本実施の形態では、保持容量 3 C に加えて補助容量 3 I を設けることにより、駆動用トランジスタ 3 B の駆動のばらつきがあっても、表示品質への影響を抑え、画素回路 1 0 1 の補正機能を高めることを可能としている。

【 0 0 3 0 】

ところで、表示装置の高精細化（画素数の増大）および小型化に伴う画素ピッチの微細化を進める上で、一つの画素 P X あたりの面積はますます小さくなってきている。そのため、保持容量 3 C と補助容量 3 I とをできるだけ狭いレイアウト面積内に配置することが望ましい。

【 0 0 3 1 】

以下、画素回路 1 0 1 内における保持容量 3 C および補助容量 3 I の配置構成について、いくつかの例を挙げて説明する。

【 0 0 3 2 】

（平面配置の例、その 1、ボトムゲート構造）

図 3 は、図 2 に示した保持容量 3 C および補助容量 3 I の平面配置構成の一例を表したものである。図 4 は、図 3 の I V A - I V A ' 線における断面構成を表している。この基板 2 1 0 A は、例えば、基材 2 1 1 上に、駆動用トランジスタ 3 B と、保持容量 3 C と、補助容量 3 I とが平面的に並べて配置された構成を有している。

【 0 0 3 3 】

駆動用トランジスタ 3 B は、ガラス等の基材 2 1 1 上に、ゲート電極 2 3 1 と、ゲート絶縁膜 2 3 2 と、半導体層 2 3 3 と、ストッパー層 2 3 4 と、ソース電極 2 3 5 S およびドレイン電極 2 3 5 D と、パッシベーション層 2 3 6 とをこの順に有する、ボトムゲート型の薄膜トランジスタである。駆動用トランジスタ 3 B 等が形成された基板 2 1 0 A の表面は、平坦化層 2 3 7 により平坦化されていてもよい。ソース電極 2 3 5 S には、アノード電極 2 2 1（発光素子 3 D のアノード）が接続されている。

【 0 0 3 4 】

保持容量 3 C は、基材 2 1 1 上に、下部電極 2 4 1 と、ゲート絶縁膜 2 3 2 と、上部電極 2 4 2 とを有している。保持容量 3 C の下部電極 2 4 1 は、ゲート電極 2 3 1 と同層に、ゲート電極 2 3 1 と連続して一体的に設けられている。保持容量 3 C の上部電極 2 4 2 は、ソース電極 2 3 5 S と同層に、ソース電極 2 3 5 S と連続して一体的に設けられている。

【 0 0 3 5 】

補助容量 3 I は、基材 2 1 1 上に、下部電極 2 5 1 と、ゲート絶縁膜 2 3 2 と、上部電極 2 5 2 とを有している。補助容量 3 I の下部電極 2 5 1 は、ゲート電極 2 3 1 と同層に設けられているが、ゲート電極 2 3 1 および保持容量 3 C の下部電極 2 4 1 とは連続しておらず、別の層として設けられている。補助容量 3 I の上部電極 2 5 2 は、ソース電極 2 3 5 S と同層に、ソース電極 2 3 5 S と連続して一体的に設けられている。

【 0 0 3 6 】

なお、図 4 では、基材 2 1 1 から発光素子 3 D のアノード電極 2 2 1 までの層構成を表しており、それより上の層は省略している。図 3 では、図 4 に示した層のうち、基材 2 1 1、ゲート電極 2 3 1 およびこれと同層の下部電極 2 4 1、2 5 1、半導体層 2 3 3、ソース電極 2 3 5 S およびドレイン電極 2 3 5 D およびこれらと同層の上部電極 2 4 2、2 5 2、ソース電極 2 3 5 S とアノード電極 2 1 1 との間のアノードコンタクト A C N を表している。

【 0 0 3 7 】

この基板 2 1 0 A では、基材 2 1 1 上に、保持容量 3 C と、補助容量 3 I とが平面的に並べて配置されているので、ショート欠陥の発生が少なくなり、歩留まりを高くすることが可能である。その反面、保持容量 3 C の下部電極 2 4 1 と補助容量 3 I の下部電極 2 5 1 との間に分離帯 G 1 において、レイアウトのロスが生じる。

【 0 0 3 8 】

（平面配置の例、その 2、ダブルゲート構造）

10

20

30

40

50

図5は、図2に示した保持容量3Cおよび補助容量3Iの平面配置構成の他の例を表したものである。図6は、図5のVIA-VIA'線における断面構成を表している。この基板210Bは、駆動用トランジスタ3Bがダブルゲート型であること、保持容量3Cが二重に積層されていること、および補助容量3Iが二重に積層されていることを除いては、上述した基板210Aと同一の構成を有している。つまり、基板210Bは、上述した基板210Aと同様に、基材211上に、駆動用トランジスタ3Bと、保持容量3Cと、補助容量3Iとが平面的に並べて配置された構成を有している。

【0039】

駆動用トランジスタ3Bは、ガラス等の基材211上に、下部ゲート電極231と、ゲート絶縁膜232と、半導体層233と、ストッパー層234と、ソース電極235Sおよびドレイン電極235Dと、第1パッシベーション層236と、上部ゲート電極238と、第2パッシベーション層239とをこの順に有する、ダブルゲート型の薄膜トランジスタである。駆動用トランジスタ3B等が形成された基板210Bの表面は、平坦化層237により平坦化されていてもよい。ソース電極235Sには、アノード電極221(発光素子3Dのアノード)が接続されている。

10

【0040】

保持容量3Cは、基材211上に、第1下部電極241と、ゲート絶縁膜232およびストッパー層234と、上部電極242と、第1パッシベーション層236と、第2下部電極243とを有している。第1下部電極241と第2下部電極243とは、図5に示したコンタクト244を介して接続されている。保持容量3Cの第1下部電極241は、下部ゲート電極231(駆動用トランジスタ3Bのゲートg)に接続されている。保持容量3Cの上部電極242は、ソース電極235S(駆動用トランジスタ3Bのソースs)に接続されている。保持容量3Cの第2下部電極243は、上部ゲート電極238(駆動用トランジスタ3Bのゲートg)に接続されている。

20

【0041】

補助容量3Iは、基材211上に、第1下部電極251と、ゲート絶縁膜232およびストッパー層234と、上部電極252と、第1パッシベーション層236と、第2下部電極253とを有している。第1下部電極251と第2下部電極253とは、図5に示したコンタクト254を介して接続されている。補助容量3Iの第1下部電極251は、下部ゲート電極231と同層に設けられているが、下部ゲート電極231および保持容量23Cの下部電極241とは連続しておらず、別の層として設けられている。補助容量3Iの上部電極252は、ソース電極235S(駆動用トランジスタ3Bのソースs)に接続されている。補助容量3Iの上部電極253は、上部ゲート電極238と同層に設けられているが、上部ゲート電極238および保持容量3Cの上部電極243とは連続しておらず、別の層として設けられている。補助容量3Iの第1下部電極251および第2下部電極253は、コンタクト254(図5参照)を介して互いに接続されていると共に、コンタクト255(図5参照)を介して接地配線3Hおよび発光素子3Dのカソードに接続されている。

30

【0042】

なお、図6では、基材211からアノード電極221までの層構成を表しており、それより上の層は省略している。図5では、図6に示した層のうち、基材211、下部ゲート電極231およびこれと同層の第1下部電極241、251、半導体層233、ソース電極235Sおよびドレイン電極235Dおよびこれらと同層の上部電極242、252、上部ゲート電極238およびこれと同層の第2下部電極243、253、ソース電極235Sとアノード電極221との間のアノードコンタクトACNを表している。

40

【0043】

この基板210Bでは、基板210Aと同様に、保持容量3Cの下部電極241と補助容量3Iの下部電極251との間に分離帯G1を設けることにより、レイアウトのロスが生じる。また、これに加えて、この基板210Bでは、補助容量3Iの第1下部電極251と第2下部電極253とを接続するコンタクト254(図5参照)が設けられている

50

と共に、アノードコンタクト A C N と第 2 下部電極 2 4 3 , 2 5 3 との間に分離帯 G 2 が設けられている。よって、レイアウトのロスが増え、高容量を確保することが難しくなるおそれがある。

【 0 0 4 4 】

(積層配置の例)

このように保持容量 3 C および補助容量 3 I を平面的に並べて配置した場合には、保持容量 3 C の下部電極 2 4 1 と補助容量 3 I の下部電極 2 5 1 との間に分離溝 G 1 を設けることは、回避困難である。本実施の形態の基板 1 0 は、基材 1 1 上に複数の容量素子 C n を縦方向 (基材 1 1 の厚み方向) に積層することによって、分離溝 G 1 を不要とし、レイアウト効率を高めることを可能としたものである。以下、このような本実施の形態の基板 1 0 について説明する。

10

【 0 0 4 5 】

図 7 は、本実施の形態に係る基板 1 0 を、図 2 に示した保持容量 3 C および補助容量 3 I の平面配置構成に適用した例を表したものである。図 8 は、図 7 の V I I I A - V I I I A ' 線における断面構成を表している。この基板 1 0 は、基材 1 1 上に、複数の容量素子 C n を有している。複数の容量素子 C n は、基材 1 1 上に、基材 1 1 の厚み方向に積層され、積層方向 Z の位置が互いに異なっている。複数の容量素子 C n は、例えば、下層容量素子 C 1、上層容量素子 C 2 および最上層容量素子 C 3 を基材 1 1 側からこの順に含んでいる。

20

【 0 0 4 6 】

更に、基板 1 0 は、基材 1 1 の複数の容量素子 C n が設けられた側に、薄膜トランジスタ 3 0 を有していることが好ましい。複数の容量素子 C n および薄膜トランジスタ 3 0 に図 2 に示した画素回路 1 0 1 を適用し、表示装置 1 0 0 のアクティブマトリックス駆動用の T F T アレイ基板としての用途に対応することが可能となる。

【 0 0 4 7 】

薄膜トランジスタ 3 0 は、ガラス等の基材 1 1 上に、下部ゲート電極 3 1 と、ゲート絶縁膜 3 2 と、半導体層 3 3 と、ストッパー層 3 4 と、ソース電極 3 5 S およびドレイン電極 3 5 D と、第 1 パッシベーション層 3 6 と、上部ゲート電極 3 8 と、第 2 パッシベーション層 3 9 とをこの順に有する、ダブルゲート型の薄膜トランジスタである。薄膜トランジスタ 3 0 が形成された基板 1 0 の表面は、平坦化層 3 7 により平坦化されていてもよい。なお、図 8 に示した薄膜トランジスタ 3 0 は、図 7 に示した駆動用トランジスタ 3 B に対応しており、ソース電極 3 5 S には、アノード電極 2 1 (発光素子 3 D のアノード) が接続されている。

30

【 0 0 4 8 】

下層容量素子 C 1 は、基材 1 1 上に、下部電極 B E 1 と、ゲート絶縁膜 3 2 およびストッパー層 3 4 と、上部電極 T E 1 とを有している。下層容量素子 C 1 の下部電極 B E 1 は、下部ゲート電極 2 3 1 と同層に設けられているが、下部ゲート電極 2 3 1 とは連続しておらず、別の層として設けられている。なお、下層容量素子 C 1 の下部電極 B E 1 は、コンタクト B E 1 C N (図 7 参照。) を介して、接地配線 3 H および発光素子 3 D のカソードに接続されている。下層容量素子 C 1 の上部電極 T E 1 は、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。

40

【 0 0 4 9 】

すなわち、下層容量素子 C 1 は、駆動用トランジスタ 3 B のソース s と接地配線 3 H (発光素子 3 D のカソード) との間に、発光素子 3 D と並列に接続されており、図 2 に示した画素回路 1 0 1 における補助容量 3 I としての機能を有している。

【 0 0 5 0 】

上層容量素子 C 2 は、基材 1 1 上に、下部電極 B E 2 と、第 1 パッシベーション層 3 6 と、上部電極 T E 2 とを有している。上層容量素子 C 2 の下部電極 B E 2 は、下層容量素子 C 1 の上部電極 T E 1 と共通であり、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。上層容量素子 C 2 の上部電極 T E 2 は、上部ゲート電極 3 8

50

(駆動用トランジスタ 3 B のゲート g) に接続されている。

【 0 0 5 1 】

すなわち、上層容量素子 C 2 は、駆動用トランジスタ 3 B のソース s とゲート g の間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。

【 0 0 5 2 】

以上のように、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とは、電氣的に独立している。換言すれば、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とが、電氣的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。これにより、この基板 1 0 およびこの基板 1 0 を有する表示装置 1 0 0 では、動作や機能の異なる複数の容量素子 C 1 ~ C 3 を積層し、レイアウト効率を高めることが可能となっている。

10

【 0 0 5 3 】

下層容量素子 C 1 と上層容量素子 C 2 とは、互いに異なる電位を保持可能であることが好ましい。このようにすることにより、下層容量素子 C 1 と上層容量素子 C 2 とに対して、別々の機能・役割を持たせることが可能となる。つまり、異なる機能を担う下層容量素子 C 1 と上層容量素子 C 2 とを基材 1 1 上に積層することにより、画素 P X の面積を削減しつつ、狭レイアウト面積内に高容量を確保し、画素回路 1 0 1 の性能向上を図ることが可能となる。よって、高精細度の追求、画素ピッチの微細化、容量拡大が促進される。

【 0 0 5 4 】

また、下層容量素子 C 1 の充放電期間と上層容量素子 C 2 の充放電期間とは、互いに異なることが好ましい。図 2 に示した画素回路 1 0 1 においては、後述するように、保持容量 3 C と補助容量 3 I とが、互いに異なる期間に充放電動作を行っている。下層容量素子 C 1 (本実施の形態では例えば補助容量 3 I) の充放電期間と、上層容量素子 C 2 (本実施の形態では例えば保持容量 3 C) の充放電期間とを互いに異ならせることにより、このような画素回路 1 0 1 の駆動に対応することが可能となる。

20

【 0 0 5 5 】

更に、上述したように、下層容量素子 C 1 を補助容量 3 I とし、上層容量素子 C 2 を保持容量 3 C とすることにより、コンタクトの個数の増加を抑え、レイアウト効率を高くすることが可能となる。

30

【 0 0 5 6 】

最上層容量素子 C 3 は、基材 1 1 上に、下部電極 B E 3 と、第 2 パッシベーション層 3 9 および平坦化層 3 7 と、上部電極 T E 3 とを有している。最上層容量素子 C 3 の下部電極 B E 3 は、上層容量素子 C 2 の上部電極 T E 2 と共通であり、上部ゲート電極 3 8 (駆動用トランジスタ 3 B のゲート g) に接続されている。最上層容量素子 C 3 の上部電極 T E 3 は、アノード電極 2 1 (発光素子 3 D のアノード) である。

【 0 0 5 7 】

すなわち、最上層容量素子 C 3 は、駆動用トランジスタ 3 B のソース s とゲート g の間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。最上層容量素子 3 C を設けることにより、保持容量 3 C を補い、画素回路 1 0 1 の補正機能を更に高めることが可能となる。

40

【 0 0 5 8 】

なお、図 8 では、基材 1 1 からアノード電極 2 1 までの層構成を表しており、それより上の層は省略している。図 7 では、図 8 に示した層のうち、基材 1 1、下部ゲート電極 3 1 およびこれと同層の下部電極 B E 1、半導体層 3 3、ソース電極 3 5 S およびドレイン電極 3 5 D およびこれらと同層の上部電極 T E 1 および下部電極 B E 2、上部ゲート電極 3 8 およびこれと同層の上部電極 T E 2、ソース電極 3 5 S とアノード電極 2 1 との間のアノードコンタクト A C N を表している。

【 0 0 5 9 】

以下、基板 1 0 の基材 1 1 および薄膜トランジスタ 3 0 の各層の材料について説明する

50

。

【0060】

基材11は、ガラス基板、プラスチックフィルムなどにより構成されている。プラスチック材料としては、PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）などが挙げられる。後述のスパッタ法において、基材11を加熱することなく半導体層33となる酸化物半導体層を形成するので、低コストなプラスチックフィルムを用いることが可能である。また、基材11は、目的に応じて、ステンレス鋼（SUS）等の金属基板であってもよい。

【0061】

下部ゲート電極31は、基材11上の選択的な領域に設けられ、薄膜トランジスタ30に印加されるゲート電圧によって半導体層33中のキャリア密度（ここでは、電子密度）を制御するものである。下部ゲート電極31は、例えば、厚みが10nm～500nm、具体的には500nm程度であり、アルミニウム（Al）、銅（Cu）等の低抵抗の金属、チタン（Ti）やモリブデン（Mo）等のうちの1種よりなる単層膜、またはそれらのうちの2種以上よりなる積層膜により構成されている。下部ゲート電極31は低抵抗であることが望ましいので、その構成材料としては、アルミニウム（Al）、銅（Cu）等の低抵抗の金属を用いることが好ましい。また、下部ゲート電極31は、アルミニウム（Al）または銅（Cu）よりなる低抵抗金属層と、その最表面に形成されたITOあるいはIZOあるいはIGZO等の酸化物より形成された低抵抗酸化物層との積層膜であることが好ましい。その場合、低抵抗金属層と低抵抗酸化物層との良好なコンタクトを得るために、チタン（Ti）またはモリブデン（Mo）よりなるバリアメタル層を導入することが望ましい。

【0062】

ゲート絶縁膜32は、シリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜または酸化アルミニウム膜などの単層膜または積層膜により構成されている。特に、シリコン酸化膜または酸化アルミニウム膜は、半導体層33のチャネル領域を還元させにくいので好ましい。

【0063】

半導体層33は、ゲート絶縁膜32上に、下部ゲート電極31およびその近傍を含む島状に設けられ、薄膜トランジスタ30の活性層としての機能を有するものである。半導体層33は、例えば、酸化物半導体により構成されている。ここで酸化物半導体とは、インジウム、ガリウム、亜鉛、スズ等の元素と、酸素とを含む化合物である。具体的には、非晶質の酸化物半導体としては、酸化インジウムガリウム亜鉛（IGZO）や酸化インジウムスズ亜鉛（ITZO）等が挙げられ、結晶性の酸化物半導体としては、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO（登録商標））、酸化インジウムガリウム（IGO）、酸化インジウムスズ（ITO）、酸化インジウム（InO）等が挙げられる。

【0064】

ストッパー層34は、半導体層33のチャネル領域上に設けられ、ソース電極35Sおよびドレイン電極35Dのエッチングの際に半導体層33へのダメージを抑える役割を担っている。ストッパー層34は、例えば、厚みが200nm程度であり、シリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜または酸化アルミニウム膜などの単層膜または積層膜により構成されている。特に、シリコン酸化膜または酸化アルミニウム膜は、酸化物半導体よりなる半導体層33を還元させにくいので好ましい。

【0065】

ソース電極35Sおよびドレイン電極35Dは、例えば、厚みが500nm程度であり、モリブデン（Mo）やチタン（Ti）等のバリアメタルおよびアルミニウム（Al）や銅（Cu）等の積層膜により構成されている。また、ソース電極35Sおよびドレイン電極35Dは、下部ゲート電極31と同様に、アルミニウム（Al）または銅（Cu）などの低抵抗金属層を用いて構成されていることが好ましい。更に、アルミニウム（Al）または銅（Cu）よりなる低抵抗層と、チタン（Ti）またはモリブデン（Mo）よりなる

10

20

30

40

50

バリア層とを組み合わせた積層膜も好ましい。このような積層膜を用いることにより、配線遅延の少ない駆動が可能となる。

【0066】

第1パッシベーション層36は、酸化物半導体よりなる半導体層33への水分の混入や拡散を抑え、薄膜トランジスタ30の電氣的安定性や信頼性を高めるものである。第1パッシベーション層36は、例えば、厚みが200nm程度であり、シリコン窒化膜、シリコン窒化酸化膜などの単層膜または積層膜により構成されている。

【0067】

上部ゲート電極38は、例えば、下部ゲート電極31と同様に構成されている。第2パッシベーション層39は、例えば、第1パッシベーション層36と同様に構成されている。

10

【0068】

平坦化層37は、基板10上の複数の容量素子Cnおよび薄膜トランジスタ30による凹凸を低減・平坦化させるものである。平坦化層37は、例えば、厚みが2μm程度であり、アクリルやポリイミドやシロキサン等を材料とする有機絶縁膜により構成されている。また、平坦化層37は、シリコン酸化膜やシリコン窒化膜や酸化アルミニウム膜と、アクリルやポリイミドやシロキサン等を材料とする有機絶縁膜との積層膜を用いることも可能である。特に、シリコン酸化膜および酸化アルミニウム膜の積層膜を平坦化層37に用いれば、酸化物半導体よりなる半導体層33への水分の混入や拡散を抑え、薄膜トランジスタ30の電氣的安定性や信頼性を更に高めることが可能となる。

20

【0069】

図9は、図8に示した基板10を有する表示装置100の一つの画素PXの断面構成を表したものである。表示装置100は、例えば、基板10に表示素子20を有している。

【0070】

表示素子20は、例えば、有機EL素子により構成され、図2に示した発光素子3Dに対応している。具体的には、表示素子20は、赤色の光を発生する赤色有機EL素子20Rと、緑色の光を発生する緑色有機EL素子20Gと、青色の光を発生する青色有機EL素子20Bとのうちのいずれか一つである(図10参照。)

【0071】

表示素子20は、基板10上の平坦化層37の上に設けられ、アノード電極21(第1電極)、隔壁22、有機層23およびカソード電極24(第2電極)がこの順に積層された構成を有している。表示素子20は、上面発光型(トップエミッション型)の有機EL素子であり、アノード電極21から注入された正孔とカソード電極24から注入された電子が発光層23C(後述)内で再結合する際に生じた発光光が、基板10と反対側(カソード電極24側)から取り出される。上面発光型の有機EL素子を用いることにより、表示装置100の発光部の開口率が向上する。なお、表示素子20は、上面発光型の有機EL素子に限定されることはなく、例えば基板10側から光を取り出す透過型、即ち下面発光型(ボトムエミッション型)の有機EL素子としてもよい。

30

【0072】

アノード電極21は、例えば表示装置100が上面発光型である場合には、高反射性材料、例えば、アルミニウム-ネオジム合金、アルミニウム(Al)、チタン(Ti)、クロム(Cr)等からなる。また、表示装置100が透過型である場合には、アノード電極21は、透明材料、例えばITO、IZO(登録商標)、IGZO等が用いられる。アノード電極21は、コンタクトホールH2を介して、第2導電膜32に接続されている。

40

【0073】

隔壁22は、例えばポリイミドまたはノボラック等の有機材料により構成され、アノード電極21とカソード電極24との絶縁性を確保する役割も有している。

【0074】

有機層23は、例えば図10に示したように、アノード電極21側から順に、正孔注入層23A、正孔輸送層23B、発光層23C(赤色発光層23CR、緑色発光層23CG

50

、青色発光層 2 3 C B) , 電子輸送層 2 3 D および電子注入層 2 3 E を積層した構成を有している。有機層 2 3 の上面はカソード電極 2 4 によって被覆されている。赤色発光層 2 3 C R は、赤色光 L R を発生する。緑色発光層 2 3 C G は、緑色光 L G を発生する。青色発光層 2 3 C B は、青色光 L B を発生する。

【 0 0 7 5 】

あるいは、有機層 2 3 は、例えば図 1 1 に示したように、アノード電極 2 1 側から順に、正孔注入層 1 2 3 , 正孔輸送層 2 3 B , 発光層 2 3 C (黄色発光層 2 3 C Y , 青色発光層 2 3 C B) , 電子輸送層 2 3 D および電子注入層 2 3 E を積層した構成を有している。この場合には、黄色発光層 2 3 C Y は、黄色光 L Y を発生する。黄色光 L Y は、カラーフィルタ C F (赤フィルタ C F R , 緑フィルタ C F G) により赤色光 L R および緑色光 L G に色分離される。

10

【 0 0 7 6 】

また、あるいは、発光層 2 3 C は、例えば図 1 2 に示したように、赤色発光層 2 3 C R 、青色発光層 2 3 C B 、および緑色発光層 2 3 C G の積層構造をもつ白色発光層であってもよい。この場合には、発光層 2 3 C は、白色光 L W を発生する。白色光 L W は、カラーフィルタ C F (赤フィルタ C F R , 緑フィルタ C F G , 青フィルタ C F B) により赤色光 L R , 緑色光 L G および青色光 L B に色分離される。

【 0 0 7 7 】

なお、有機層 2 3 および発光層 2 3 C の構成は、図 1 0 ないし図 1 2 に示した例に限られず、他の構成を有していてもよいことは言うまでもない。

20

【 0 0 7 8 】

有機層 2 3 のうち、正孔注入層 2 3 A , 正孔輸送層 2 3 B , 電子輸送層 2 3 D および電子注入層 2 3 E は、例えば真空蒸着法により、画素アレイ部 1 0 2 (図 1 参照。) の全面に共通層として形成される。一方、赤色発光層 2 3 C R 、緑色発光層 2 3 C G 、および黄色発光層 2 3 C Y は、例えば塗布法により色別に形成される。青色発光層 2 3 C B は、例えば真空蒸着法により、画素領域 3 の全面に共通層として形成されていてもよいし、例えば塗布法により色別に形成されていてもよい。

【 0 0 7 9 】

有機層 2 3 を構成する各層の膜厚および構成材料等は特に限定されないが、一例を以下に示す。

30

【 0 0 8 0 】

正孔注入層 2 3 A は、発光層 2 3 C への正孔注入効率を高めると共に、リークを防止するためのバッファ層である。正孔注入層 2 3 A の厚みは例えば 5 nm ~ 2 0 0 nm であることが好ましく、さらに好ましくは 8 nm ~ 1 5 0 nm である。正孔注入層 2 3 A の構成材料は、電極や隣接する層の材料との関係で適宜選択すればよく、例えばポリアニリン、ポリチオフェン、ポリピロール、ポリフェニレンビニレン、ポリチエニレンビニレン、ポリキノリン、ポリキノキサリンおよびそれらの誘導体、芳香族アミン構造を主鎖又は側鎖に含む重合体などの導電性高分子、金属フタロシアニン(銅フタロシアニン等)、カーボンなどが挙げられる。導電性高分子の具体例としてはオリゴアニリンおよびポリ(3,4-エチレンジオキシチオフェン)(PEDOT)などのポリジオキシチオフェンが挙げられる。

40

【 0 0 8 1 】

正孔輸送層 2 3 B は、発光層 2 3 C への正孔輸送効率を高めるためのものである。正孔輸送層 2 3 B の厚みは、素子の全体構成にもよるが、例えば 5 nm ~ 2 0 0 nm であることが好ましく、さらに好ましくは 8 nm ~ 1 5 0 nm である。正孔輸送層 2 3 B を構成する材料としては、有機溶媒に可溶性発光材料、例えば、ポリビニルカルバゾール、ポリフルオレン、ポリアニリン、ポリシランまたはそれらの誘導体、側鎖または主鎖に芳香族アミンを有するポリシロキサンの誘導体、ポリチオフェンおよびその誘導体、ポリピロールまたは A 1 q₃ などを用いることができる。

【 0 0 8 2 】

50

発光層 2 3 C では、電界がかかると電子と正孔との再結合が起こり発光する。発光層 2 3 C の厚みは、素子の全体構成にもよるが、例えば 1 0 n m ~ 2 0 0 n m であることが好ましく、さらに好ましくは 2 0 n m ~ 1 5 0 n m である。発光層 2 3 C は、それぞれ単層あるいは積層構造であってもよい。

【 0 0 8 3 】

発光層 2 3 C を構成する材料は、それぞれの発光色に応じた材料を用いればよく、例えばポリフルオレン系高分子誘導体や、(ポリ)パラフェニレンビニレン誘導体、ポリフェニレン誘導体、ポリビニルカルバゾール誘導体、ポリチオフェン誘導体、ペリレン系色素、クマリン系色素、ローダミン系色素、あるいは上記高分子に有機 E L 材料をドーブしたものが挙げられる。ドーブ材料としては、例えばルブレン、ペリレン、9, 10 - ジフェニルアントラセン、テトラフェニルブタジエン、ニールレッド、クマリン 6 等を用いることができる。なお、発光層 2 3 C を構成する材料は、上記材料を 2 種類以上混合して用いてもよい。また、上記高分子量の材料に限らず、低分子量の材料を組み合わせ用いてもよい。低分子材料の例としては、ベンジン、スチリルアミン、トリフェニルアミン、ポルフィリン、トリフェニレン、アザトリフェニレン、テトラシアノキノジメタン、トリアゾール、イミダゾール、オキサジアゾール、ポリアリールアルカン、フェニレンジアミン、アリールアミン、オキサゾール、アントラセン、フルオレノン、ヒドラゾン、スチルベンあるいはこれらの誘導体、または、ポリシラン系化合物、ビニルカルバゾール系化合物、チオフェン系化合物あるいはアニリン系化合物等の複素環式共役系のモノマーあるいはオリゴマーが挙げられる。

10

20

【 0 0 8 4 】

発光層 2 3 C を構成する材料としては、上記材料の他に発光性ゲスト材料として、発光効率が高い材料、例えば、低分子蛍光材料、りん光色素あるいは金属錯体等の有機発光材料を用いることができる。

【 0 0 8 5 】

なお、発光層 2 3 C は、例えば上述した正孔輸送層 2 3 B を兼ねた正孔輸送性の発光層としてもよく、また、後述する電子輸送層 2 3 D を兼ねた電子輸送性の発光層としてもよい。

【 0 0 8 6 】

電子輸送層 2 3 D および電子注入層 2 3 E は、発光層 2 3 C への電子輸送効率を高めるためのものである。電子輸送層 2 3 D および電子注入層 2 3 E の総膜厚は素子の全体構成にもよるが、例えば 5 n m ~ 2 0 0 n m であることが好ましく、より好ましくは 1 0 n m ~ 1 8 0 n m である。

30

【 0 0 8 7 】

電子輸送層 2 3 D の材料としては、優れた電子輸送能を有する有機材料を用いることが好ましい。発光層 2 3 C の輸送効率を高めることにより、電界強度による発光色の変化が抑制される。具体的には、例えばアリールピリジン誘導体およびベンゾイミダゾール誘導体などを用いることが好ましい。これにより、低い駆動電圧でも高い電子の供給効率が維持されるからである。電子注入層 2 3 E の材料としては、アルカリ金属、アルカリ土類金属、希土類金属およびその酸化物、複合酸化物、フッ化物、炭酸塩等が挙げられる。

40

【 0 0 8 8 】

カソード電極 2 4 は、例えば、厚みが 1 0 n m 程度であり、光透過性が良好で仕事関数が小さい材料により構成されている。また、酸化物を用いて透明導電膜を形成することによっても光取り出しを担保することが可能である。この場合には、Z n O , I T O , I Z n O , I n S n Z n O 等を用いることが可能である。更に、カソード電極 2 4 は単層でもよいが、図 1 0 ないし図 1 2 に示した例では、例えば、アノード電極 2 1 側から順に第 1 層 2 4 A、第 2 層 2 4 B、第 3 層 2 4 C を積層した構造となっている。

【 0 0 8 9 】

第 1 層 2 4 A は、仕事関数が小さく、且つ、光透過性の良好な材料により形成されることが好ましい。具体的には、例えばカルシウム (C a) , バリウム (B a) 等のアルカリ

50

土類金属、リチウム (Li)、セシウム (Cs) 等のアルカリ金属、インジウム (In)、マグネシウム (Mg)、銀 (Ag) が挙げられる。更に、 Li_2O 、 Cs_2Co_3 、 Cs_2SO_4 、 MgF 、 LiF や CaF_2 等のアルカリ金属酸化物、アルカリ金属フッ化物、アルカリ土類金属酸化物、アルカリ土類フッ化物が挙げられる。

【0090】

第2層24Bは、薄膜のMgAg電極やCa電極などの光透過性を有し、且つ、導電性が良好な材料で構成されている。第3層24Cは、電極の劣化を抑制するために透明なランタノイド系酸化物を用いることが好ましい。これにより、上面から光を取り出すことが可能な封止電極として用いることが可能となる。また、ボトムエミッション型の場合には、第3層24Cの材料として金 (Au)、白金 (Pt) またはAuGe等が用いられる。

10

【0091】

なお、第1層24A、第2層24Bおよび第3層24Cは、真空蒸着法、スパッタリング法、あるいはプラズマCVD (Chemical Vapor Deposition ; 化学気相成長) 法などの手法によって形成される。また、表示装置100の駆動方式がアクティブマトリクス方式である場合、カソード電極24は、隔壁22および有機層23によってアノード電極21に対して絶縁された状態で、基板10上にベタ膜状で形成され、表示素子20の共通電極とされていてもよい。

【0092】

また、カソード電極24には、アルミキノリン錯体、スチリルアミン誘導体、フタロシアン誘導体等の有機発光材料を含有した混合層でもよい。この場合には、さらに第3層24C (図示なし) としてMgAgのような光透過性を有する層を別途有していてもよい。また、カソード電極24は上記のような積層構造に限定されることはなく、作製されるデバイスの構造に応じて最適な組み合わせ、積層構造を取ればよいことは言うまでもない。例えば、上記本実施の形態のカソード電極24の構成は、電極各層の機能分離、即ち有機層23への電子注入を促進させる無機層 (第1層24A) と、電極を司る無機層 (第2層24B) と、電極を保護する無機層 (第3層24C) とを分離した積層構造である。しかしながら、有機層23への電子注入を促進させる無機層が、電極を司る無機層を兼ねてもよく、これらの層を単層構造としてもよい。

20

【0093】

更に、この表示素子20が、キャビティ構造となっている場合には、カソード電極24が半透過半反射材料を用いて構成されることが好ましい。これにより、アノード電極21側の光反射面と、カソード電極24側の光反射面との間で多重干渉させた発光光がカソード電極24側から取り出される。この場合、アノード電極21側の光反射面とカソード電極24側の光反射面との間の光学的距離は、取り出したい光の波長によって規定され、この光学的距離を満たすように各層の膜厚が設定されていることとする。このような上面発光型の表示素子においては、このキャビティ構造を積極的に用いることにより、外部への光取り出し効率の改善や発光スペクトルの制御を行うことが可能となる。

30

【0094】

表示素子20の上には、例えば、保護層25、接着層26および封止基板27が設けられており、これらにより表示素子20が封止されている (固体封止構造)。

40

【0095】

保護層25は、有機層23への水分の浸入を防止するためのものであり、透過性および透水性の低い材料を用いて、例えば厚さ2~3 μm で形成されている。保護層25の材料としては、絶縁性材料または導電性材料のいずれにより構成されていてもよい。絶縁性材料としては、無機アモルファス性の絶縁性材料、例えばアモルファスシリコン ($-Si$)、アモルファス炭化シリコン ($-SiC$)、アモルファス窒化シリコン ($-Si_1-xN_x$)、アモルファスカーボン ($-C$) などが好ましい。このような無機アモルファス性の絶縁性材料は、グレインを構成しないため透水性が低く、良好な保護膜となる。

【0096】

50

封止基板 27 は、表示素子 20 のカソード電極 24 の側に位置しており、接着層 26 と共に表示素子 20 を封止するものである。封止基板 27 は、表示素子 20 で発生した光に対して透明なガラスなどの材料により構成されている。封止基板 27 には、例えば、カラーフィルタおよびブラックマトリクスとしての遮光膜（いずれも図示せず）が設けられており、表示素子 20 で発生した光を取り出すと共に、各表示素子 20 間の配線において反射された外光を吸収し、コントラストを改善するようになっている。

【0097】

封止基板 27 上には、例えばカラーフィルタおよび遮光膜（いずれも図示せず）が設けられていてもよい。カラーフィルタは、赤色フィルタ、緑色フィルタおよび青色フィルタ（いずれも図示せず）を有しており、順に配置されている。赤色フィルタ、緑色フィルタおよび青色フィルタは、それぞれ例えば矩形形状で隙間なく形成されている。これら赤色フィルタ、緑色フィルタおよび青色フィルタは、顔料を混入した樹脂によりそれぞれ構成されており、顔料を選択することにより、目的とする赤、緑あるいは青の波長域における光透過率が高く、他の波長域における光透過率が低くなるように調整されている。

10

【0098】

遮光膜は、例えば黒色の着色剤を混入した光学濃度が 1 以上の黒色の樹脂膜、または薄膜の干渉を利用した薄膜フィルタにより構成されている。このうち黒色の樹脂膜により構成するにすれば、安価で容易に形成することができるので好ましい。薄膜フィルタは、例えば、金属、金属窒化物あるいは金属酸化物よりなる薄膜を 1 層以上積層し、薄膜の干渉を利用して光を減衰させるものである。薄膜フィルタとしては、具体的には、Cr と酸化クロム (III) (Cr_2O_3) とを交互に積層したものが挙げられる。

20

【0099】

この基板 10 およびこの基板 10 を有する表示装置 100 は、例えば、次のようにして製造することができる。

【0100】

（基板 10 を形成する工程）

図 13 ないし図 26 は、基板 10 の製造方法を工程順に表したものである。まず、図 13 に示したように、上述した材料よりなる基材 11 を用意し、この基材 11 上に、例えばスパッタリングにより、導電材料膜 31A を形成する。導電材料膜 31A としては、例えば、ITO、IZO（登録商標）、IGZO 等の酸化物半導体層と、モリブデン (Mo)、チタン (Ti)、アルミニウム (Al) あるいは銅 (Cu) 等の低抵抗金属層と、チタン (Ti) 等のバリアメタル層とからなる積層膜を、300nm 程度の厚みで形成する。

30

【0101】

次いで、図 14 に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜 31A を所定の形状に成形し、ゲート電極 31 および下層容量素子 C1 の下部電極 BE1 を形成する。

【0102】

続いて、図 15 に示したように、ゲート電極 31 および下層容量素子 C1 の下部電極 BE1 の上に、ゲート絶縁膜 32 を形成する。ゲート絶縁膜 32 の形成方法としては、シリコン窒化膜やシリコン酸化膜などの積層膜をプラズマ CVD 法で形成する場合や、シリコン窒化膜、シリコン酸化膜、酸化アルミニウム膜あるいは窒化アルミニウム膜をスパッタリング法等により 400nm 程度の厚みで形成する場合がある。

40

【0103】

プラズマ CVD 法の例としては原料ガスとしてシラン、アンモニア、窒素等のガスを用いたプラズマ CVD 法によりシリコン窒化膜を形成し、原料ガスとしてシラン、一酸化二窒素を含むガスを用いたプラズマ CVD 法によりシリコン酸化膜を形成する。また、スパッタリングのターゲットとしては、シリコンを用い、スパッタリングの放電雰囲気中に酸素や水蒸気、窒素などを用いて反応性プラズマスパッタリングとすることでシリコン酸化膜やシリコン窒化膜を形成する。

【0104】

50

そののち、図16に示したように、ゲート絶縁膜62の上に、酸化物半導体材料膜33Aを形成する。このとき膜厚は、その後のアニールによる酸素供給効率を考慮すると、5~100nmであることが望ましい。酸化物半導体材料膜33Aが酸化インジウムガリウム亜鉛(IGZO)の場合、酸化物半導体材料膜33Aの形成には酸化インジウムガリウム亜鉛のセラミックをターゲットとしたDCスパッタ法を用い、アルゴンと酸素の混合ガスによるプラズマ放電にて基材11上に酸化物半導体材料膜33Aを形成する。なお、プラズマ放電の前に真空容器内の真空度が 1×10^{-4} Pa以下になるまで排気した後、アルゴンと酸素の混合ガスを導入する。酸化物半導体として酸化亜鉛を用いる場合には、酸化亜鉛のセラミックをターゲットとしたRFスパッタ法あるいは亜鉛の金属ターゲットを用いてアルゴンと酸素を含むガス雰囲気中でDC電源を用いたスパッタ法を用いて、酸化物半導体材料膜33Aとなる酸化亜鉛膜を形成することが可能である。

10

【0105】

この際にアルゴンと酸素の流量比を変化させることで、チャンネルとなる酸化物半導体膜中のキャリア濃度を制御することが出来る。

【0106】

酸化物半導体材料膜33Aを形成したのち、図17に示したように、例えばフォトリソグラフィおよびエッチングにより、酸化物半導体材料膜33Aを所定の形状に成形し、酸化物半導体よりなる半導体層33を形成する。酸化物半導体は酸・アルカリに容易に溶けるためにウェットエッチングによる加工が一般的であるが、ドライエッチングも可能である。

20

【0107】

酸化物半導体材料膜33Aとして、ZnOやインジウム、ガリウム、ジリコニウム、スズなどから成り、インジウムやスズの比率が他の構成元素より高い結晶性の材料を用いる場合は、この段階で結晶化アニールを施すことでエッチング溶媒に対する耐性をつける場合もある。

【0108】

半導体層33を形成したのち、図18に示したように、半導体層33の上に、ストッパー材料膜34Aを形成する。ストッパー材料膜34Aの成膜方法としては、シリコン窒化膜やシリコン酸化膜などの積層膜をプラズマCVD法で形成する場合や、シリコン窒化膜、シリコン酸化膜、酸化アルミニウム膜あるいは窒化アルミニウム膜をスパッタリング法等により200nm程度の厚みで形成する場合がある。

30

【0109】

ストッパー材料膜34Aを形成したのち、図19に示したように、例えばフォトリソグラフィおよびエッチングにより、ストッパー材料膜34Aを所定の形状に成形し、コンタクトホールH1を有するストッパー層34を形成する。

【0110】

ストッパー層34を形成したのち、図20に示したように、ストッパー層34上に、導電材料膜35Aを形成する。導電材料膜35Aの形成方法としては、例えばスパッタリング法により、ITOあるいはIZO(登録商標)あるいはIGZO等の酸化物半導体とモリブデン(Mo)、チタン(Ti)、アルミニウム(Al)あるいは銅(Cu)等の低抵抗金属層とチタン(Ti)等のバリアメタル層からなる積層膜を、500nm程度の厚みで形成する。

40

【0111】

導電材料膜35Aを形成したのち、図21に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜35Aを所定の形状に成形し、ソース電極35Sおよびドレイン電極35Dを形成する。このとき、下層容量素子C1の上部電極TE1および上層容量素子C2の下部電極BE2を、ソース電極35Sと連続して一体的に形成する。

【0112】

ソース電極35Sおよびドレイン電極35Dを形成したのち、図22に示したように、

50

例えばプラズマCVD法により、シリコン窒化膜、シリコン窒化酸化膜、またはそれらの積層膜よりなる第1パッシベーション層36を形成する。

【0113】

第1パッシベーション層36を形成したのち、図23に示したように、第1パッシベーション層36上に、導電材料膜38Aを形成する。導電材料膜38Aの形成方法としては、例えばスパッタリング法により、ITOあるいはIZO（登録商標）あるいはIGZO等の酸化物半導体とモリブデン（Mo）、チタン（Ti）、アルミニウム（Al）あるいは銅（Cu）等の低抵抗金属層とチタン（Ti）等のバリアメタル層からなる積層膜を、500nm程度の厚みで形成する。

【0114】

導電材料膜38Aを形成したのち、図24に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜38Aを所定の形状に成形し、上部ゲート電極38を形成する。このとき、上層容量素子C2の上部電極TE2および最上層容量素子C3の下部電極BE3を、上部ゲート電極38と連続して一体的に形成する。

【0115】

上部ゲート電極38を形成したのち、図25に示したように、例えばプラズマCVD法により、シリコン窒化膜、シリコン窒化酸化膜、またはそれらの積層膜よりなる第2パッシベーション層39を形成する。以上により、図7および図8に示した基板10が完成する。

【0116】

（表示素子20を形成する工程）

基板10を形成したのち、図26に示したように、この基板10に平坦化層37を形成する。平坦化層37としては、例えば、厚さ2μm程度のポリイミドあるいはアクリルあるいはシロキサン等の有機材料による有機膜、あるいは有機膜とシリコン酸化膜あるいはシリコン酸窒化膜あるいはシリコン窒化膜あるいは酸化アルミニウム膜、またはそれらの積層膜を形成する。その際、シリコン酸化膜やシリコン酸窒化膜やシリコン窒化膜はプラズマCVD法により形成することが可能である。酸化アルミニウム膜は、アルミニウムをターゲットとしたDCまたはAC電源による反応性スパッタリング法あるいは原子層成膜法等により形成することが可能である。

【0117】

続いて、例えばフォトリソグラフィおよびエッチングにより平坦化層37にコンタクトホールH2を設ける。そののち、平坦化層37の上に、例えばスパッタリング法により、例えばモリブデン（Mo）とアルミニウム（Al）との積層膜を500nmの厚みで形成し、フォトリソグラフィおよびエッチングにより所定の形状に成形する。これにより、アノード電極21を形成する。

【0118】

そののち、隔壁22を形成し、例えば真空蒸着法により、有機層23の正孔注入層23Aおよび正孔輸送層23Bを、画素アレイ部102の全面にわたって形成する。

【0119】

正孔輸送層23Bを形成したのち、発光層23を形成する。例えば図10の場合、赤色発光層23CRおよび緑色発光層23CGを、液滴吐出法等の塗布法により色別に形成する。なお、図11に示したように黄色発光層15CYを用いてカラーフィルタCFで色分離する方式では、塗布工程は黄色発光層15CYのみで完了する。よって、コスト的に有利である。

【0120】

そののち、例えば真空蒸着法により、有機層23の青色発光層23CB、電子輸送層23Dおよび電子注入層23Eと、カソード電極24と、保護膜25とを、画素アレイ部102の全面にわたって形成する。そののち、封止基板27を接着層26により貼り合わせる。以上により、図9に示した表示装置100が完成する。

【0121】

10

20

30

40

50

この表示装置 100 は、例えば、次のように動作する。

【0122】

図 27 は、図 2 に示した画素回路 101 の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線 (WSL101) の電位変化、電源線 (DSL101) の電位変化及び信号線 (DTL101) の電位変化を表してある。またこれらの電位変化と並行に、駆動用トランジスタ 3B のゲート電位 (V_g) 及びソース電位 (V_s) の変化も表してある。

【0123】

このタイミングチャートは、画素回路 101 の動作の遷移に合わせて期間を (B) ~ (G1) および (G2) のように便宜的に区切ってある。発光期間 (B) では発光素子 3D が発光状態にある。こののち、線順次走査の新しいフィールドに入り、まず、最初の期間 (C) で、駆動用トランジスタのゲート電位 V_g が初期化される。次の期間 (D) に進み、駆動用トランジスタのソース電位 V_s も初期化される。このように駆動用トランジスタ 3B のゲート電位 V_g 及びソース電位 V_s を初期化することで、閾電圧補正動作の準備が完了する。続いて、閾値補正期間 (E) で実際に閾電圧補正動作が行われ、駆動用トランジスタ 3B のゲート g とソース s との間に閾電圧 V_{th} に相当する電圧が保持される。実際には、 V_{th} に相当する電圧が、駆動用トランジスタ 3B のゲート g とソース s との間に接続された保持容量 3C に書き込まれることになる。こののち、サンプリング期間 / 移動度補正期間 (F) に進み、映像信号の信号電位 V_{in} が V_{th} に足し込まれる形で保持容量 3C に書き込まれると共に、移動度補正用の電圧 V が保持容量 3C に保持された電圧から差し引かれる。続いて、発光期間 (G1) および (G2) に進み、信号電圧 V_{in} に応じた輝度で発光素子 3D が発光する。その際、信号電圧 V_{in} は閾電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、発光素子 3D の発光輝度は駆動用トランジスタ 3B の閾電圧 V_{th} や移動度 μ のばらつきの影響を受けない。なお、発光期間の初期 (G1) においてブートストラップ動作が行われ、駆動用トランジスタ 3B のゲート ソース間電圧 $V_{gs} = V_{in} + V_{th} - V$ を一定に維持したまま、駆動用トランジスタ 3B のゲート電位 V_g 及びソース電位 V_s が上昇する。

【0124】

引き続き、図 28 ないし図 33 を参照して、画素回路 101 の動作を詳細に説明する。なお、図 28 は、図 27 に示したタイミングチャートの期間 (B) に対応している。図 29 は、図 27 に示したタイミングチャートの期間 (C) に対応している。図 30 は、図 27 に示したタイミングチャートの期間 (D) に対応している。図 31 は、図 27 に示したタイミングチャートの期間 (E) に対応している。図 32 は、図 27 に示したタイミングチャートの期間 (F) に対応している。図 33 は、図 27 に示したタイミングチャートの期間 (G1) および (G2) に対応している。

【0125】

まず、図 28 に示したように、発光期間 (B) では、電源供給線 DSL101 が高電位 V_{cc_H} (第 1 電位) にあり、駆動用トランジスタ 3B が駆動電流 I_{ds} を発光素子 3D に供給している。駆動電流 I_{ds} は高電位 V_{cc_H} にある電源供給線 DSL101 から駆動用トランジスタ 3B を介して発光素子 3D を通り、共通接地配線 3H に流れ込んでいる。

【0126】

次いで、期間 (C) に入ると、図 29 に示したように、走査線 WSL101 が高電位側に遷移することでサンプリング用トランジスタ 3A がオン状態となり、駆動用トランジスタ 3B のゲート電位 V_g は映像信号線 DTL101 の基準電位 V_o に初期化 (リセット) される。

【0127】

続いて、期間 (D) に進むと、図 30 に示したように、電源供給線 DSL101 の電位が高電位 V_{cc_H} (第 1 電位) から映像信号線 DTL101 の基準電位 V_o より十分低い電位 V_{cc_L} (第 2 電位) に遷移する。これにより駆動用トランジスタ 3B のソース

電位 V_s が映像信号線 $D T L 1 0 1$ の基準電位 V_o より十分低い電位 $V_{c c_L}$ に初期化（リセット）される。具体的には駆動用トランジスタ $3 B$ のゲートソース間電圧 $V_{g s}$ （ゲート電位 V_g とソース電位 V_s の差）が駆動用トランジスタ $3 B$ の閾電圧 $V_{t h}$ より大きくなるように、電源供給線 $D S L 1 0 1$ の低電位 $V_{c c_L}$ （第 2 電位）を設定する。

【 0 1 2 8 】

そののち、閾値補正期間（ E ）に進むと、図 3 1 に示したように、電源供給線 $D S L 1 0 1$ の電位が低電位 $V_{c c_L}$ から高電位 $V_{c c_H}$ に遷移し、駆動用トランジスタ $3 B$ のソース電位 V_s が上昇を開始する。やがて駆動用トランジスタ $3 B$ のゲートソース間電圧 $V_{g s}$ が閾電圧 $V_{t h}$ となったところで電流がカットオフする。このようにして駆動用トランジスタ $3 B$ の閾電圧 $V_{t h}$ に相当する電圧が保持容量 $3 C$ に書き込まれる。これが閾電圧補正動作である。このとき、電流が専ら保持容量 $3 C$ 側に流れ、発光素子 $3 D$ 側には流れないようにするため、発光素子 $3 D$ がカットオフとなるように共通接地配線 $3 H$ の電位を設定しておく。

10

【 0 1 2 9 】

続いて、サンプリング期間 / 移動度補正期間（ F ）に進むと、図 3 2 に示したように、第 1 のタイミングで映像信号線 $D T L 1 0 1$ の電位が基準電位 V_o から信号電位 $V_{i n}$ に遷移し、駆動用トランジスタ $3 B$ のゲート電位 V_g は $V_{i n}$ となる。このとき発光素子 $3 D$ は始めカットオフ状態（ハイインピーダンス状態）にあるため駆動用トランジスタ $3 B$ のドレイン電流 $I_{d s}$ は補助容量 $3 I$ に流れ込む。これにより補助容量 $3 I$ は充電を開始する。よって駆動用トランジスタ $3 B$ のソース電位 V_s は上昇を開始し、第 2 のタイミングで駆動用トランジスタ $3 B$ のゲートソース間電圧 $V_{g s}$ は $V_{i n} + V_{t h} - V$ となる。このようにして信号電位 $V_{i n}$ のサンプリングと補正量 V の調整が行われる。 $V_{i n}$ が高いほど $I_{d s}$ は大きくなり、 V の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行える。また $V_{i n}$ を一定とした場合、駆動用トランジスタ $3 B$ の移動度 μ が大きいほど V の絶対値も大きくなる。換言すると移動度 μ が大きいほど負帰還量 V が大きくなるので、画素ごとの移動度 μ のばらつきを取り除くことが可能である。

20

【 0 1 3 0 】

最後に、発光期間（ $G 1$ ）になると、図 3 3 に示したように、走査線 $W S L 1 0 1$ が低電位側に遷移し、サンプリング用トランジスタ $3 A$ はオフ状態となる。これにより駆動用トランジスタ $3 B$ のゲート g は信号線 $D T L 1 0 1$ から切り離される。同時にドレイン電流 $I_{d s}$ が発光素子 $3 D$ を流れ始める。これにより発光素子 $3 D$ のアノード電位は駆動電流 $I_{d s}$ に応じて上昇する。発光素子 $3 D$ のアノード電位の上昇は、即ち駆動用トランジスタ $3 B$ のソース電位 V_s の上昇に他ならない。駆動用トランジスタ $3 B$ のソース電位 V_s が上昇すると、保持容量 $3 C$ のブートストラップ動作により、駆動用トランジスタ $3 B$ のゲート電位 V_g も連動して上昇する。ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動用トランジスタ $3 B$ のゲートソース間電圧 $V_{g s}$ は $V_{i n} + V_{t h} - V$ で一定に保持される。

30

【 0 1 3 1 】

発光期間（ $G 2$ ）では、駆動用トランジスタ $3 B$ のソース電位 V_s およびゲート電位 V_g の上昇が止まり、そのまま保持される。

40

【 0 1 3 2 】

表 1 は、以上の説明に基づいて保持容量 $3 C$ および補助容量 $3 I$ の充放電期間の異同をまとめたものである。

【 0 1 3 3 】

【表 1】

	(E)	(F)	(G1)	(G2)
保持容量 3C	入力	入力	保持	保持
補助容量 3I	入力	入力	入力	保持

【0134】

保持容量 3C への充電は、閾値補正期間 (E) に開始される。このとき、発光素子 3D はカットオフになっているが、発光素子 3D 側に流れる電流は完全には抑制されず、補助容量 3I への充電も生じている。次のサンプリング期間 / 移動度補正期間 (F) において補助容量 3I への充電が開始される。発光期間の初期 (G1) では、補助容量 3I への充電のみが行われる。

10

【0135】

このように、保持容量 3C は閾値補正の動作を担っており、期間 (E) (F) において書込みが行われる。一方、補助容量 3I は移動度補正のタイムマージンを大きくする役割を担っており、期間 (E) (F) (G1) において書込みが行われる。つまり、保持容量 3C と補助容量 3I は、異なる期間に書込みが行われている。

【0136】

ここで、本実施の形態では、下層容量素子 C1 の充放電期間と上層容量素子 C2 の充放電期間とを互いに異ならせるようにしている。よって、上層容量素子 C2 を保持容量 3C として閾値補正動作を行わせると共に、下層容量素子 C1 を補助容量 3I として移動度補正のタイムマージンの拡大に用いることにより、上述したような閾値補正および移動度補正を伴う画素回路 101 の駆動に対応することが可能となる。

20

【0137】

このように本実施の形態では、基材 11 上に、積層方向の位置が互いに異なる下層容量素子 C1 および上層容量素子 C2 を含む複数の容量素子 Cn を積層し、下層容量素子 C1 の下部電極 BE1 と、上層容量素子 C2 の上部電極 TE2 とが、電氣的に独立しているようにしている。よって、動作や機能の異なる複数の容量素子 Cn を積層し、レイアウト効率を高めることが可能となる。従って、表示装置 100 の高精細化 (画素数の増大) および小型化に伴う画素ピッチの微細化を進める上で、一つの画素 PX あたりの面積が小さくなる中で、狭レイアウト面積内に複数の容量素子 Cn を配置することが可能となる。

30

【0138】

また、下層容量素子 C1 および上層容量素子 C2 が、互いに異なる電位を保持可能であるようにしたので、異なる機能を担う下層容量素子 C1 と上層容量素子 C2 とを基材 11 上に積層し、画素 PX の面積を削減しつつ回路の性能向上を図ることが可能となる。

【0139】

更に、下層容量素子 C1 を補助容量 3I とし、上層容量素子 C2 を保持容量 3C とすることにより、コンタクトの個数の増加を抑え、レイアウト効率を高くすることが可能となる。

40

【0140】

(第 2 の実施の形態)

図 34 は、本開示の第 2 の実施の形態に係る基板 10A を、図 2 に示した保持容量 3C および補助容量 3I の平面配置構成に適用した例を表したものである。図 35 は、図 34 の XXXVA - XXXVA' 線における断面構成を表している。この基板 10A は、下層容量素子 C1 を保持容量 3C とし、上層容量素子 C2 を補助容量 3I としたことを除いては、上記第 1 の実施の形態に係る基板 10 と同様の構成を有している。よって、対応する構成要素には同一の符号を付して説明する。

【0141】

50

すなわち、基板 10A は、第 1 の実施の形態と同様に、基材 11 上に、複数の容量素子 C_n を有している。複数の容量素子 C_n は、基材 11 上に、基材 11 の厚み方向に積層され、積層方向 Z の位置が互いに異なっている。複数の容量素子 C_n は、例えば、下層容量素子 C_1 、上層容量素子 C_2 および最上層容量素子 C_3 を基材 11 側からこの順に含んでいる。

【0142】

更に、基板 10A は、第 1 の実施の形態と同様に、基材 11 の複数の容量素子 C_n が設けられた側に、薄膜トランジスタ 30 を有していることが好ましい。薄膜トランジスタ 30 の構成は、第 1 の実施の形態と同様である。なお、図 35 に示した薄膜トランジスタ 30 は、図 34 に示した駆動用トランジスタ 3B に対応しており、ソース電極 35S には、

10

【0143】

下層容量素子 C_1 は、基材 11 上に、下部電極 BE1 と、ゲート絶縁膜 32 およびストッパー層 34 と、上部電極 TE1 とを有している。下層容量素子 C_1 の下部電極 BE1 は、下部ゲート電極 31 (駆動用トランジスタ 3B のゲート g) に接続されている。下層容量素子 C_1 の上部電極 TE1 は、ソース電極 35S (駆動用トランジスタ 3B のソース s) に接続されている。

【0144】

すなわち、下層容量素子 C_1 は、駆動用トランジスタ 3B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 101 における保持容量 3C としての機能を有している。

20

【0145】

上層容量素子 C_2 は、基材 11 上に、下部電極 BE2 と、第 1 パッシベーション層 36 と、上部電極 TE2 とを有している。上層容量素子 C_2 の下部電極 BE2 は、下層容量素子 C_1 の上部電極 TE1 と共通であり、ソース電極 35S (駆動用トランジスタ 3B のソース s) に接続されている。上層容量素子 C_2 の上部電極 TE2 は、上部ゲート電極 38 と同層に設けられているが、上部ゲート電極 38 とは連続しておらず、別の層として設けられている。なお、上層容量素子 C_2 の上部電極 TE2 は、コンタクト TE2CN (図 34 参照。) を介して、接地配線 3H および発光素子 3D のカソードに接続されている。

【0146】

すなわち、上層容量素子 C_2 は、駆動用トランジスタ 3B のソース s と接地配線 3H (発光素子 3D のカソード) との間に、発光素子 3D と並列に接続されており、図 2 に示した画素回路 101 における補助容量 3I としての機能を有している。

30

【0147】

第 1 の実施の形態と同様に、下層容量素子 C_1 の下部電極 BE1 と、上層容量素子 C_2 の上部電極 TE2 とは、電氣的に独立している。換言すれば、下層容量素子 C_1 の下部電極 BE1 と、上層容量素子 C_2 の上部電極 TE2 とが、電氣的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。これにより、この基板 10A およびこの基板 10A を有する表示装置 100 では、動作や機能の異なる複数の容量素子 $C_1 \sim C_3$ を積層し、レイアウト効率を高めることが可能となっている。

40

【0148】

下層容量素子 C_1 と上層容量素子 C_2 とは、第 1 の実施の形態と同様に、互いに異なる電位を保持可能であることが好ましい。

【0149】

また、第 1 の実施の形態と同様に、下層容量素子 C_1 の充放電期間と上層容量素子 C_2 の充放電期間とは、互いに異なることが好ましい。

【0150】

更に、上述したように、下層容量素子 C_1 を保持容量 3C とし、上層容量素子 C_2 を補助容量 3I とすることにより、第 1 パッシベーション層 36 の膜厚によって保持容量 3C が変動するおそれが小さくなる。よって、ブートストラップ動作時のゲイン変動による輝

50

度への影響を抑えることが可能となる。

【0151】

最上層容量素子C3は、基材11上に、下部電極BE3と、第2パッシベーション層39および平坦化層37と、上部電極TE3とを有している。最上層容量素子C3の下部電極BE3は、上層容量素子C2の上部電極TE2と共通であり、接地配線3Hおよび発光素子3Dのカソードに接続されている。最上層容量素子C3の上部電極TE3は、アノード電極21（発光素子3Dのアノード）である。

【0152】

すなわち、最上層容量素子C3は、駆動用トランジスタ3Bのソースsと接地配線3H（発光素子3Dのカソード）との間に、発光素子3Dと並列に接続されており、図2に示した画素回路101における補助容量3Iとしての機能を有している。最上層容量素子3Cを設けることにより、補助容量3Iを補い、画素回路101の補正機能を更に高めることが可能となる。

10

【0153】

なお、図35では、基材11からアノード電極21までの層構成を表しており、それより上の層は省略している。図34では、図35に示した層のうち、基材11、下部ゲート電極31およびこれと同層の下部電極BE1、半導体層33、ソース電極35Sおよびドレイン電極35Dおよびこれらと同層の上部電極TE1および下部電極BE2、上部ゲート電極38およびこれと同層の上部電極TE2、ソース電極35Sとアノード電極21との間のアノードコンタクトACNを表している。

20

【0154】

この基板10Aおよびこの基板10Aを有する表示装置100は、下層容量素子C1の下部電極BE1および上層容量素子C2の上部電極TE2の形状および接続関係を除いては、上記第1の実施の形態の製造方法と同様にして製造することができる。

【0155】

（基板10Aを形成する工程）

図36ないし図44は、基板10Aの製造方法を工程順に表したものである。なお、第1の実施の形態と同一の工程については、図13ないし図26を参照して説明する。

【0156】

まず、第1の実施の形態と同様にして、図13に示した工程により、上述した材料よりなる基材11を用意し、この基材11上に、例えばスパッタリングにより、導電材料膜31Aを形成する。

30

【0157】

次いで、図36に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜31Aを所定の形状に成形し、ゲート電極31および下層容量素子C1の下部電極BE1を形成する。

【0158】

続いて、図37に示したように、第1の実施の形態と同様にして、図15に示した工程により、ゲート電極31および下層容量素子C1の下部電極BE1の上に、ゲート絶縁膜32を形成する。

40

【0159】

そののち、第1の実施の形態と同様にして、図16に示した工程により、ゲート絶縁膜62の上に、酸化物半導体材料膜33Aを形成する。

【0160】

酸化物半導体材料膜33Aを形成したのち、図38に示したように、例えばフォトリソグラフィおよびエッチングにより、酸化物半導体材料膜33Aを所定の形状に成形し、酸化物半導体よりなる半導体層33を形成する。

【0161】

半導体層33を形成したのち、第1の実施の形態と同様にして、図18に示した工程により、半導体層33の上に、ストッパー材料膜34Aを形成する。

50

【0162】

ストッパー材料膜34Aを形成したのち、図39に示したように、例えばフォトリソグラフィおよびエッチングにより、ストッパー材料膜34Aを所定の形状に成形し、コンタクトホールH1を有するストッパー層34を形成する。

【0163】

ストッパー層34を形成したのち、第1の実施の形態と同様にして、図20に示した工程により、ストッパー層34上に、導電材料膜35Aを形成する。

【0164】

導電材料膜35Aを形成したのち、図40に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜35Aを所定の形状に成形し、ソース電極35Sおよびドレイン電極35Dを形成する。このとき、下層容量素子C1の上部電極TE1および上層容量素子C2の下部電極BE2を、ソース電極35Sと連続して一体的に形成する。

10

【0165】

ソース電極35Sおよびドレイン電極35Dを形成したのち、図41に示したように、例えばプラズマCVD法により、シリコン窒化膜、シリコン窒化酸化膜、またはそれらの積層膜よりなる第1パッシベーション層36を形成する。

【0166】

第1パッシベーション層36を形成したのち、第1の実施の形態と同様にして、図23に示した工程により、第1パッシベーション層36上に、導電材料膜38Aを形成する。

20

【0167】

導電材料膜38Aを形成したのち、図42に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜38Aを所定の形状に成形し、上部ゲート電極38を形成する。このとき、上層容量素子C2の上部電極TE2および最上層容量素子C3の下部電極BE3を、上部ゲート電極38と連続していない別の層として形成する。

【0168】

上部ゲート電極38を形成したのち、図43に示したように、例えばプラズマCVD法により、シリコン窒化膜、シリコン窒化酸化膜、またはそれらの積層膜よりなる第2パッシベーション層39を形成する。以上により、図34および図35に示した基板10Aが完成する。

30

【0169】

(表示素子20を形成する工程)

基板10を形成したのち、図44に示したように、この基板10に平坦化層37を形成する。平坦化層37の材料および形成方法は、第1の実施の形態と同様である。

【0170】

続いて、第1の実施の形態と同様にして、例えばフォトリソグラフィおよびエッチングにより平坦化層37にコンタクトホールH2を設け、平坦化層37の上にアノード電極21を形成する。

【0171】

そののち、第1の実施の形態と同様にして、隔壁22、有機層23、カソード電極24、保護膜25を順に形成する。そののち、封止基板27を接着層26により貼り合わせる。以上により、基板10Aを有する表示装置100が完成する。

40

【0172】

この表示装置100の動作は、第1の実施の形態と同様である。

【0173】

このように本実施の形態では、下層容量素子C1を保持容量3Cとし、上層容量素子C2を補助容量3Iとするようにしたので、第1パッシベーション層36の膜厚によって保持容量3Cが変動するおそれなくなる。よって、ブートストラップ動作時のゲイン変動による輝度への影響を抑えることが可能となる。

【0174】

50

(変形例 1)

図 4 5 は、本開示の変形例 1 に係る基板 1 0 B を、図 2 に示した保持容量 3 C および補助容量 3 I の平面配置構成に適用した例を表したものである。図 4 6 は、図 4 5 の X L V I A - X L V I A ' 線における断面構成を表している。この基板 1 0 B は、下層容量素子 C 1 の上部電極 T E 1 および上層容量素子 C 2 の下部電極 B E 1 が、半導体層 3 3 よりも抵抗値の低い酸化物半導体により構成されていることを除いては、上記第 1 の実施の形態に係る基板 1 0 と同様の構成を有している。

【0175】

すなわち、基板 1 0 B は、第 1 の実施の形態と同様に、基材 1 1 上に、複数の容量素子 C n を有している。複数の容量素子 C n は、基材 1 1 上に、基材 1 1 の厚み方向に積層され、積層方向 Z の位置が互いに異なっている。複数の容量素子 C n は、例えば、下層容量素子 C 1、上層容量素子 C 2 および最上層容量素子 C 3 を基材 1 1 側からこの順に含んでいる。

10

【0176】

更に、基板 1 0 B は、第 1 の実施の形態と同様に、基材 1 1 の複数の容量素子 C n が設けられた側に、薄膜トランジスタ 3 0 を有していることが好ましい。

【0177】

本変形例の薄膜トランジスタ 3 0 は、例えば、基材 1 1 上に、ゲート電極 3 1 と、ゲート絶縁膜 3 2 と、半導体層 3 3 と、ストッパー層 3 4 と、層間絶縁膜 4 0 と、ソース電極 3 5 S およびドレイン電極 3 5 D と、パッシベーション層 3 9 とをこの順に有する、ボトムゲート型の薄膜トランジスタである。薄膜トランジスタ 3 0 が形成された基板 1 0 の表面は、平坦化層 3 7 により平坦化されていてもよい。なお、図 4 6 に示した薄膜トランジスタ 3 0 は、図 4 5 に示した駆動用トランジスタ 3 B に対応しており、ソース電極 3 5 S には、アノード電極 2 1 (発光素子 3 D のアノード) が接続されている。

20

【0178】

また、本変形例では、ソース電極 3 5 S は、半導体層 3 3 よりも抵抗値の低い酸化物半導体により構成されている。具体的には、半導体層 3 3 は、例えば I G Z O により構成されており、ソース電極 3 5 S は、例えば n⁺I G Z O により構成されている。このようなソース電極 3 5 S は、例えば、後述する製造工程において、層間絶縁膜 4 0 の膜中水素および成膜中の水素プラズマの還元作用により、酸化物半導体中の電子密度が増加し、低抵抗化されている。

30

【0179】

下層容量素子 C 1 は、基材 1 1 上に、下部電極 B E 1 と、ゲート絶縁膜 3 2 と、上部電極 T E 1 とを有している。下層容量素子 C 1 の下部電極 B E 1 は、下部ゲート電極 2 3 1 と同層に設けられているが、ゲート電極 3 1 とは連続しておらず、別の層として設けられている。なお、下層容量素子 C 1 の下部電極 B E 1 は、コンタクト B E 1 C N (図 4 5 参照。) を介して、接地配線 3 H および発光素子 3 D のカソードに接続されている。下層容量素子 C 1 の上部電極 T E 1 は、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。

【0180】

すなわち、下層容量素子 C 1 は、駆動用トランジスタ 3 B のソース s と接地配線 3 H (発光素子 3 D のカソード) との間に、発光素子 3 D と並列に接続されており、図 2 に示した画素回路 1 0 1 における補助容量 3 I としての機能を有している。

40

【0181】

上層容量素子 C 2 は、基材 1 1 上に、下部電極 B E 2 と、層間絶縁膜 4 0 と、上部電極 T E 2 とを有している。上層容量素子 C 2 の下部電極 B E 2 は、下層容量素子 C 1 の上部電極 T E 1 と共通であり、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。上層容量素子 C 2 の上部電極 T E 2 は、ドレイン電極 3 5 D と同層に設けられているが、ドレイン電極 3 5 D とは連続しておらず、別の層として設けられている。なお、上層容量素子 C 2 の上部電極 T E 2 は、コンタクト T E 2 C N (図 4 5 参照。) を

50

介して、ゲート電極 3 1 (駆動用トランジスタ 3 B のゲート g) に接続されている。

【 0 1 8 2 】

すなわち、上層容量素子 C 2 は、駆動用トランジスタ 3 B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。

【 0 1 8 3 】

第 1 の実施の形態と同様に、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とは、電氣的に独立している。換言すれば、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とが、電氣的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。これにより、この基板 1 0 B およびこの基板 1 0 B を有する表示装置 1 0 0 では、動作や機能の異なる複数の容量素子 C 1 ~ C 3 を積層し、レイアウト効率を高めることが可能となっている。

10

【 0 1 8 4 】

下層容量素子 C 1 と上層容量素子 C 2 とは、第 1 の実施の形態と同様に、互いに異なる電位を保持可能であることが好ましい。

【 0 1 8 5 】

また、第 1 の実施の形態と同様に、下層容量素子 C 1 の充放電期間と上層容量素子 C 2 の充放電期間とは、互いに異なることが好ましい。

【 0 1 8 6 】

更に、上述したように、下層容量素子 C 1 を補助容量 3 I とし、上層容量素子 C 2 を保持容量 3 C とすることにより、コンタクトの個数の増加を抑え、レイアウト効率を高くすることが可能となる。

20

【 0 1 8 7 】

最上層容量素子 C 3 は、基材 1 1 上に、下部電極 B E 3 と、パッシベーション層 3 9 および平坦化層 3 7 と、上部電極 T E 3 とを有している。最上層容量素子 C 3 の下部電極 B E 3 は、上層容量素子 C 2 の上部電極 T E 2 と共通であり、ゲート電極 3 1 (駆動用トランジスタ 3 B のゲート g) に接続されている。最上層容量素子 C 3 の上部電極 T E 3 は、アノード電極 2 1 (発光素子 3 D のアノード) である。

【 0 1 8 8 】

すなわち、最上層容量素子 C 3 は、駆動用トランジスタ 3 B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。最上層容量素子 3 C を設けることにより、保持容量 3 C を補い、画素回路 1 0 1 の補正機能を更に高めることが可能となる。

30

【 0 1 8 9 】

なお、図 4 6 では、基材 1 1 からアノード電極 2 1 までの層構成を表しており、それより上の層は省略している。図 4 5 では、図 4 6 に示した層のうち、基材 1 1 、ゲート電極 3 1 およびこれと同層の下部電極 B E 1 、半導体層 3 3 、ソース電極 3 5 S およびドレイン電極 3 5 D およびこれらと同層の上部電極 T E 1 および下部電極 B E 2 、上部ゲート電極 3 8 およびこれと同層の上部電極 T E 2 、ソース電極 3 5 S とアノード電極 2 1 との間のアノードコンタクト A C N を表している。

40

【 0 1 9 0 】

この基板 1 0 B およびこの基板 1 0 B を有する表示装置 1 0 0 は、例えば、次のようにして製造することができる。

【 0 1 9 1 】

(基板 1 0 B を形成する工程)

図 4 7 ないし図 5 6 は、基板 1 0 B の製造方法を工程順に表したものである。なお、第 1 の実施の形態と同一の工程については、図 1 3 ないし図 2 6 を参照して説明する。

【 0 1 9 2 】

まず、第 1 の実施の形態と同様にして、図 1 3 に示した工程により、上述した材料よりなる基材 1 1 を用意し、この基材 1 1 上に、例えばスパッタリングにより、導電材料膜 3

50

1 Aを形成する。

【0193】

次いで、図47に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜31Aを所定の形状に成形し、ゲート電極31および下層容量素子C1の下部電極BE1を形成する。

【0194】

続いて、図48に示したように、第1の実施の形態と同様にして、図15に示した工程により、ゲート電極31および下層容量素子C1の下部電極BE1の上に、ゲート絶縁膜32を形成する。

【0195】

そののち、第1の実施の形態と同様にして、図16に示した工程により、ゲート絶縁膜62の上に、酸化物半導体材料膜33Aを形成する。

【0196】

酸化物半導体材料膜33Aを形成したのち、図49に示したように、例えばフォトリソグラフィおよびエッチングにより、酸化物半導体材料膜33Aを所定の形状に成形し、酸化物半導体よりなる半導体層33を形成する。

【0197】

半導体層33を形成したのち、第1の実施の形態と同様にして、図18に示した工程により、半導体層33の上に、ストッパー材料膜34Aを形成する。

【0198】

ストッパー材料膜34Aを形成したのち、図50に示したように、例えばフォトリソグラフィおよびエッチングにより、ストッパー材料膜34Aを所定の形状に成形し、ストッパー層34を形成する。

【0199】

ストッパー層34を形成したのち、図51に示したように、半導体層33およびストッパー層34の上に、例えばプラズマCVD法により、シリコン窒化膜、シリコン窒化酸化膜、またはそれらの積層膜よりなる層間絶縁膜40を形成する。このとき、膜中に含まれる水素および成膜中の水素プラズマの還元作用により、半導体層33のストッパー層34から露出している領域(層間絶縁膜40と接している領域)の電子密度が増加し、低抵抗化される。これにより、ソース電極35S、下層容量素子C1の上部電極TE1および上層容量素子C2の下部電極BE2が形成される。

【0200】

層間絶縁膜40を形成したのち、図52に示したように、例えばフォトリソグラフィおよびエッチングにより、層間絶縁膜40およびストッパー層34に、コンタクトホールH1を設ける。

【0201】

続いて、図53に示したように、第1の実施の形態と同様にして、図20に示した工程により、層間絶縁膜40上に、導電材料膜35Aを形成する。

【0202】

導電材料膜35Aを形成したのち、図54に示したように、例えばフォトリソグラフィおよびエッチングにより、導電材料膜35Aを所定の形状に成形し、ドレイン電極35Dと、下層容量素子C2の上部電極TE2および最上層容量素子C3の下部電極BE3とを形成する。

【0203】

そののち、図54に示したように、例えばプラズマCVD法により、シリコン窒化膜、シリコン窒化酸化膜、またはそれらの積層膜よりなるパッシベーション層39を形成する。以上により、図45および図46に示した基板10Bが完成する。

【0204】

(表示素子20を形成する工程)

基板10を形成したのち、図55に示したように、この基板10に平坦化層37を形成

10

20

30

40

50

する。平坦化層 37 の材料および形成方法は、第 1 の実施の形態と同様である。

【0205】

続いて、第 1 の実施の形態と同様にして、例えばフォトリソグラフィおよびエッチングにより平坦化層 37 にコンタクトホール H2 を設け、平坦化層 37 の上にアノード電極 21 を形成する。

【0206】

そののち、第 1 の実施の形態と同様にして、隔壁 22、有機層 23、カソード電極 24、保護膜 25 を順に形成する。そののち、封止基板 27 を接着層 26 により貼り合わせる。以上により、基板 10B を有する表示装置 100 が完成する。

【0207】

この表示装置 100 の動作は、第 1 の実施の形態と同様である。

【0208】

このように本変形例では、下層容量素子 C1 の上部電極 TE1 および上層容量素子 C2 の下部電極 BE2 を、半導体層 33 よりも抵抗値の低い酸化物半導体により構成するようにしたので、下層容量素子 C1 の上部電極 TE1 および上層容量素子 C2 の下部電極 BE2 を、半導体層 33 の一部を低抵抗化することにより形成することが可能となる。よって、導電膜の形成工程を削減し、製造工程の簡素化が可能となる。

【0209】

(変形例 2)

図 57 は、本開示の変形例 2 に係る基板 10C を、図 2 に示した保持容量 3C および補助容量 3I の平面配置構成に適用した例を表したものである。図 58 は、図 57 の LVI I A - LVI I A' 線における断面構成を表している。本変形例は、上記変形例 1 において、下層容量素子 C1 を保持容量 3C とし、上層容量素子 C2 を補助容量 3I としたものである。このことを除いては、基板 10C は、上記変形例 1 に係る基板 10B と同様の構成を有している。

【0210】

下層容量素子 C1 は、基材 11 上に、下部電極 BE1 と、ゲート絶縁膜 32 と、上部電極 TE1 とを有している。下層容量素子 C1 の下部電極 BE1 は、ゲート電極 31 (駆動用トランジスタ 3B のゲート g) に接続されている。下層容量素子 C1 の上部電極 TE1 は、ソース電極 35S (駆動用トランジスタ 3B のソース s) に接続されている。

【0211】

すなわち、下層容量素子 C1 は、駆動用トランジスタ 3B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 101 における保持容量 3C としての機能を有している。

【0212】

上層容量素子 C2 は、基材 11 上に、下部電極 BE2 と、層間絶縁膜 40 と、上部電極 TE2 とを有している。上層容量素子 C2 の下部電極 BE2 は、下層容量素子 C1 の上部電極 TE1 と共通であり、ソース電極 35S (駆動用トランジスタ 3B のソース s) に接続されている。上層容量素子 C2 の上部電極 TE2 は、ドレイン電極 35D と同層に設けられているが、ドレイン電極 35D とは連続しておらず、別の層として設けられている。なお、上層容量素子 C2 の上部電極 TE2 は、コンタクト TE2CN (図 57 参照。) を介して、接地配線 3H および発光素子 3D のカソードに接続されている。

【0213】

すなわち、上層容量素子 C2 は、駆動用トランジスタ 3B のソース s と接地配線 3H (発光素子 3D のカソード) との間に、発光素子 3D と並列に接続されており、図 2 に示した画素回路 101 における補助容量 3I としての機能を有している。

【0214】

第 1 の実施の形態と同様に、下層容量素子 C1 の下部電極 BE1 と、上層容量素子 C2 の上部電極 TE2 とは、電氣的に独立している。換言すれば、下層容量素子 C1 の下部電極 BE1 と、上層容量素子 C2 の上部電極 TE2 とが、電氣的に接続されておらず、例え

10

20

30

40

50

ば、それぞれが互いに異なる配線に接続されている。これにより、この基板 10C およびこの基板 10C を有する表示装置 100 では、動作や機能の異なる複数の容量素子 C1 ~ C3 を積層し、レイアウト効率を高めることが可能となっている。

【0215】

下層容量素子 C1 と上層容量素子 C2 とは、第 1 の実施の形態と同様に、互いに異なる電位を保持可能であることが好ましい。

【0216】

また、第 1 の実施の形態と同様に、下層容量素子 C1 の充放電期間と上層容量素子 C2 の充放電期間とは、互いに異なることが好ましい。

【0217】

更に、上述したように、下層容量素子 C1 を保持容量 3C とし、上層容量素子 C2 を補助容量 3I とすることにより、パッシベーション層 39 の膜厚によって保持容量 3C が変動するおそれが小さくなる。よって、ブートストラップ動作時のゲイン変動による輝度への影響を抑えることが可能となる。

【0218】

最上層容量素子 C3 は、基材 11 上に、下部電極 BE3 と、パッシベーション層 39 および平坦化層 37 と、上部電極 TE3 とを有している。最上層容量素子 C3 の下部電極 BE3 は、上層容量素子 C2 の上部電極 TE2 と共通であり、接地配線 3H および発光素子 3D のカソードに接続されている。最上層容量素子 C3 の上部電極 TE3 は、アノード電極 21 (発光素子 3D のアノード) である。

【0219】

すなわち、最上層容量素子 C3 は、駆動用トランジスタ 3B のソース s と接地配線 3H (発光素子 3D のカソード) との間に、発光素子 3D と並列に接続されており、図 2 に示した画素回路 101 における補助容量 3I としての機能を有している。最上層容量素子 3C を設けることにより、補助容量 3I を補い、画素回路 101 の補正機能を更に高めることが可能となる。

【0220】

なお、図 58 では、基材 11 からアノード電極 21 までの層構成を表しており、それより上の層は省略している。図 57 では、図 58 に示した層のうち、基材 11、ゲート電極 31 およびこれと同層の下部電極 BE1、半導体層 33、ソース電極 35S およびドレイン電極 35D およびこれらと同層の上部電極 TE1 および下部電極 BE2、ドレイン電極 35D およびこれと同層の上部電極 TE2、ソース電極 35S とアノード電極 21 との間のアノードコンタクト ACN を表している。

【0221】

この基板 10C およびこの基板 10C を有する表示装置 100 は、下層容量素子 C1 の下部電極 BE1 および上層容量素子 C2 の上部電極 TE2 の形状および接続関係を除いては、上記変形例 1 の製造方法と同様にして製造することができる。

【0222】

この表示装置 100 の動作は、第 1 の実施の形態と同様である。

【0223】

本変形例の効果は、変形例 1 および第 2 の実施の形態と同様である。

【0224】

(変形例 3)

図 59 は、本実施の形態に係る基板 10D を、図 2 に示した保持容量 3C および補助容量 3I の平面配置構成に適用した例を表したものである。図 60 は、図 34 の LXA - LXA' 線における断面構成を表している。この基板 10D は、薄膜トランジスタ 30 がトップゲート型であり、下層容量素子 C1 の下部電極 BE1 が、半導体層 33 よりも抵抗値の低い酸化物半導体により構成されていることを除いては、上記変形例 1 に係る基板 10B と同様の構成を有している。

【0225】

10

20

30

40

50

本変形例の薄膜トランジスタ30は、例えば、基材11上に、半導体層33と、ゲート絶縁膜32と、ゲート電極31と、層間絶縁膜40と、ソース電極35Sおよびドレイン電極35Dとをこの順に有する、トップゲート型の薄膜トランジスタである。薄膜トランジスタ30が形成された基板10の表面は、平坦化層37により平坦化されていてもよい。なお、図60に示した薄膜トランジスタ30は、図59に示した駆動用トランジスタ3Bに対応しており、ソース電極35Sには、アノード電極21(発光素子3Dのアノード)が接続されている。

【0226】

また、本変形例では、半導体層33のうちゲート絶縁膜32およびゲート電極31が形成された領域が、チャンネル領域33Cとなっている。半導体層33は、チャンネル領域33Cの両側に、ソース領域33Sおよびドレイン領域33Dを有している。ソース領域33Sおよびドレイン領域33Dは、チャンネル領域33Cよりも抵抗値の低い酸化物半導体により構成されている。具体的には、半導体層33のチャンネル領域33Cは、例えばIGZOにより構成されており、ソース領域33Sおよびドレイン領域33Dは、例えば n^+IGZO により構成されている。このようなソース領域33Sおよびドレイン領域33Dは、例えば、製造工程において層間絶縁膜40の膜中水素および成膜中の水素プラズマの還元作用により、酸化物半導体中の電子密度が増加し、低抵抗化されている。

10

【0227】

下層容量素子C1は、基材11上に、下部電極BE1と、ゲート絶縁膜32およびストッパー層34と、上部電極TE1とを有している。下層容量素子C1の下部電極BE1は、半導体層33と同層に設けられているが、半導体層33とは連続しておらず、別の層として設けられている。なお、下層容量素子C1の下部電極BE1は、コンタクトBE1CN(図7参照。)を介して、接地配線3Hおよび発光素子3Dのカソードに接続されている。下層容量素子C1の上部電極TE1は、ソース電極35S(駆動用トランジスタ3Bのソースs)に接続されている。

20

【0228】

すなわち、下層容量素子C1は、駆動用トランジスタ3Bのソースsと接地配線3H(発光素子3Dのカソード)との間に、発光素子3Dと並列に接続されており、図2に示した画素回路101における補助容量3Iとしての機能を有している。

【0229】

下層容量素子C1の下部電極BE1は、例えば、酸化物半導体よりなる半導体層BE11と金属層BE12との積層構造を有していることが好ましい。これにより、酸化物半導体のみで下部電極BE1を形成する場合と比較し、この金属層BE12により容量の電圧依存性が低減することが可能となるので、バイアス電圧に関わらず十分な容量を確保することが可能となる。

30

【0230】

金属層BE12は、例えば、チタン(Ti)、モリブデン(Mo)、あるいはアルミニウム(Al)、またはそれらの積層膜により構成されていることが好ましい。

【0231】

半導体層BE11は、結晶の酸化インジウムガリウム(IGO)や酸化インジウム亜鉛(IZO)等により構成されているか、あるいは、非晶質の酸化インジウムスズ亜鉛(ITZO)により構成されていることが好ましい。これにより、金属層BE12となる金属材料膜をりん酸と硝酸と酢酸との混合薬液でウエットエッチングする場合に、下層の半導体層BE11がこの混合薬液でエッチングされないようにすることが可能となる。なお、半導体層BE11を、広く用いられている酸化インジウムガリウム亜鉛(IGZO)により構成する場合には、金属層BE12となる金属材料膜をドライエッチングで加工することで半導体層BE11を選択的に残すことが可能となる。

40

【0232】

上層容量素子C2は、基材11上に、下部電極BE2と、層間絶縁膜40と、上部電極TE2とを有している。上層容量素子C2の下部電極BE2は、下層容量素子C1の上部

50

電極 T E 1 と共通であり、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。上層容量素子 C 2 の上部電極 T E 2 は、ソース電極 3 5 S およびドレイン電極 3 5 D と同層に設けられているが、ソース電極 3 5 S およびドレイン電極 3 5 D とは連続しておらず、別の層として設けられている。なお、上層容量素子 C 2 の上部電極 T E 2 は、コンタクト T E 2 C N (図 5 9 参照。) を介して、ゲート電極 3 1 (駆動用トランジスタ 3 B のゲート g) に接続されている。

【 0 2 3 3 】

すなわち、上層容量素子 C 2 は、駆動用トランジスタ 3 B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。

10

【 0 2 3 4 】

第 1 の実施の形態と同様に、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とは、電氣的に独立している。換言すれば、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とが、電氣的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。これにより、この基板 1 0 D およびこの基板 1 0 D を有する表示装置 1 0 0 では、動作や機能の異なる複数の容量素子 C 1 ~ C 3 を積層し、レイアウト効率を高めることが可能となっている。

【 0 2 3 5 】

下層容量素子 C 1 と上層容量素子 C 2 とは、第 1 の実施の形態と同様に、互いに異なる電位を保持可能であることが好ましい。

20

【 0 2 3 6 】

また、第 1 の実施の形態と同様に、下層容量素子 C 1 の充放電期間と上層容量素子 C 2 の充放電期間とは、互いに異なることが好ましい。

【 0 2 3 7 】

更に、上述したように、下層容量素子 C 1 を保持容量 3 C とし、上層容量素子 C 2 を補助容量 3 I とすることにより、第 1 パッシベーション層 3 6 の膜厚によって保持容量 3 C が変動するおそれなくなる。よって、ブートストラップ動作時のゲイン変動による輝度への影響を抑えることが可能となる。

【 0 2 3 8 】

最上層容量素子 C 3 は、基材 1 1 上に、下部電極 B E 3 と、第 2 パッシベーション層 3 9 および平坦化層 3 7 と、上部電極 T E 3 とを有している。最上層容量素子 C 3 の下部電極 B E 3 は、上層容量素子 C 2 の上部電極 T E 2 と共通であり、ゲート電極 3 1 (駆動用トランジスタ 3 B のゲート g) に接続されている。最上層容量素子 C 3 の上部電極 T E 3 は、アノード電極 2 1 (発光素子 3 D のアノード) である。

30

【 0 2 3 9 】

すなわち、最上層容量素子 C 3 は、駆動用トランジスタ 3 B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。最上層容量素子 3 C を設けることにより、保持容量 3 C を補い、画素回路 1 0 1 の補正機能を更に高めることが可能となる。

【 0 2 4 0 】

なお、図 6 0 では、基材 1 1 からアノード電極 2 1 までの層構成を表しており、それより上の層は省略している。図 5 9 では、図 6 0 に示した層のうち、基材 1 1、半導体層 3 3 およびこれと同層の下部電極 B E 1、ゲート電極 3 1 およびこれと同層の上部電極 T E 1 および下部電極 B E 2、ソース電極 3 5 S およびドレイン電極 3 5 D およびこれらと同層の上部電極 T E 2、ソース電極 3 5 S とアノード電極 2 1 との間のアノードコンタクト A C N を表している。

40

【 0 2 4 1 】

この基板 1 0 D およびこの基板 1 0 D を有する表示装置 1 0 0 は、例えば、次のようにして製造することができる。

【 0 2 4 2 】

50

(基板 10D を形成する工程)

図 6 1 ないし図 7 0 は、基板 10D の製造方法を工程順に表したものである。なお、第 1 の実施の形態と同一の工程については、図 1 3 ないし図 2 6 を参照して説明する。

【0243】

まず、図 6 1 に示したように、上述した材料よりなる基材 11 を用意し、この基材 11 上に、例えばスパッタリングにより、酸化物半導体材料膜 33A を 50 nm 程度の厚みで形成する。

【0244】

次いで、図 6 2 に示したように、例えばフォトリソグラフィおよびエッチングにより、酸化物半導体材料膜 33A を島状に形成する。これにより、半導体層 33 と、下層容量素子 C1 の下部電極 BE1 の半導体層 BE11 とが形成される。

10

【0245】

続いて、例えばスパッタリング法を用いて、モリブデン (Mo)、アルミニウム (Al) またはそれらの積層膜よりなる金属材料膜 (図示せず) を 50 nm 程度の膜厚で成膜する。そののち、フォトリソグラフィとエッチング工程を経て、半導体層 BE11 の上に金属層 BE12 を形成する。このようにして、図 6 3 に示したように、半導体層 BE11 と金属層 BE12 との積層構造をもつ下部電極 BE1 が形成される。

【0246】

このような積層構造の下部電極 BE1 を形成するためには、金属層 BE12 をエッチングした後に酸化物半導体よりなる半導体層 BE11 を残すことが好ましい。金属材料膜をりん酸と硝酸と酢酸との混合薬液でウェットエッチングする場合には、半導体層 BE11 の材料として結晶の酸化インジウムガリウム (IGO) や酸化インジウム亜鉛 (IZO) 等を用いるか、非晶質の酸化インジウムスズ亜鉛 (ITZO) を用いることで、下層の半導体層 BE11 が混合薬液でエッチングされてしまうのを抑え、金属材料膜のエッチング後に半導体層 BE11 を残すことが可能となる。

20

【0247】

また、半導体層 BE11 の材料として広く用いられている酸化インジウムガリウム亜鉛 (IGZO) を用いる場合には、金属材料膜をドライエッチングで加工することで半導体層 BE11 を選択的に残すことが可能となる。

【0248】

続いて、図 6 4 に示したように、基材 11 の全面に、例えばプラズマ CVD 法により、シリコン酸化膜または酸化アルミニウム膜などのゲート絶縁材料膜 32A を 300 nm 程度の厚みで形成する。シリコン酸化膜はプラズマ CVD 法のほか、反応性スパッタリング法により形成することが可能である。また、酸化アルミニウム膜は、反応性スパッタリング法、CVD 法または原子層成膜法により形成することが可能である。

30

【0249】

そののち、同じく図 6 4 に示したように、ゲート絶縁材料膜 32A の上に、例えばスパッタリング法により、ゲート電極材料膜 31A を、300 nm 程度の厚みで形成する。ゲート電極材料膜 31A は、例えば、ITO あるいは IZO あるいは IGZO 等の酸化物半導体層と、モリブデン (Mo)、チタン (Ti)、アルミニウム (Al) あるいは銅 (Cu) 等の低抵抗金属層と、チタン (Ti) 等の金属層とからなる積層膜で構成することが可能である。

40

【0250】

ゲート電極材料膜 31A を形成したのち、例えばフォトリソグラフィおよびエッチングにより、ゲート電極材料膜 31A を所望の形状に成形して、図 6 5 に示したように、半導体層 33 のチャネル領域 33C の上方にゲート電極 31 を形成する。同時に下層容量素子 C1 の上部電極 TE1 および上層容量素子 C2 の下部電極 BE2 を形成する。

【0251】

引き続き、同じく図 6 5 に示したように、ゲート電極 31 をマスクとしてゲート絶縁材料膜 32A をエッチングすることにより、ゲート絶縁膜 32 を形成する。このとき、半導

50

体層 33 を ZnO, IZO, IGO 等の結晶化材料により構成した場合には、ゲート絶縁膜 32 をエッチングする際に、フッ酸等の薬液を用いて非常に大きなエッチング選択比を維持して容易に加工することが可能となる。これにより、半導体層 33 のチャネル領域 33C 上に、ゲート絶縁膜 32 およびゲート電極 31 がこの順に同一形状で形成される。

【0252】

そののち、図 66 に示したように、例えばプラズマ CVD 法を用いて、シリコン窒化膜、シリコン酸化膜、シリコン窒化酸化膜などの層間絶縁膜 40 を形成する。製造工程において層間絶縁膜 40 の膜中水素および成膜中の水素プラズマの還元作用により、半導体層 33 のソース領域 33S およびドレイン領域 33D 中の電子密度が増加し、低抵抗化される。なお、チャネル領域 33C 上にはゲート絶縁膜 32 およびゲート電極 31 が形成されているため、還元作用が及ばず半導体としての機能を維持する。

10

【0253】

層間絶縁膜 40 を形成したのち、図 67 に示したように、例えばフォトリソグラフィおよびエッチングにより、層間絶縁膜 40 にコンタクトホール H1 を設ける。

【0254】

続いて、図 68 に示したように、層間絶縁膜 40 上に導電材料膜 35A を形成する。

【0255】

そののち、図 69 に示したように、例えばフォトリソグラフィおよびエッチングにより導電材料膜 35A を所定の形状に成形し、ソース電極 35S およびドレイン電極 35D を形成する。このとき、上層容量素子 C2 の上部電極 TE2 および最上層容量素子 C3 の下部電極 BE3 を形成する。以上により、図 59 および図 60 に示した基板 10D が完成する。

20

【0256】

(表示素子 20 を形成する工程)

基板 10 を形成したのち、図 70 に示したように、この基板 10 に平坦化層 37 を形成する。平坦化層 37 の材料および形成方法は、第 1 の実施の形態と同様である。

【0257】

続いて、第 1 の実施の形態と同様にして、例えばフォトリソグラフィおよびエッチングにより平坦化層 37 にコンタクトホール H2 を設け、平坦化層 37 の上にアノード電極 21 を形成する。アノード電極 21 は最上層容量素子 C3 の上部電極 TE3 となる。

30

【0258】

そののち、第 1 の実施の形態と同様にして、隔壁 22、有機層 23、カソード電極 24、保護層 25 を順に形成する。そののち、封止基板 27 を接着層 26 により貼り合わせる。以上により、基板 10D を有する表示装置 100 が完成する。

【0259】

この表示装置 100 の動作は、第 1 の実施の形態と同様である。

【0260】

本変形例の効果は、変形例 1 および第 1 の実施の形態と同様である。

【0261】

(変形例 4)

図 71 は、本開示の変形例 4 に係る基板 10E を、図 2 に示した保持容量 3C および補助容量 3I の平面配置構成に適用した例を表したものである。図 72 は、図 71 の L X X I I A - L X X I I A ' 線における断面構成を表している。本変形例は、上記変形例 3 の基板 10D において、下層容量素子 C1 を保持容量 3C とし、上層容量素子 C2 を補助容量 3I としたものである。このことを除いては、基板 10E は、上記変形例 3 の基板 10D と同様の構成を有している。

40

【0262】

下層容量素子 C1 は、基材 11 上に、下部電極 BE1 と、ゲート絶縁膜 32 およびストッパー層 34 と、上部電極 TE1 とを有している。下層容量素子 C1 の下部電極 BE1 は、半導体層 33 と同層に設けられているが、半導体層 33 とは連続しておらず、別の層と

50

して設けられている。なお、下層容量素子 C 1 の下部電極 B E 1 は、コンタクト B E 1 C N (図 7 1 参照。) を介して、ゲート電極 3 1 (駆動用トランジスタ 3 B のゲート g) に接続されている。下層容量素子 C 1 の上部電極 T E 1 は、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。

【 0 2 6 3 】

すなわち、下層容量素子 C 1 は、駆動用トランジスタ 3 B のソース s とゲート g との間に接続されており、図 2 に示した画素回路 1 0 1 における保持容量 3 C としての機能を有している。

【 0 2 6 4 】

上層容量素子 C 2 は、基材 1 1 上に、下部電極 B E 2 と、層間絶縁膜 4 0 と、上部電極 T E 2 とを有している。上層容量素子 C 2 の下部電極 B E 2 は、下層容量素子 C 1 の上部電極 T E 1 と共通であり、ソース電極 3 5 S (駆動用トランジスタ 3 B のソース s) に接続されている。上層容量素子 C 2 の上部電極 T E 2 は、ソース電極 3 5 S およびドレイン電極 3 5 D と同層に設けられているが、ソース電極 3 5 S およびドレイン電極 3 5 D とは連続しておらず、別の層として設けられている。なお、上層容量素子 C 2 の上部電極 T E 2 は、コンタクト T E 2 C N (図 7 1 参照。) を介して、接地配線 3 H および発光素子 3 D のカソードに接続されている。

10

【 0 2 6 5 】

すなわち、上層容量素子 C 2 は、駆動用トランジスタ 3 B のソース s と接地配線 3 H (発光素子 3 D のカソード) との間に、発光素子 3 D と並列に接続されており、図 2 に示した画素回路 1 0 1 における補助容量 3 I としての機能を有している。

20

【 0 2 6 6 】

第 1 の実施の形態と同様に、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とは、電気的に独立している。換言すれば、下層容量素子 C 1 の下部電極 B E 1 と、上層容量素子 C 2 の上部電極 T E 2 とが、電気的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。これにより、この基板 1 0 E およびこの基板 1 0 E を有する表示装置 1 0 0 では、動作や機能の異なる複数の容量素子 C 1 ~ C 3 を積層し、レイアウト効率を高めることが可能となっている。

【 0 2 6 7 】

下層容量素子 C 1 と上層容量素子 C 2 とは、第 1 の実施の形態と同様に、互いに異なる電位を保持可能であることが好ましい。

30

【 0 2 6 8 】

また、第 1 の実施の形態と同様に、下層容量素子 C 1 の充放電期間と上層容量素子 C 2 の充放電期間とは、互いに異なることが好ましい。

【 0 2 6 9 】

更に、上述したように、下層容量素子 C 1 を保持容量 3 C とし、上層容量素子 C 2 を補助容量 3 I とすることにより、パッシベーション層 3 9 の膜厚によって保持容量 3 C が変動するおそれが小さくなる。よって、ブートストラップ動作時のゲイン変動による輝度への影響を抑えることが可能となる。

【 0 2 7 0 】

最上層容量素子 C 3 は、基材 1 1 上に、下部電極 B E 3 と、パッシベーション層 3 9 および平坦化層 3 7 と、上部電極 T E 3 とを有している。最上層容量素子 C 3 の下部電極 B E 3 は、上層容量素子 C 2 の上部電極 T E 2 と共通であり、接地配線 3 H および発光素子 3 D のカソードに接続されている。最上層容量素子 C 3 の上部電極 T E 3 は、アノード電極 2 1 (発光素子 3 D のアノード) である。

40

【 0 2 7 1 】

すなわち、最上層容量素子 C 3 は、駆動用トランジスタ 3 B のソース s と接地配線 3 H (発光素子 3 D のカソード) との間に、発光素子 3 D と並列に接続されており、図 2 に示した画素回路 1 0 1 における補助容量 3 I としての機能を有している。最上層容量素子 C 3 を設けることにより、補助容量 3 I を補い、画素回路 1 0 1 の補正機能を更に高めるこ

50

とが可能となる。

【0272】

なお、図72では、基材11からアノード電極21までの層構成を表しており、それより上の層は省略している。図71では、図72に示した層のうち、基材11、半導体層33およびこれと同層の下部電極BE1、ゲート電極31並びにこれと同層の上部電極TE1および下部電極BE2、ソース電極35Sおよびドレイン電極35D並びにこれらと同層の上部電極TE2、ソース電極35Sとアノード電極21との間のアノードコンタクトACNを表している。

【0273】

この基板10Eおよびこの基板10Eを有する表示装置100は、下層容量素子C1の下部電極BE1および上層容量素子C2の上部電極TE2の形状および接続関係を除いては、上記変形例3の製造方法と同様にして製造することができる。

10

【0274】

この表示装置100の動作は、第1の実施の形態と同様である。

【0275】

本変形例の効果は、変形例3および第2の実施の形態と同様である。

【0276】

(変形例5)

図73は、本開示の変形例5に係る基板10Fを、図2に示した保持容量3Cおよび補助容量3Iの平面配置構成に適用した例を表したものである。この基板10Fは、上層容量素子C2の上部電極TE2を書込み用トランジスタ3Aおよび/または駆動用トランジスタ3Bのシールド電極SEと接続したことを除いては、上記第2の実施の形態に係る基板10Aと同様の構成を有している。よって、対応する構成要素には同一の符号を付して説明する。

20

【0277】

書込み用トランジスタ3Aおよび/または駆動用トランジスタ3Bは、それぞれのチャネル領域を覆うようにシールド電極SEを有している。書込み用トランジスタ3Aおよび/または駆動用トランジスタ3Bは、第1および第2の実施の形態で説明した上部ゲート電極38を有さず、下部ゲート電極31のみを有するボトムゲート型の薄膜トランジスタである。

30

【0278】

上層容量素子C2は、基材11上に、下部電極BE2と、第1パッシベーション層36と、上部電極TE2とを有している。上層容量素子C2の下部電極BE2は、下層容量素子C1の上部電極TE1と共通であり、ソース電極35S(駆動用トランジスタ3Bのソースs)に接続されている。上層容量素子C2の上部電極TE2は、シールド電極SEと同層に設けられ、シールド電極SEと接続されている。なお、上層容量素子C2の上部電極TE2は、コンタクトTE2CN(図73参照。)を介して、接地配線3Hおよび発光素子3Dのカソードに接続されている。従って、シールド電極SEには、カソード電位が供給されている。

【0279】

すなわち、上層容量素子C2は、駆動用トランジスタ3Bのソースsと接地配線3H(発光素子3Dのカソード)との間に、発光素子3Dと並列に接続されており、図2に示した画素回路101における補助容量3Iとしての機能を有している。

40

【0280】

第1の実施の形態と同様に、下層容量素子C1の下部電極BE1と、上層容量素子C2の上部電極TE2とは、電氣的に独立している。換言すれば、下層容量素子C1の下部電極BE1と、上層容量素子C2の上部電極TE2とが、電氣的に接続されておらず、例えば、それぞれが互いに異なる配線に接続されている。これにより、この基板10Fおよびこの基板10Fを有する表示装置100では、動作や機能の異なる複数の容量素子C1~C3を積層し、レイアウト効率を高めることが可能となっている。

50

【0281】

(変形例6、7)

以上、有機ELを用いた表示装置100について説明してきたが、本開示は、液晶または電気泳動型などの他の表示装置においても、動作や機能の異なる複数の容量素子Cnを用いる場合に適用可能である。

【0282】

(変形例6)

図74は、本開示の変形例6に係る表示装置100Fの断面構成を表したものである。本実施の形態は、液晶表示素子よりなる表示素子80を備えたことを除いては、上記実施の形態の表示装置100と同様の構成、作用および効果を有し、上記実施の形態と同様に製造することができる。よって、対応する構成要素には同一の符号を付して説明する。

10

【0283】

表示素子80は、例えば、画素電極81と対向電極82との間に液晶層83を封止したものであり、画素電極81および対向電極82の液晶層83側の各面には、配向膜84A、84Bが形成されている。画素電極81は、画素毎に配設されており、例えば、平坦化層14に設けられた接続孔H2を介して第2導電膜32に接続されている。対向電極82は、対向基板86上に複数の画素に共通の電極として設けられ、例えばコモン電位に保持されている。液晶層83は、例えばVA (Vertical Alignment: 垂直配向) モード、TN (Twisted Nematic) モードあるいはIPS (In Plane Switching) モード等により駆動される液晶により構成されている。

20

【0284】

また、基板10の下方には、バックライト87が備えられている。基板10のバックライト87側および対向基板86上には、偏光板88A、88Bが貼り合わせられている。

【0285】

(変形例7)

図75は、本開示の変形例6に係る表示装置の表示素子を構成する電気泳動素子91の平面構成、図76は電気泳動素子91の断面構成をそれぞれ表している。この電気泳動素子91は、電気泳動現象を利用してコントラストを生じさせるものであり、例えば表示装置などの多様な電子機器に適用される。電気泳動素子91は、絶縁性液体92中に、泳動粒子93 (第1粒子) と細孔94Aを有する多孔質層94とを含んでいる。なお、図75および図76は電気泳動素子91の構成を模式的に表したものであり、実際の寸法、形状とは異なる場合がある。

30

【0286】

絶縁性液体92は、例えばパラフィンまたはイソパラフィンなどの有機溶媒により構成されている。絶縁性液体92には、1種類の有機溶媒を用いてもよく、あるいは複数種類の有機溶媒を用いるようにしてもよい。絶縁性液体92の粘度および屈折率は、できるだけ低くすることが好ましい。絶縁性液体92の粘度を低くすると泳動粒子93の移動性 (応答速度) が向上する。また、これに応じて泳動粒子93の移動に必要なエネルギー (消費電力) は低くなる。絶縁性液体92の屈折率を低くすると、絶縁性液体92と多孔質層94との屈折率の差が大きくなり、多孔質層94の反射率が高くなる。

40

【0287】

絶縁性液体92中に分散された泳動粒子93は、1または2以上の荷電粒子であり、このような帯電した泳動粒子93が電界に応じ細孔94Aを経て移動する。泳動粒子93は、任意の光学的反射特性 (光反射率) を有しており、泳動粒子93の光反射率と多孔質層94の光反射率との違いによりコントラストが生じるようになっている。例えば、泳動粒子93が明表示し、多孔質層94が暗表示するようにしてもよく、泳動粒子93が暗表示し、多孔質層94が明表示するようにしてもよい。

【0288】

外部から電気泳動素子91を見ると、泳動粒子93が明表示する場合には泳動粒子93

50

は例えば白色または白色に近い色に視認され、暗表示する場合には、例えば黒色または黒色に近い色に視認される。このような泳動粒子 93 の色は、コントラストを生じさせることができれば特に限定されない。

【0289】

泳動粒子 93 は、例えば、有機顔料，無機顔料，染料，炭素材料，金属材料，金属酸化物，ガラスまたは高分子材料（樹脂）などの粒子（粉末）により構成されている。泳動粒子 93 に、これらのうちの 1 種類を用いてもよく、または 2 種類以上を用いてもよい。泳動粒子 93 を、上記粒子を含む樹脂固形分の粉砕粒子またはカプセル粒子などにより構成することも可能である。なお、上記炭素材料，金属材料，金属酸化物，ガラスまたは高分子材料に該当する材料は、有機顔料，無機顔料または染料に該当する材料から除く。泳動粒子 93 の粒径は例えば 30 nm ~ 300 nm である。

10

【0290】

泳動粒子 93 の具体的な材料は、例えば、泳動粒子 93 がコントラストを生じさせるために担う役割に応じて選択される。泳動粒子 93 が明表示する場合、泳動粒子 93 には例えば、酸化チタン、酸化亜鉛、酸化ジルコニウム、チタン酸バリウムまたはチタン酸カリウムなどの金属酸化物等が用いられる。泳動粒子 93 が暗表示する場合、泳動粒子 93 には例えば、カーボンブラックなどの炭素材料または銅 - クロム酸化物、銅 - マンガン酸化物、銅 - 鉄 - マンガン酸化物、銅 - クロム - マンガン酸化物および銅 - 鉄 - クロム酸化物などの金属酸化物等が用いられる。中でも、泳動粒子 93 には炭素材料を用いることが好ましい。炭素材料からなる泳動粒子 93 は、優れた化学的安定性、移動性および光吸収性を示す。

20

【0291】

絶縁性液体 92 中における泳動粒子 93 の含有量（濃度）は、特に限定されないが、例えば、0.1 重量% ~ 10 重量% である。この濃度範囲では、泳動粒子 93 の遮蔽性および移動性が確保される。詳細には、泳動粒子 93 の含有量が 0.1 重量% よりも少ないと、泳動粒子 93 が多孔質層 94 を遮蔽（隠蔽）しにくくなり、十分にコントラストを生じさせることができない可能性がある。一方、泳動粒子 93 の含有量が 10 重量% よりも多いと、泳動粒子 93 の分散性が低下するため、その泳動粒子 93 が泳動しにくくなり、凝集する虞がある。

【0292】

多孔質層 94 は泳動粒子 93 を遮蔽可能なものであり、繊維状構造体 94 B および繊維状構造体 94 B に保持された非泳動粒子 94 C（第 2 粒子）を有している。この多孔質層 94 は、繊維状構造体 94 B により形成された 3 次元立体構造物（不織布のような不規則なネットワーク構造物）であり、複数の隙間（細孔 94 A）が設けられている。繊維状構造体 94 B により、多孔質層 94 の 3 次元立体構造を構成することで、光（外光）が乱反射（多重散乱）し、多孔質層 94 の反射率が高くなる。従って、多孔質層 94 の厚みが小さい場合であっても高反射率を得ることができ、電気泳動素子 91 のコントラストを向上させると共に泳動粒子 93 の移動に必要なエネルギーを小さくすることができる。また、細孔 94 A の平均孔径が大きくなり、かつ、多くの細孔 94 A が多孔質層 94 に設けられる。これにより、泳動粒子 93 が細孔 94 A を経由して移動し易くなり、応答速度が向上すると共に、泳動粒子 93 を移動させるために必要なエネルギーがより小さくなる。このような多孔質層 94 の厚みは、例えば、5 μm ~ 100 μm である。

30

40

【0293】

繊維状構造体 94 B は、繊維径（直径）に対して十分な長さを有する繊維状物質である。例えば、複数の繊維状構造体 94 B が集合し、ランダムに重なって多孔質層 94 を構成する。1 つの繊維状構造体 94 B がランダムに絡みあって多孔質層 94 を構成していてもよい。あるいは、1 つの繊維状構造体 94 B による多孔質層 94 と複数の繊維状構造体 94 B による多孔質層 94 とが混在していてもよい。

【0294】

繊維状構造体 94 B は、例えば、ナイロンなどの高分子材料、または酸化チタンなどの

50

無機材料等により構成されている。繊維状構造体 9 4 B は例えば直線状に延在している。繊維状構造体 9 4 B の形状は、どのようなものであってもよく、例えば、縮れていたり、途中で折れ曲がったりしていてもよい。あるいは、繊維状構造体 9 4 B は途中で分岐していてもよい。

【 0 2 9 5 】

繊維状構造体 9 4 B には、その光反射率が泳動粒子 9 3 の光反射率と異なるものを用いることが好ましい。これにより、多孔質層 9 4 と泳動粒子 9 3 との光反射率の差によるコントラストが形成され易くなる。絶縁性液体 9 2 中で光透過性（無色透明）を示す繊維状構造体 9 4 B を用いるようにしてもよい。

【 0 2 9 6 】

細孔 9 4 A は、複数の繊維状構造体 9 4 B が重なり合い、または 1 つの繊維状構造体 9 4 B が絡まりあうことにより構成されている。この細孔 9 4 A は、泳動粒子 9 3 が細孔 9 4 A を経て移動し易いよう、できるだけ大きな平均孔径を有していることが好ましい。細孔 9 4 A の平均孔径は、例えば、 $0.1 \mu\text{m} \sim 10 \mu\text{m}$ である。

【 0 2 9 7 】

非泳動粒子 9 4 C は繊維状構造体 9 4 B に固定されており、その光反射率は泳動粒子 9 3 の光反射率と異なっている。非泳動粒子 9 4 C は、上記泳動粒子 9 3 と同様の材料により構成することが可能である。詳細には、非泳動粒子 9 4 C（多孔質層 9 4）が明表示する場合には上記泳動粒子 9 3 が明表示する場合の材料、非泳動粒子 9 4 C が暗表示する場合には上記泳動粒子 9 3 が暗表示する場合の材料をそれぞれ用いることができる。多孔質層 9 4 により明表示を行うとき、非泳動粒子 9 4 C を金属酸化物により構成することが好ましい。これにより、優れた化学的安定性、定着性および光反射性を得ることができる。中でも、非泳動粒子 9 4 C を屈折率の高い金属酸化物、例えばルチル型の酸化チタンにより構成することが好ましい。非泳動粒子 9 4 C、泳動粒子 9 3 それぞれの構成材料は同じであってもよく、異なってもよい。非泳動粒子 9 4 C は、繊維状構造体 9 4 B の内部に完全に埋設されていてもよく、あるいは、繊維状構造体 9 4 C から部分的に露出しているもよい。非泳動粒子 9 4 C が明表示または暗表示を行うときに外部から視認される色は、上記泳動粒子 9 3 について説明したものと同様である。

【 0 2 9 8 】

このような多孔質層 9 4 は、例えば以下の方法により形成することができる。まず有機溶剤などに、例えば高分子材料等の繊維状構造体 9 4 B の構成材料を溶解させ、紡糸溶液を調製する。次いで、この紡糸溶液に非泳動粒子 9 4 C を加えて十分に攪拌し、非泳動粒子 9 4 C を分散させる。最後に、この紡糸溶液から例えば静電紡糸法により紡糸を行って非泳動粒子 9 4 C を繊維状構造体 9 4 B に固定し、多孔質層 9 4 を形成する。多孔質層 9 4 は、高分子フィルムに、レーザを使用して穴開け加工を施して細孔 9 4 A を形成するようにしてもよく、多孔質層 9 4 に合成繊維等により編まれた布、または連泡多孔性高分子などを用いるようにしてもよい。

【 0 2 9 9 】

電気泳動素子 9 1 は、上記のように、泳動粒子 9 3 の光反射率と多孔質層 9 4 の光反射率との差によりコントラストを生じさせるものである。具体的には、泳動粒子 9 3 および多孔質層 9 4 のうち、明表示する方の光反射率が暗表示する方の光反射率よりも高くなっている。非泳動粒子 9 4 C の光反射率を、泳動粒子 9 3 よりも高くして、多孔質層 9 4 で明表示し、泳動粒子 9 3 で暗表示することが好ましい。このような表示を行うことにより、明表示がなされる際の光反射率が、多孔質層 9 4（3次元立体構造物）による光の乱反射を利用して著しく高くなる。従って、これに応じ、コントラストも著しく向上する。

【 0 3 0 0 】

電気泳動素子 9 1 では、電界が印加された範囲内で泳動粒子 9 3 が多孔質層 9 4 の細孔 9 4 A を経て移動する。泳動粒子 9 3 の移動した領域、移動しない領域に応じて、明表示および暗表示のうちのどちらか一方がなされ、画像が表示される。

【 0 3 0 1 】

10

20

30

40

50

図77は、表示素子として電気泳動素子91を用いた表示装置100Gの断面構成を表したものである。この表示装置100Gは、電気泳動現象を利用して画像（例えば文字情報など）を表示する電気泳動型ディスプレイ（いわゆる電子ペーパーディスプレイ）である。表示装置100Gは、例えば、基板10に、電気泳動素子91よりなる表示素子90を有している。

【0302】

表示素子90は、画素電極95と、上述した電気泳動素子91と、対向基板96とを有している。基板10上の平坦化層14と対向基板96との間にはスペーサ（図示せず）が介在している。

【0303】

画素電極95は、例えば、金（Au）、銀（Ag）または銅（Cu）などの金属材料により形成されている。画素電極95は、コンタクトホールH2を通じてソース電極35Sに接続されている。画素電極95は、例えば画素配置に応じてマトリクス状またはセグメント状に配置されている。

【0304】

対向基板96は、例えばガラスなどの板状部材96Aと、ITOなどの光透光性導電性材料（透明電極材料）よりなる対向電極96Bを有している。対向電極96Bは、板状部材96Aの全面（基板10との対向面）に設けられている。対向電極96Bを、画素電極95と同様に、マトリクス状またはセグメント状に配置するようにしてもよい。

【0305】

電気泳動素子91は、上述したように、絶縁性液体92中に、泳動粒子93と、複数の細孔94Aを有する多孔質層94とを含んでいる。絶縁性液体92は、平坦化層14と対向基板96との間の空間に充填されており、多孔質層94は、例えば、スペーサ（図示せず）により支持されている。絶縁性液体92が充填されている空間は、例えば、多孔質層94を境界として、画素電極95に近い側の待避領域R1と、対向電極96Bに近い側の表示領域R2とに区分けされている。絶縁性液体92、泳動粒子93および多孔質層94の構成は、上述と同様である。なお、図77および後述の図78では、図示内容を簡略化するために、細孔94Aの一部だけを示している。

【0306】

多孔質層94は、画素電極95および対向電極96Bのうちのどちらか一方に隣接していてもよく、待避領域R1と表示領域R2とが明確に区切られていなくてもよい。泳動粒子93は、電界に応じて画素電極95または対向電極96Bに向かって移動する。

【0307】

スペーサ（図示せず）の厚みは、例えば10 μ m～100 μ mであり、できるだけ、薄くすることが好ましい。これにより、消費電力を抑えることができる。スペーサ（図示せず）は、例えば、高分子材料などの絶縁性材料により構成され、平坦化層37と対向基板96との間に例えば格子状に設けられている。スペーサ（図示せず）の配置形状は、特に限定されないが、泳動粒子93の移動を妨げず、かつ、泳動粒子93を均一分布させるように設けることが好ましい。

【0308】

初期状態の表示装置100Gでは、泳動粒子93が待避領域R1に配置されている（図77）。この場合には、全ての画素で泳動粒子93が多孔質層94により遮蔽されているため、対向基板96側から電気泳動素子91を見ると、コントラストが生じていない（画像が表示されていない）状態にある。

【0309】

一方、基板10の薄膜トランジスタ13により画素が選択され、画素電極95と対向電極96Aとの間に電界が印加されると、図78に示したように、画素毎に泳動粒子93が待避領域R1から多孔質層94（細孔94A）を經由して表示領域R2に移動する。この場合には、泳動粒子93が多孔質層94により遮蔽されている画素と遮蔽されていない画素とが併存するため、対向基板96側から電気泳動素子91を見ると、コントラストが生

10

20

30

40

50

じている状態になる。これにより、画像が表示される。

【0310】

(適用例)

続いて、図79ないし図82を参照して、上記実施の形態に係る表示装置の適用例について説明する。上記実施の形態の表示装置は、テレビジョン装置のほか、デスクトップ型、ノート型、タブレット型などのコンピュータやゲーム機のモニター装置、デジタルサイネージ、携帯電話、スマートフォン、電子書籍リーダー、携帯音楽プレーヤ等の携帯端末装置など、広い分野の電子機器に適用することが可能である。

【0311】

(モジュール)

上記実施の形態の表示装置は、例えば、図79に示したようなモジュールとして、後述する適用例1~3などの種々の電子機器に組み込まれる。このモジュールは、例えば、中央部の画素アレイ部102(図1参照。)と、この画素アレイ部102の外側の周辺領域106とを有している。周辺領域106には、図1に示した駆動部(信号セクタ103,主スキャナ104,および電源スキャナ105)が設けられると共に、画素アレイ部102の配線が延長されて外部接続端子(図示せず)が設けられている。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC;Flexible Printed Circuit)107が接続されていてもよい。

【0312】

(適用例1)

図80は、上記実施の形態の表示装置により構成されたテレビジョン装置110の外観を表したものである。このテレビジョン装置110は、例えば、フロントパネル111およびフィルターガラス112を含む映像表示画面部113を有している。映像表示画面部113が上記実施の形態の表示装置により構成されている。

【0313】

(適用例2)

図81は、上記実施の形態の表示装置により構成されたスマートフォン120の外観を表したものである。スマートフォン120は、上記実施の形態の表示装置により構成され、画素アレイ部102がタッチパネル部121、周辺領域106が額縁領域122となっている。額縁領域122には、下方に操作ボタン123、上方に受話口124および近接センサ、照度センサ等のセンサ類125が設けられている。側面には電源ボタン126が設けられている。裏面にはカメラ(図示せず)が設けられている。

【0314】

(適用例3)

図82は、上記実施の形態の表示装置により構成されたタブレット型コンピュータ130の外観を表したものである。タブレット型コンピュータ130は、上記実施の形態の表示装置により構成され、表示アレイ部102がタッチパネル部131、周辺領域106が額縁領域132となっている。額縁領域132には、照度センサ133およびフロントカメラ134が設けられている。側面にはスピーカ135、電源キー、マイク、各種の操作ボタン(いずれも図示せず)が配置されている。裏面にはメインカメラ(図示せず)が設けられている。

【0315】

以上、実施の形態を挙げて本技術を説明したが、本技術は上記実施の形態に限定されるものではなく、種々変形が可能である。

【0316】

例えば、上記実施の形態では、複数の容量素子 C_n として三つの容量素子 C_1, C_2, C_3 を積層する場合について説明したが、積層される容量素子 C_n の個数は二つでもよく、あるいは四つ以上でもよい。

【0317】

また、例えば、上記実施の形態では、複数の容量素子 C_n のうち二つの容量素子(下層

10

20

30

40

50

容量素子 C 1 および上層容量素子 C 2) が、互いに異なる電位を保持可能である場合について説明したが、本開示はこれに限られず、複数の容量素子 C n のうち少なくとも二つが、互いに異なる電位を保持可能であればよい。例えば、複数の容量素子 C n の全部が、互いに異なる電位を保持可能であってもよい。

【 0 3 1 8 】

更に、例えば、上記実施の形態では、下層容量素子 C 1 の上部電極 T E 1 が、ソース電極 3 5 S と同層に、ソース電極 3 5 S と連続して一体的に設けられている場合について説明した。しかしながら、下層容量素子 C 1 の上部電極 T E 1 は、ソース電極 3 5 S と異なる層に設けられ、コンタクト等を介してソース電極 3 5 S に接続されていてもよい。あるいは、下層容量素子 C 1 の上部電極 T E 1 は、ソース電極 3 5 S と同層に、ソース電極 3 5 S とは非連続な層として設けられ、コンタクト等を介してソース電極 3 5 S に接続されていてもよい。

10

【 0 3 1 9 】

加えて、例えば、上記実施の形態では、下層容量素子 C 1 の上部電極 T E 1 と上層容量素子 C 2 の下部電極 B E 2 とが共通である場合について説明した。しかしながら、下層容量素子 C 1 の上部電極 T E 1 と上層容量素子 C 2 の下部電極 B E 2 とは、別の層として設けられ、コンタクト等を介して接続されていてもよい。

【 0 3 2 0 】

更にまた、例えば、上記実施の形態では、表示装置 1 0 0 , 1 0 0 A ~ 1 0 0 G の構成を具体的に挙げて説明したが、表示装置 1 0 0 , 1 0 0 A ~ 1 0 0 G は、図示した構成要素を全て備えるものに限定されるものではない。また、一部の構成要素を他の構成要素に置換することもできる。

20

【 0 3 2 1 】

また、上記実施の形態では、画素回路 1 0 1 の構成および動作について具体例を挙げて説明したが、アクティブマトリクス駆動のための画素回路の構成は、上記実施の形態で説明したものに限られず、必要に応じて容量素子やトランジスタを追加してもよく、また結線関係を変更することも可能である。その場合、画素回路の変更に応じて、上述した駆動部 (信号セクタ 1 0 3 , 主スキャナ 1 0 4 , および電源スキャナ 1 0 5) のほかに、必要な駆動回路を追加してもよい。また、画素回路の駆動方法や動作についても、上記実施の形態で説明したものに限られず、適宜の変更が可能であることは言うまでもない。

30

【 0 3 2 2 】

更に、上記実施の形態において説明した各層の材料および厚み、または成膜方法および成膜条件等は限定されるものではなく、他の材料および厚みとしてもよく、または他の成膜方法および成膜条件としてもよい。

【 0 3 2 3 】

加えて、有機層 2 3 は、真空蒸着法または吐出コート法などの塗布法の他に、ディッピング法、ドクターブレード法、スピンコート法、スプレーコート法などの他の塗布法、インクジェット法、オフセット印刷法、凸版印刷法、凹版印刷法、スクリーン印刷法、マイクログラビアコート法などの印刷法などによる形成も可能であり、有機層 2 3 の各層や各部材の性質に応じて、ドライプロセスとウェットプロセスを併用してもよい。

40

【 0 3 2 4 】

更にまた、上記実施の形態では、表示素子 2 0 を保護層 2 5、接着層 2 6 および封止基板 2 7 で覆い、保護層 2 5 と封止基板 2 7 との間に空間を残さない固体封止構造について説明した。しかしながら、表示素子 2 0 を保護層 2 5 および蓋状部材 (図示せず) で覆い、保護層 2 5 と蓋状部材との間に空間を残す中空封止構造としてもよい。この場合には、保護層 2 5 と蓋状部材との間の空間にゲッター剤 (図示せず) 等を設置することにより、有機層 2 3 への水分の浸入を抑えることが望ましい。

【 0 3 2 5 】

加えてまた、上記実施の形態では、表示素子 2 0 が、基板 1 0 側からアノード電極 2 1、有機層 2 3、およびカソード電極 2 4 を順に有する場合について説明したが、アノード

50

電極 2 1 およびカソード電極 2 4 を逆にして、基板 1 0 側からカソード電極 2 4、有機層 2 3、およびアノード電極 2 1 を有していてもよい。この場合についても、アノード電極 2 1 側から光を取り出す上面発光、カソード電極 2 4 (基板 1 0) 側から光を取り出す下面発光のいずれも可能である。

【 0 3 2 6 】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

【 0 3 2 7 】

なお、本技術は以下のような構成もとることができる。

(1)

基板に表示素子を有し、
前記基板は、
基材と、
前記基材上に積層され、各々下部電極および上部電極を有する複数の容量素子と
を備え、
前記複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素子を含み、
前記下層容量素子の下部電極と、前記上層容量素子の上部電極とが、電気的に独立している
表示装置。

10

20

(2)

前記下層容量素子の前記下部電極と、前記上層容量素子の前記上部電極とが、互いに異なる配線に接続されている
前記 (1) 記載の表示装置。

(3)

前記複数の容量素子のうち少なくとも二つの容量素子が、互いに異なる電位を保持可能である
前記 (1) または (2) 記載の表示装置。

(4)

前記複数の容量素子のうち少なくとも二つの容量素子の充放電期間が、互いに異なる
前記 (1) ないし (3) のいずれかに記載の表示装置。

30

(5)

前記基板は、薄膜トランジスタを更に備え、
前記薄膜トランジスタのソース電極は、前記表示素子のアノード電極に接続され、
前記複数の容量素子は、第 1 容量素子および第 2 容量素子を含み、
前記第 1 容量素子は、前記薄膜トランジスタのゲート電極と前記ソース電極との間に接続され、
前記第 2 容量素子は、前記ソース電極と前記表示素子のカソード電極との間に接続されている
前記 (1) ないし (4) のいずれかに記載の表示装置。

40

(6)

前記第 1 容量素子は前記上層容量素子、前記第 2 容量素子は前記下層容量素子であり、
前記下層容量素子の前記下部電極は、前記表示素子の前記カソード電極に接続され、
前記上層容量素子の前記上部電極は、前記薄膜トランジスタの前記ゲート電極に接続されている
前記 (5) 記載の表示装置。

(7)

前記複数の容量素子は、最上層容量素子を更に含み、
前記第 1 容量素子は前記上層容量素子および前記最上層容量素子であり、
前記最上層容量素子の下部電極は、前記上層容量素子の上部電極であり、

50

前記最上層容量素子の上部電極は、前記表示素子の前記アノード電極である
前記(6)記載の表示装置。

(8)

前記第1容量素子は前記下層容量素子、前記第2容量素子は前記上層容量素子であり、
前記下層容量素子の前記下部電極は、前記薄膜トランジスタの前記ゲート電極に接続さ
れ、

前記上部容量素子の前記上部電極は、前記表示素子の前記カソード電極に接続されてい
る

前記(5)記載の表示装置。

(9)

前記複数の容量素子は、最上層容量素子を更に含み、
前記第2容量素子は前記上層容量素子および前記最上層容量素子であり、
前記最上層容量素子の下部電極は、前記上層容量素子の上部電極であり、
前記最上層容量素子の上部電極は、前記表示素子の前記アノード電極である
前記(8)記載の表示装置。

10

(10)

前記薄膜トランジスタは、酸化物半導体よりなる半導体層を有し、
前記複数の容量素子の少なくとも一つの前記下部電極または前記上部電極は、前記半導
体層よりも抵抗値の低い酸化物半導体により構成されている

前記(5)ないし(9)のいずれかに記載の表示装置。

20

(11)

基板に表示素子を有する表示装置を備え、

前記基板は、

基材と、

前記基材上に積層され、各々下部電極および上部電極を有する複数の容量素子と
を備え、

前記複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素
子を含み、

前記下層容量素子の下部電極と、前記上層容量素子の上部電極とが、電気的に独立して
いる

電子機器。

30

(12)

基材と、

前記基材上に積層され、各々下部電極および上部電極を有する複数の容量素子と
を備え、

前記複数の容量素子は、積層方向の位置が互いに異なる下層容量素子および上層容量素
子を含み、

前記下層容量素子の下部電極と、前記上層容量素子の上部電極とが、電気的に独立して
いる

基板。

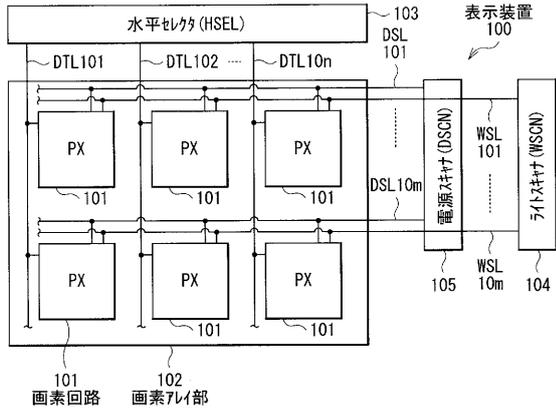
40

【0328】

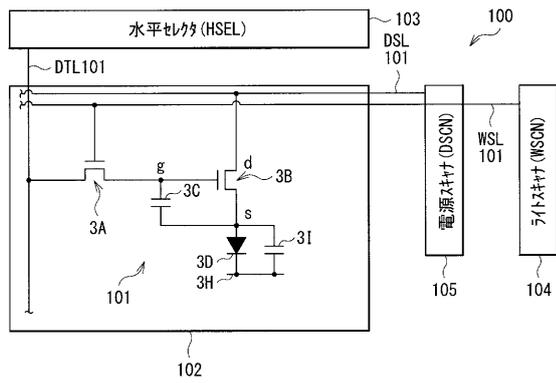
3 B ... 駆動用トランジスタ、3 C ... 保持容量(第1容量素子)、3 D ... 発光素子、3 I ...
補助容量(第2容量素子)、1 0 0, 1 0 0 A ~ 1 0 0 G ... 表示装置、1 0 ... 基板、1 1
... 基材、2 0, 8 0, 9 0 ... 表示素子、2 1 ... アノード電極、2 2 ... 隔壁、2 3 ... 有機層
、2 4 ... カソード電極、3 0 ... 薄膜トランジスタ、3 1 ... ゲート電極(下部ゲート電極)
、3 2 ... ゲート絶縁膜、3 3 ... 半導体層、3 4 ... ストッパー層、3 5 S ... ソース電極、3
5 D ... ドレイン電極、3 6 ... パッシベーション層(第1パッシベーション層)、3 7 ... 平
坦化層、3 8 ... 上部ゲート電極、3 9 ... 第2パッシベーション層、4 0 ... 層間絶縁膜、C
1 ... 下層容量素子、C 2 ... 上層容量素子、C 3 ... 最上層容量素子、C n ... 複数の容量素子
。

50

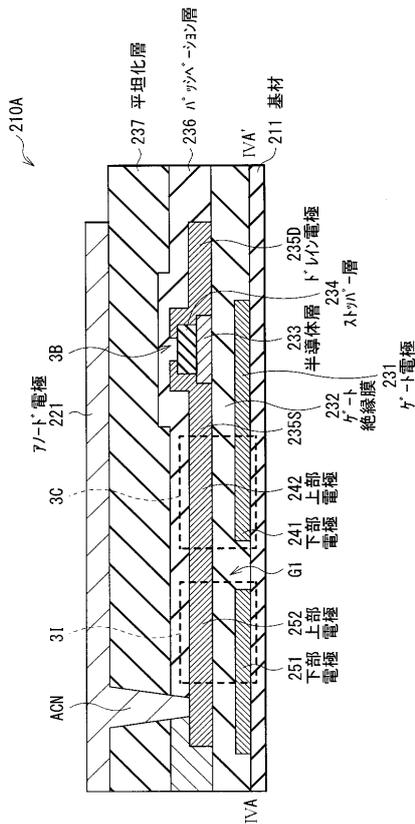
【 図 1 】



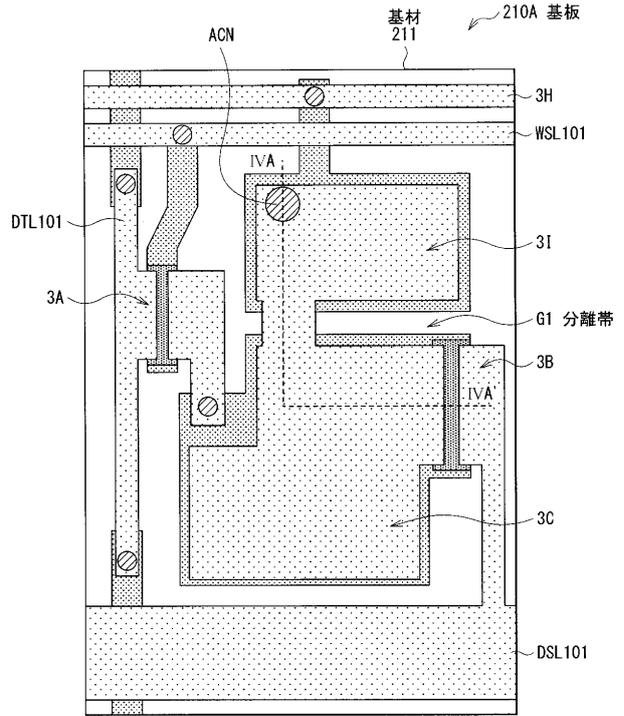
【 図 2 】



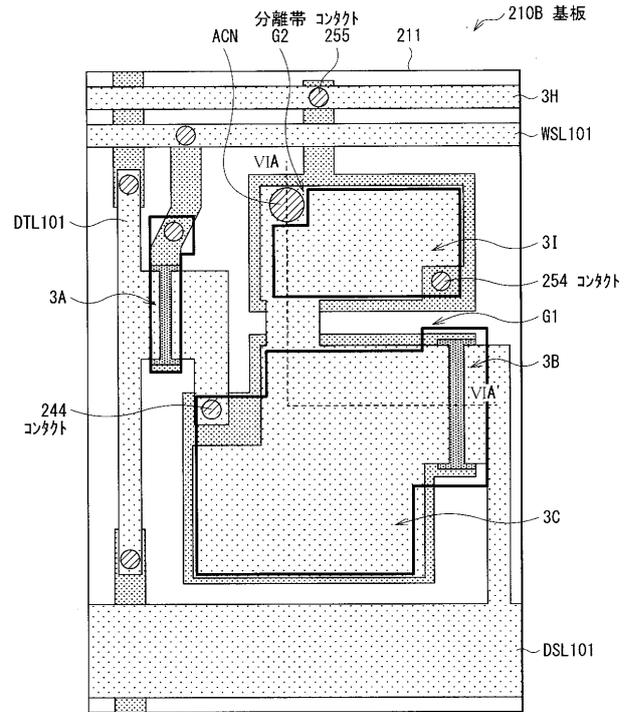
【 図 4 】



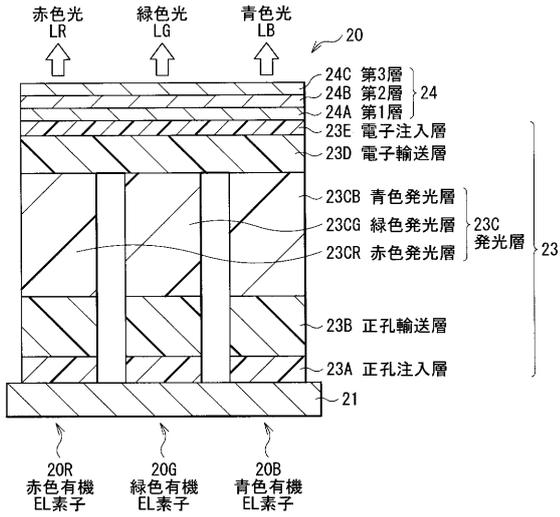
【 図 3 】



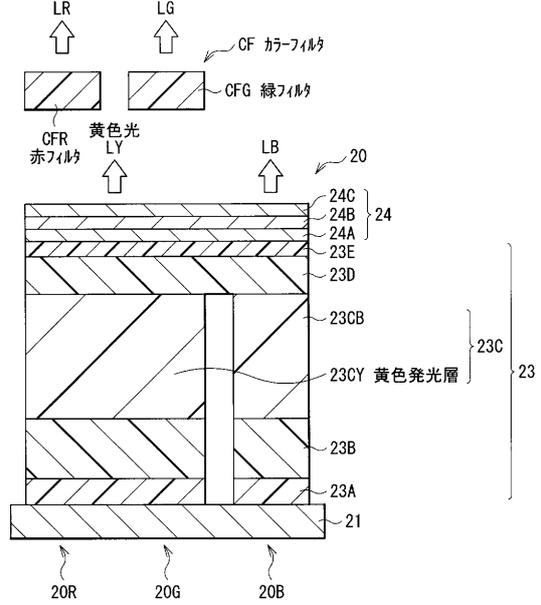
【 図 5 】



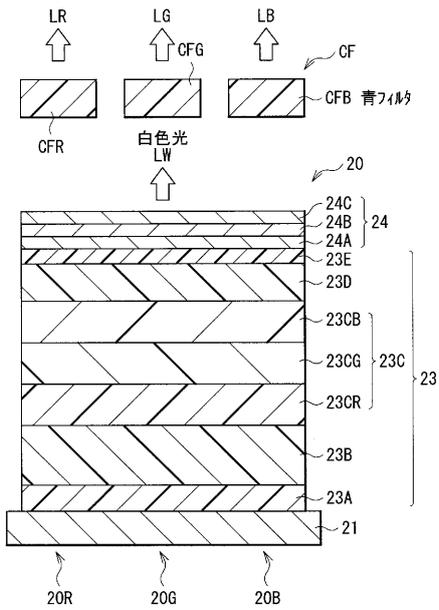
【図10】



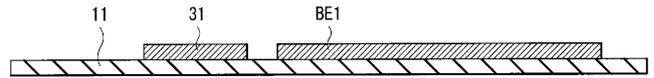
【図11】



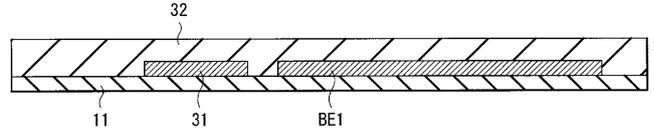
【図12】



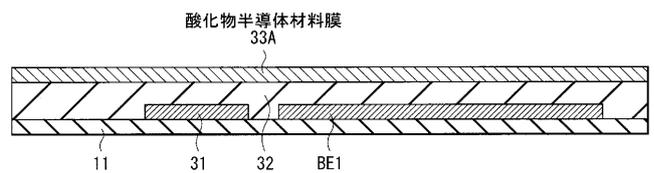
【図14】



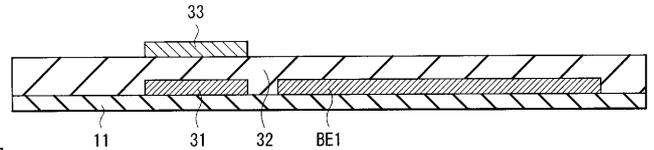
【図15】



【図16】



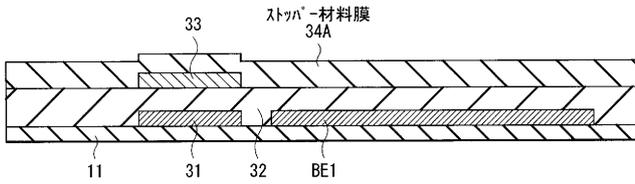
【図17】



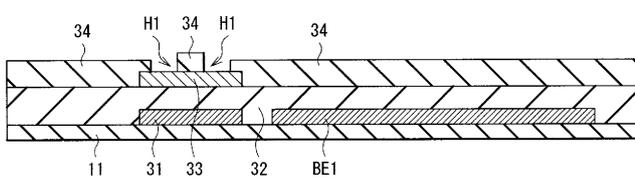
【図13】



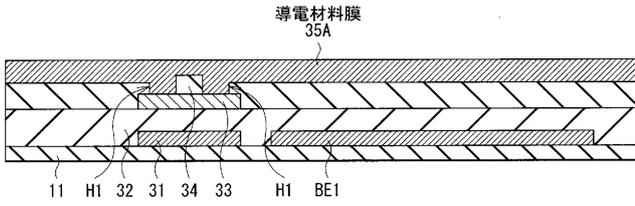
【図18】



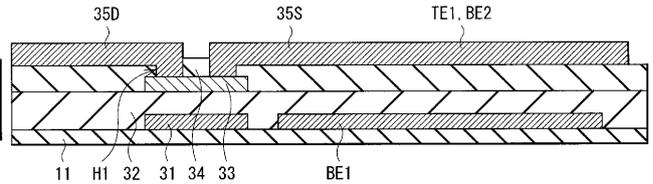
【図19】



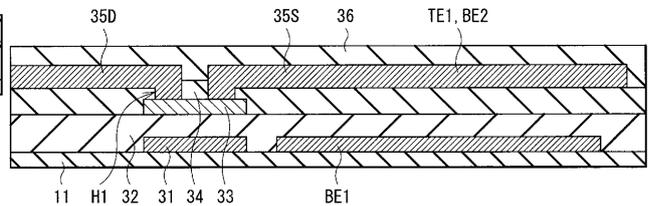
【図20】



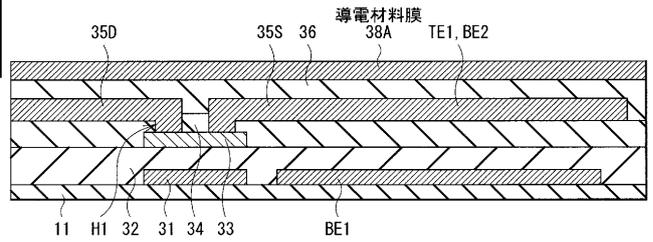
【図21】



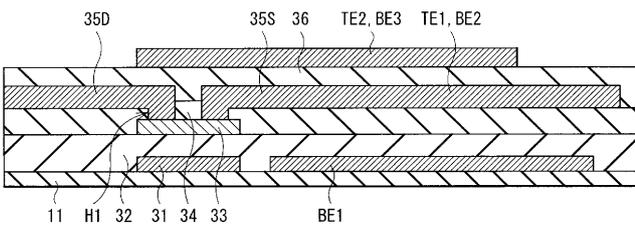
【図22】



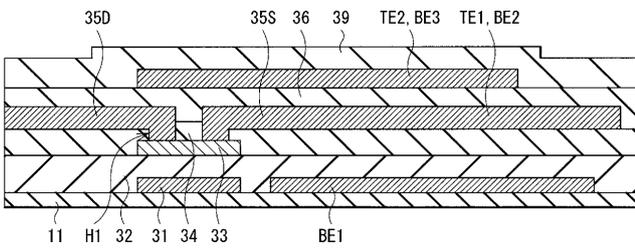
【図23】



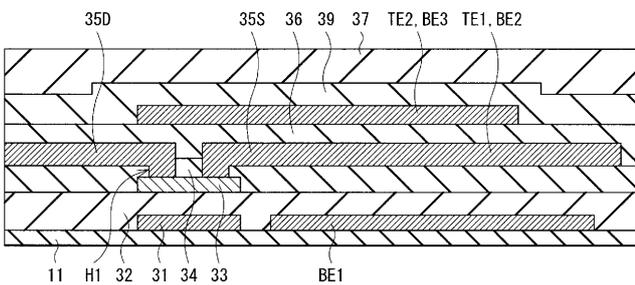
【図24】



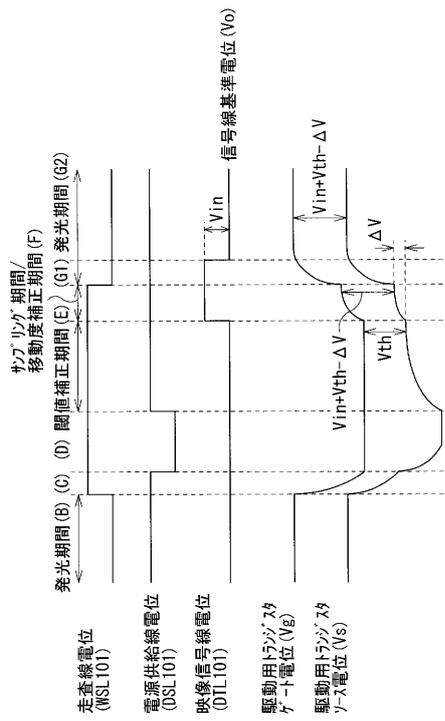
【図25】



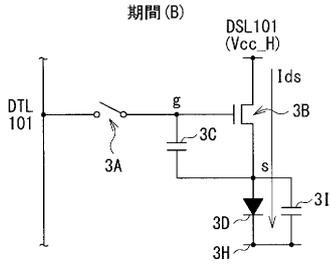
【図26】



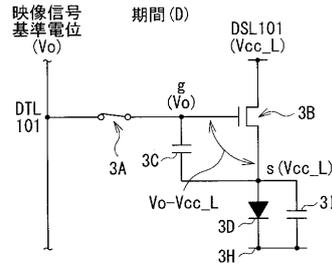
【図27】



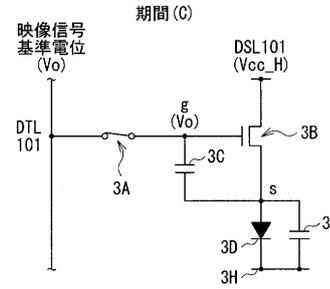
【図28】



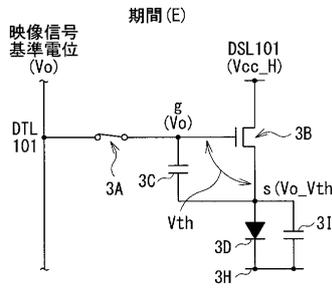
【図30】



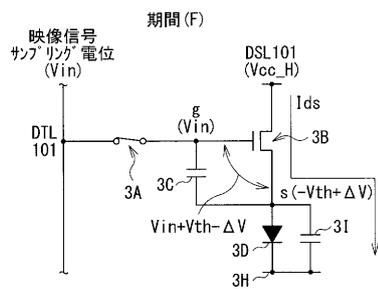
【図29】



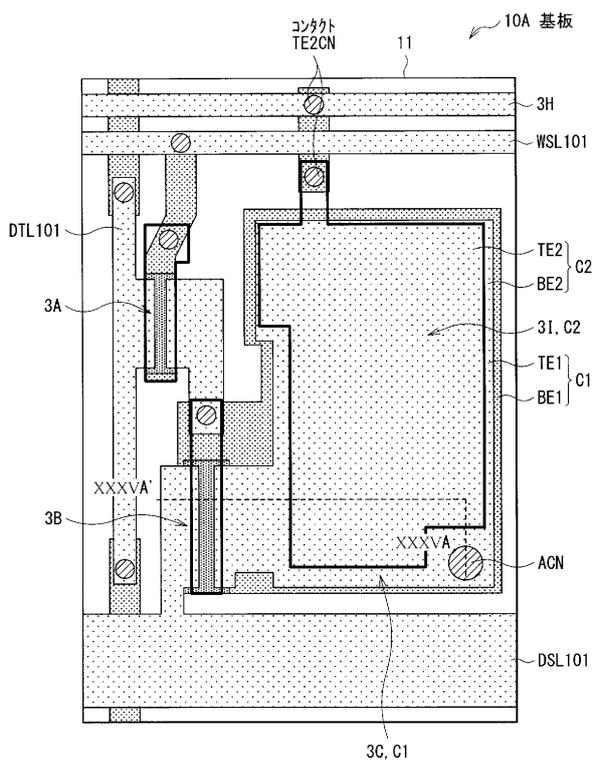
【図31】



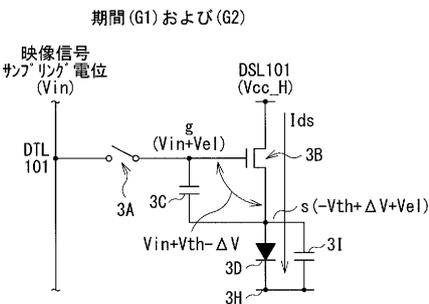
【図32】



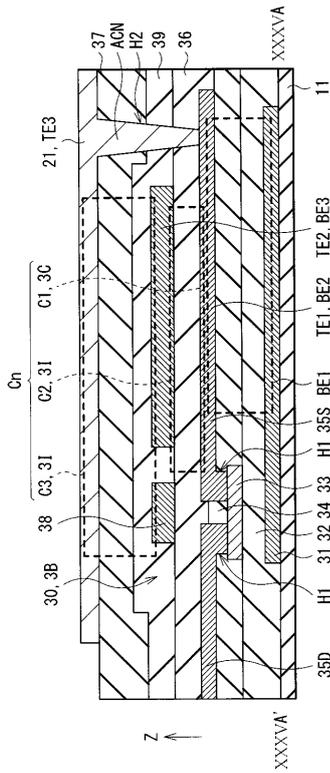
【図34】



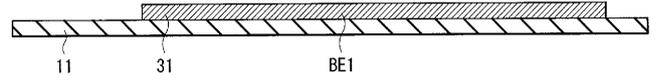
【図33】



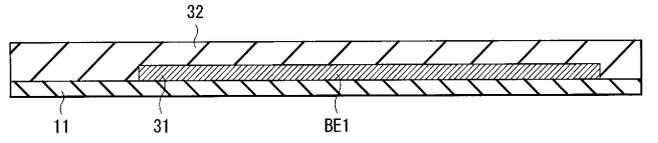
【 図 3 5 】



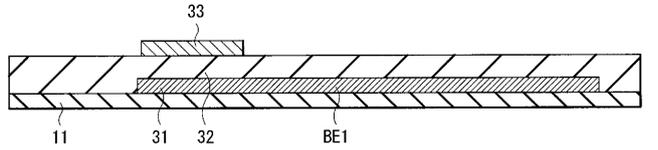
【 図 3 6 】



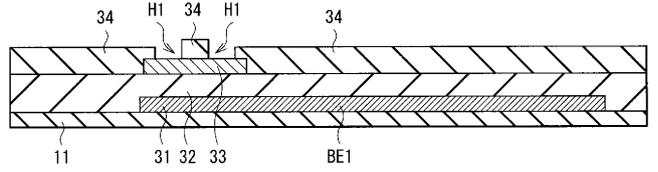
【 図 3 7 】



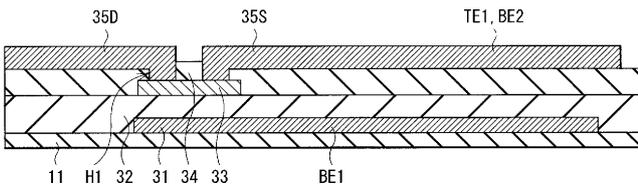
【 図 3 8 】



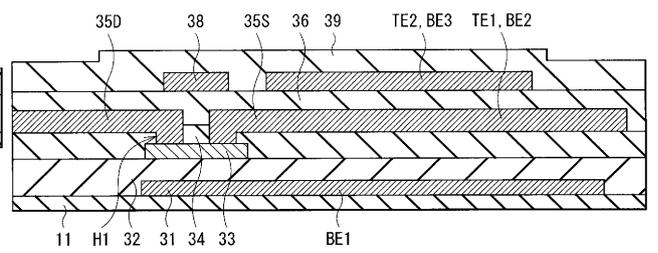
【 図 3 9 】



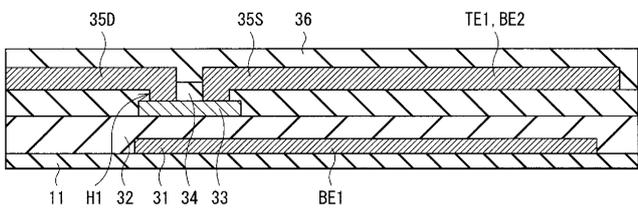
【 図 4 0 】



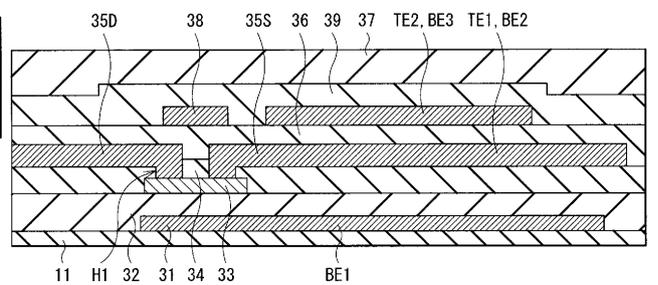
【 図 4 3 】



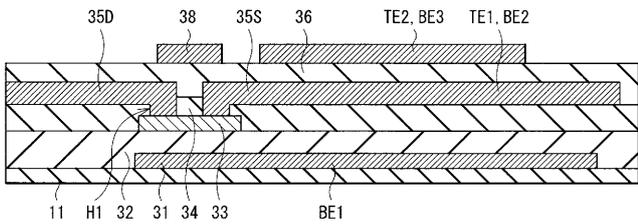
【 図 4 1 】



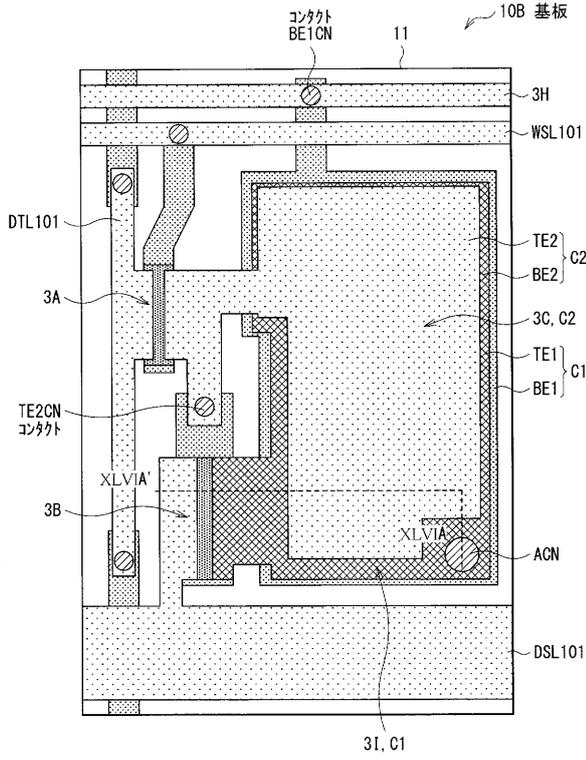
【 図 4 4 】



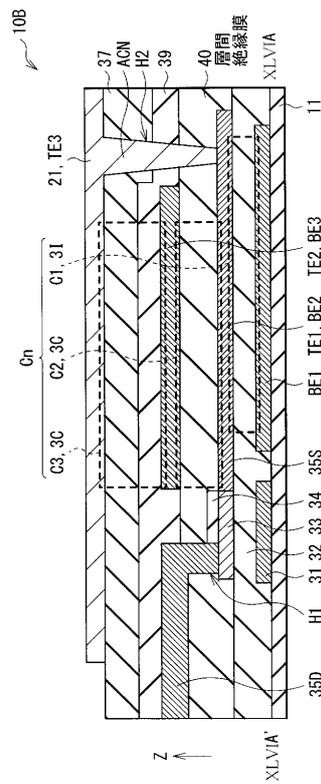
【 図 4 2 】



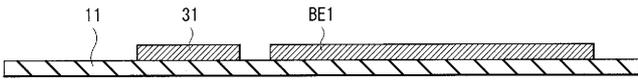
【図45】



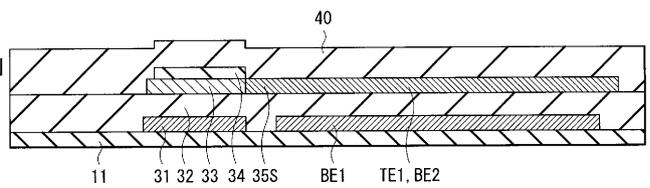
【図46】



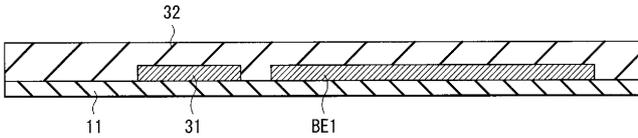
【図47】



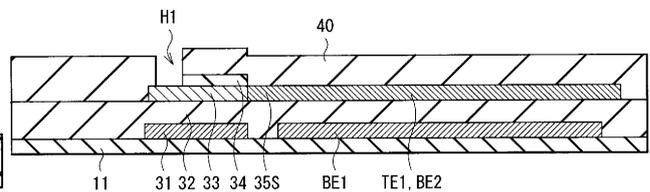
【図51】



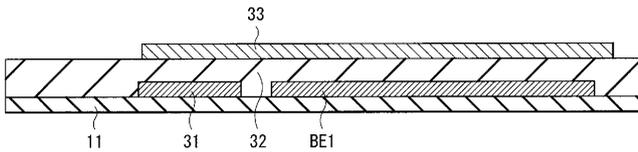
【図48】



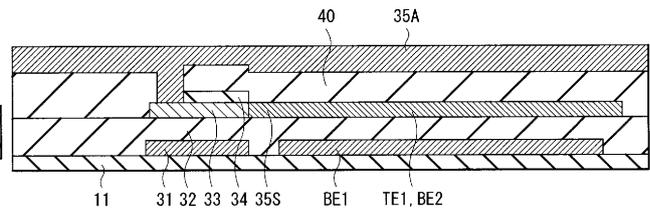
【図52】



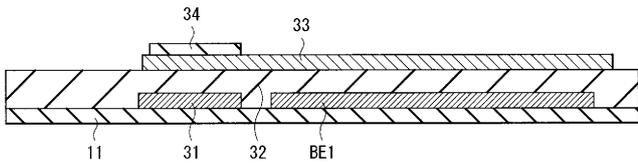
【図49】



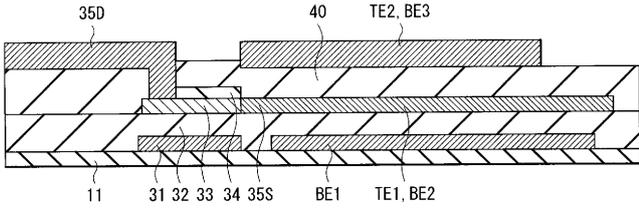
【図53】



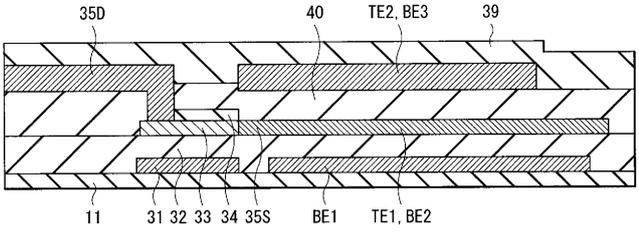
【図50】



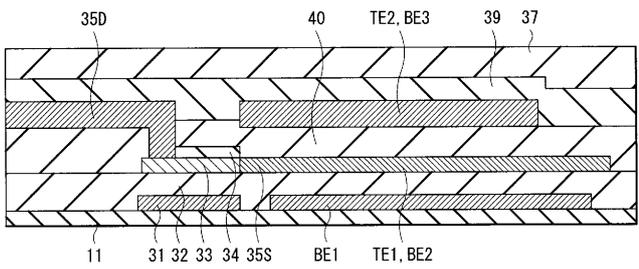
【図54】



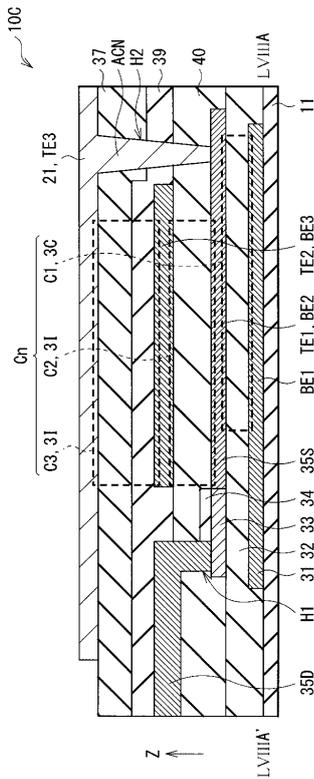
【図55】



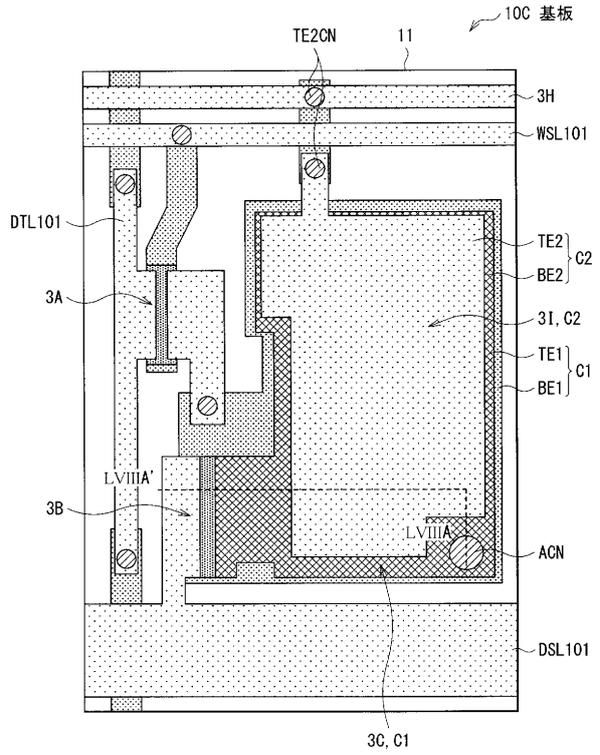
【図56】



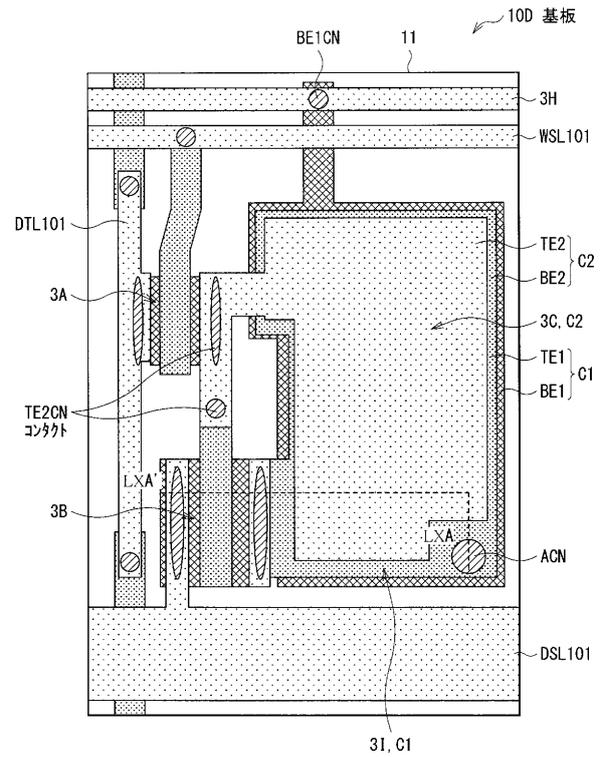
【図58】



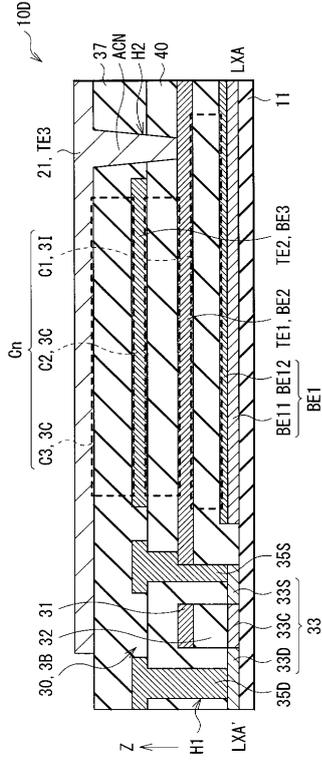
【図57】



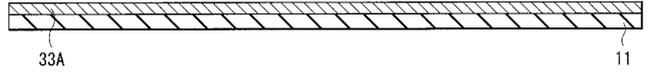
【図59】



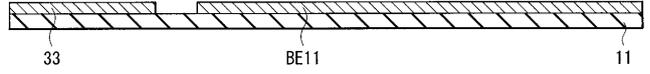
【図 6 0】



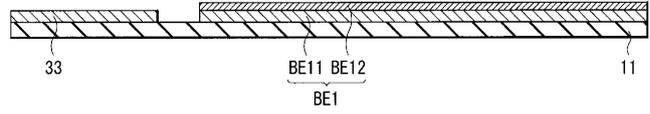
【図 6 1】



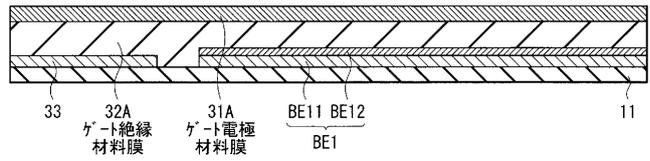
【図 6 2】



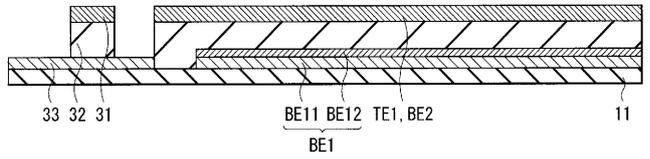
【図 6 3】



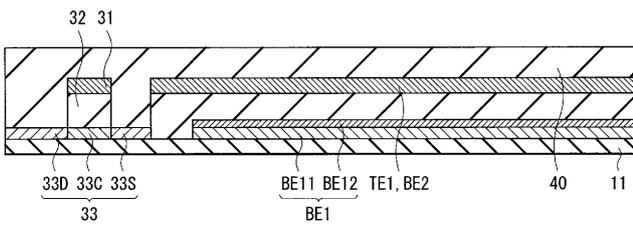
【図 6 4】



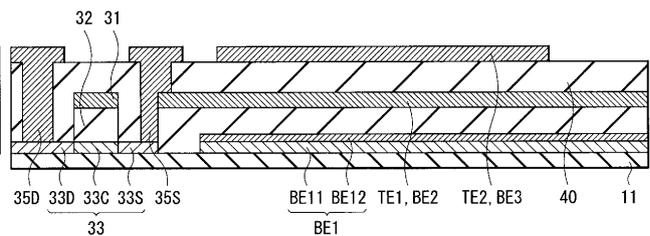
【図 6 5】



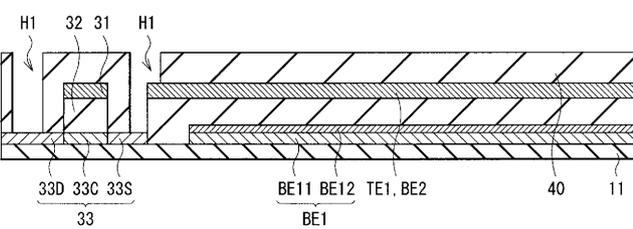
【図 6 6】



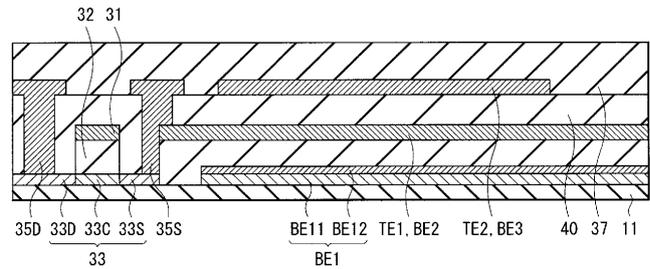
【図 6 9】



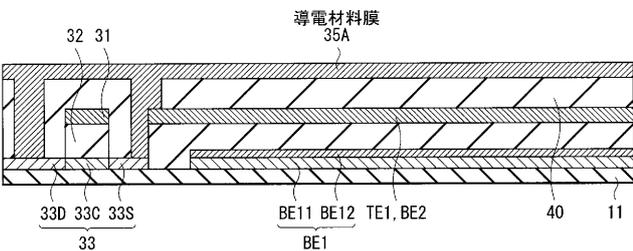
【図 6 7】



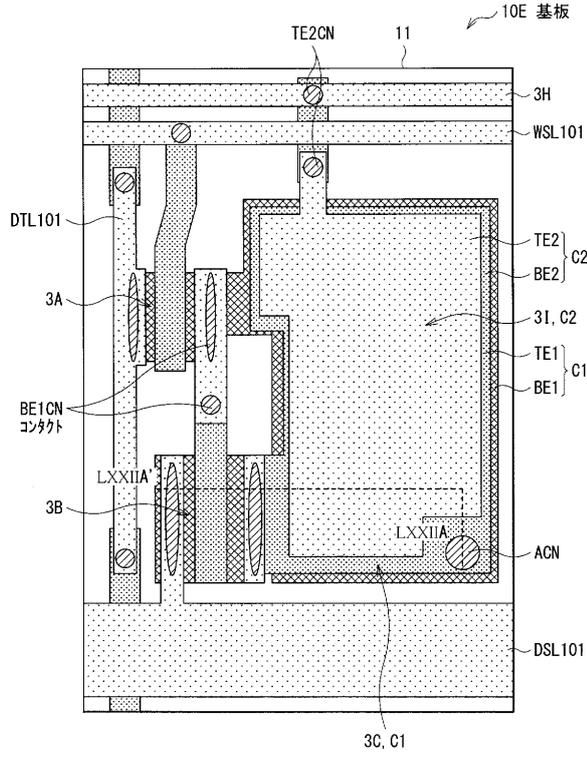
【図 7 0】



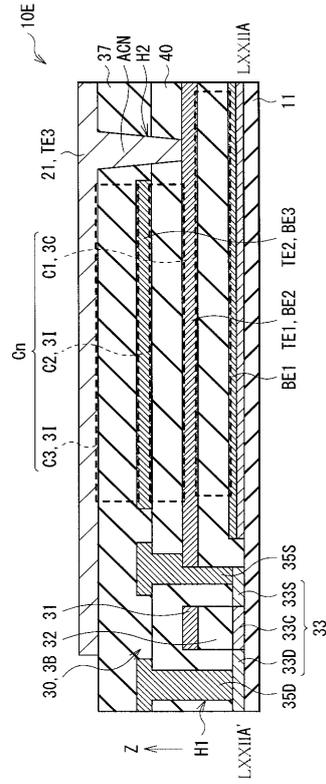
【図 6 8】



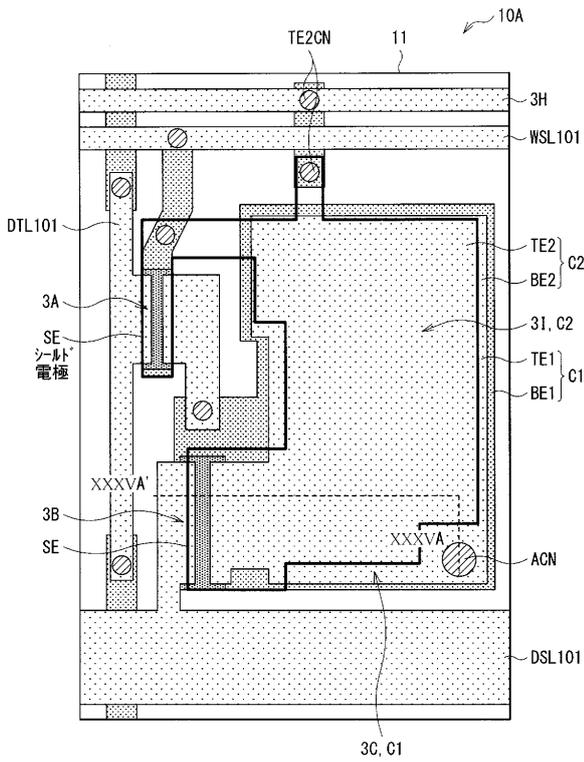
【図71】



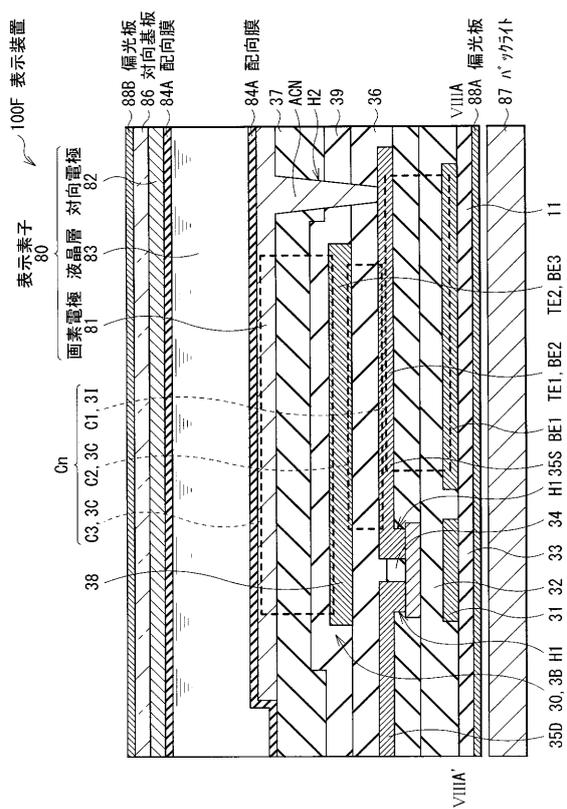
【図72】



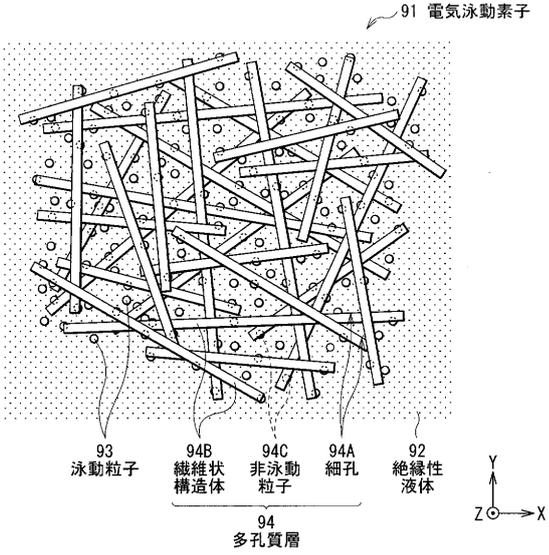
【図73】



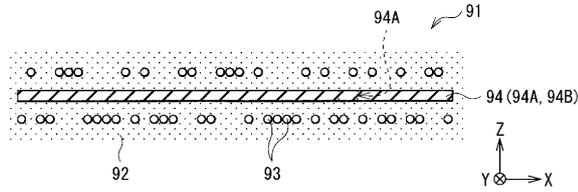
【図74】



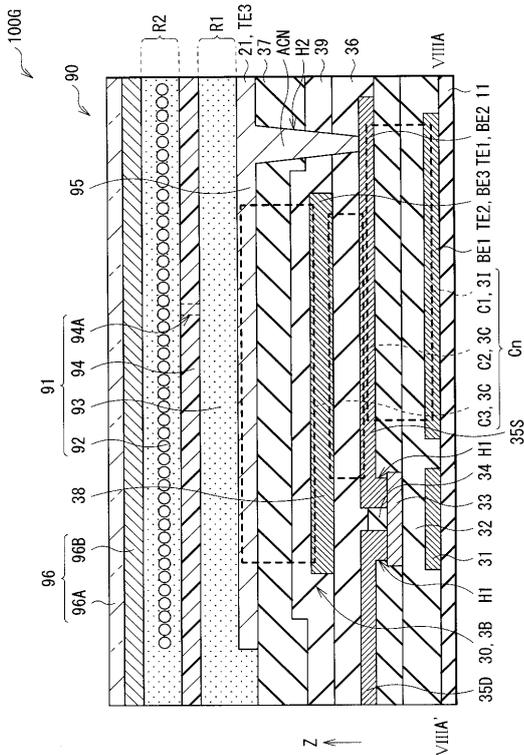
【図75】



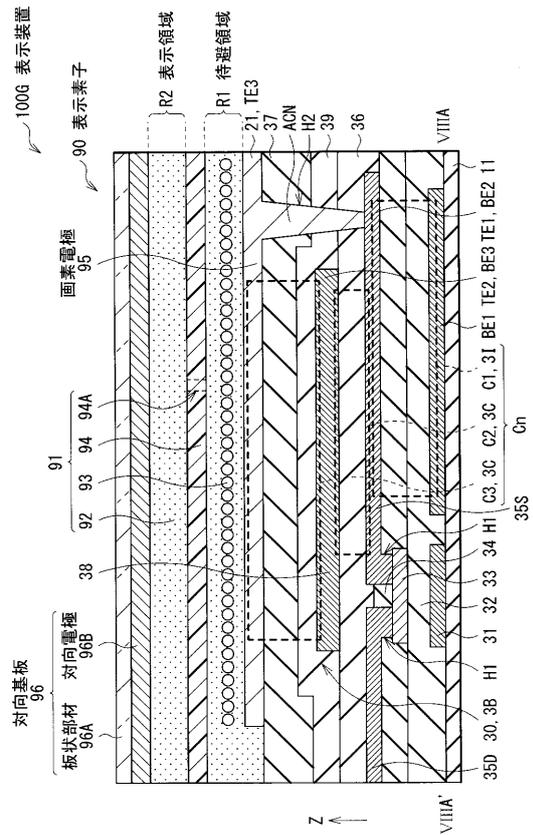
【図76】



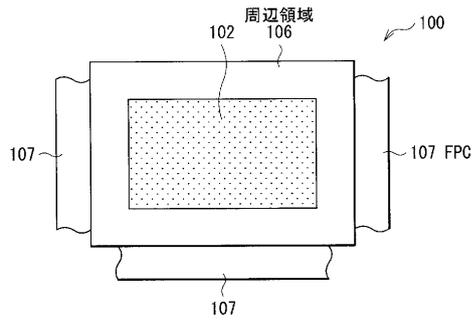
【図78】



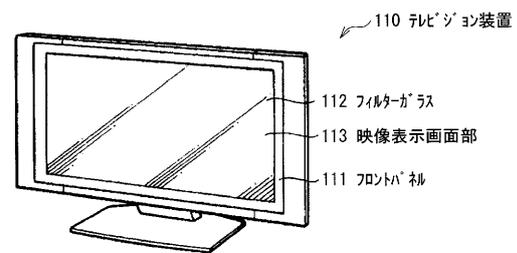
【図77】



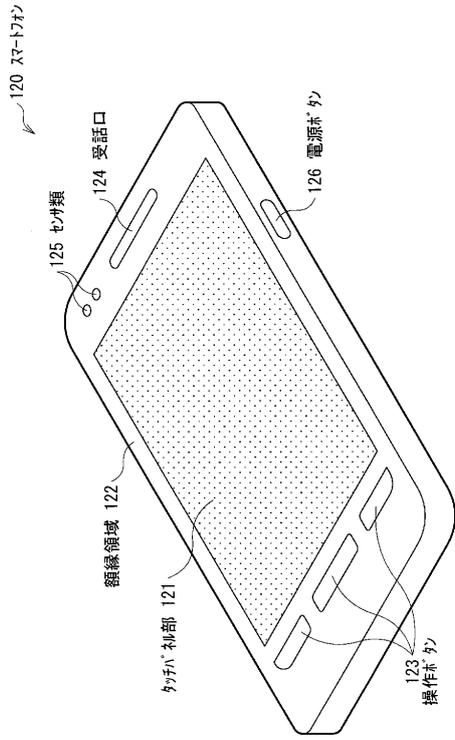
【図79】



【図80】



【図 8 1】



【図 8 2】

