



(12) 发明专利申请

(10) 申请公布号 CN 112599606 A

(43) 申请公布日 2021.04.02

(21) 申请号 202011476386.5

(22) 申请日 2020.12.15

(71) 申请人 合肥维信诺科技有限公司
地址 230000 安徽省合肥市新站区魏武路
与新蚌埠路交叉口西南角

(72) 发明人 黄奔 袁宾 王丽娟 万康
冯兵明

(74) 专利代理机构 北京华进京联知识产权代理
有限公司 11606

代理人 杜萌

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

H01L 29/06 (2006.01)

H01L 29/417 (2006.01)

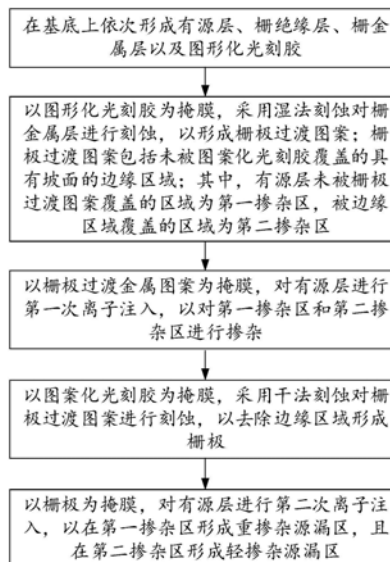
权利要求书1页 说明书6页 附图5页

(54) 发明名称

薄膜晶体管及其制造方法、显示面板和显示装置

(57) 摘要

本公开实施例提供一种薄膜晶体管及其制造方法、显示面板和显示设备,由于制备过程中先采用湿法刻蚀栅极金属层形成包括具有坡面的边缘区域的栅极过渡图案,利用栅极过渡图案进行第一次离子注入掺杂后再通过干法刻蚀去除坡面,然后再执行第二次离子注入掺杂形成重掺杂源漏区和轻掺杂源漏区,避免了现有技术中仅依靠图案化光刻胶进行重掺杂源漏区和轻掺杂源漏区制备,而图案化光刻胶存在曝光偏差导致的沟道两侧轻掺杂源漏区宽度不一致,进而薄膜晶体管的电学特性不良的问题。



1. 一种薄膜晶体管的制备方法,其特征在于,包括:
在基底上依次形成有源层、栅绝缘层、栅金属层以及图形化光刻胶;
以所述图形化光刻胶为掩膜,采用湿法刻蚀对所述栅金属层进行刻蚀,以形成栅极过渡图案,所述栅极过渡图案包括未被所述图案化光刻胶覆盖的具有坡面的边缘区域;其中,所述有源层未被栅极过渡图案覆盖的区域为第一掺杂区,被所述边缘区域覆盖的区域为第二掺杂区;
以所述栅极过渡金属图案为掩膜,对所述有源层进行第一次离子注入,以对所述第一掺杂区和所述第二掺杂区进行掺杂;
以所述图案化光刻胶为掩膜,采用干法刻蚀对所述栅极过渡图案进行刻蚀,以去除所述边缘区域形成栅极;
以所述栅极为掩膜,对所述有源层进行第二次离子注入,以在所述第一掺杂区形成重掺杂源漏区,且在所述第二掺杂区形成轻掺杂源漏区。
2. 根据权利要求1所述的制备方法,其特征在于,采用硝酸、磷酸和醋酸混合物作为湿法刻蚀剂进行湿刻;所述坡面与所述栅绝缘层形成的坡角大于等于 10° ,小于等于 50° 。
3. 根据权利要求2所述的制备方法,其特征在于,所述栅金属层的厚度为200nm至500nm,所述重掺杂源漏区的边缘至由所述栅极覆盖的所述有源层的边缘最小距离小于 $1\mu\text{m}$ 。
4. 根据权利要求3所述的制备方法,其特征在于,所述第一次离子注入的加速电压为50KV至80KV,剂量为 10^{14}cm^{-2} 至 10^{15}cm^{-2} 。
5. 根据权利要求4所述的制备方法,其特征在于,所述第二次离子注入的加速电压为加速电压50至80KV,剂量为 10^{13}cm^{-2} 至 $5\times 10^{13}\text{cm}^{-2}$ 。
6. 根据权利要求1至5任一项所述的制备方法,其特征在于,还包括去除所述图形化光刻胶的步骤。
7. 根据权利要求6所述的制备方法,其特征在于,采用灰化去除所述图形化光刻胶,所述灰化采用氧气和/或六氟化硫气体,处理时间为60s-150s。
8. 一种薄膜晶体管,包括设置于基底上的有源层、栅绝缘层和栅极,其特征在于,所述有源层包括沟道区和重掺杂源漏区,以及位于所述沟道区与重掺杂源漏区之间的轻掺杂源漏区;在所述轻掺杂源漏区中,从靠近所述重掺杂源漏区的部分至靠近所述沟道区的部分的掺杂浓度逐渐降低。
9. 一种显示面板,其特征在于,包括如权利要求8所述的薄膜晶体管。
10. 一种显示装置,其特征在于,包括如权利要求9所述的显示面板。

薄膜晶体管及其制造方法、显示面板和显示装置

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种薄膜晶体管及其制造方法、显示面板和显示装置。

背景技术

[0002] 薄膜晶体管(thin film transistor,TFT)为有源阵列型平面显示器常用的有源元件(active element),用来驱动有源式液晶显示器(active matrix type liquid crystal display)、有源式有机电激发光显示器(active matrix type organic electroluminescent display)、影像传感器等装置。

[0003] 为了避免热载流子效应,需要对薄膜晶体管的有源层进行掺杂处理,形成重掺杂源漏区(source/drain Doping,SD Doping)和轻掺杂源漏区(Light Doped Drain,LDD Doping)。

[0004] 目前,在制备薄膜晶体管时,重掺杂源漏区和轻掺杂源漏区是分别在不同的曝光制程中完成的,会存在曝光偏差(Overlay)的问题,导致位于沟道两侧的轻掺杂源漏区的宽度不一致,导致薄膜晶体管的电学特性不良,直接影响产品的可靠性和良品率。

发明内容

[0005] 基于此,根据本申请的一个方面,提供了一种薄膜晶体管的制备方法,能够精确的控制有源层的轻掺杂源漏区宽度。

[0006] 为达到上述目的,本发明提供以下技术方案:

[0007] 一种薄膜晶体管的制备方法,包括:

[0008] 在基底上依次形成有源层、栅绝缘层、栅金属层以及图形化光刻胶;

[0009] 以所述图形化光刻胶为掩膜,采用湿法刻蚀对所述栅金属层进行刻蚀,以形成栅极过渡图案,所述栅极过渡图案包括未被所述图案化光刻胶覆盖的具有坡面的边缘区域;其中,所述有源层未被栅极过渡图案覆盖的区域为第一掺杂区,被所述边缘区域覆盖的区域为第二掺杂区;

[0010] 以所述栅极过渡金属图案为掩膜,对所述有源层进行第一次离子注入,以对所述第一掺杂区和所述第二掺杂区进行掺杂;

[0011] 以所述图案化光刻胶为掩膜,采用干法刻蚀对所述栅极过渡图案进行刻蚀,以去除所述边缘区域形成栅极;

[0012] 以所述栅极为掩膜,对所述有源层进行第二次离子注入,以在所述第一掺杂区形成重掺杂源漏区,且在第二掺杂区形成轻掺杂源漏区。

[0013] 进一步,采用硝酸、磷酸和醋酸混合物作为湿法刻蚀剂进行湿刻;所述坡面与所述栅绝缘层形成的坡角大于等于 10° ,小于等于 50° 。

[0014] 进一步,所述栅金属层的厚度为200nm至500nm,所述重掺杂源漏区的边缘至由所述栅极覆盖的所述有源层的边缘最小距离小于 $1\mu\text{m}$ 。

[0015] 进一步,所述第一次离子注入的加速电压为50KV至80KV,剂量为 10^{14}cm^{-2} 至 10^{15}cm^{-2} 。

[0016] 进一步,所述第二次离子注入的加速电压为加速电压50至80KV,剂量为 10^{13}cm^{-2} 至 $5\times 10^{13}\text{cm}^{-2}$ 。

[0017] 进一步,还包括去除所述图形化光刻胶的步骤。

[0018] 进一步,采用灰化去除所述图形化光刻胶,所述灰化采用氧气和/或六氟化硫气体,处理时间为60s-150s。

[0019] 根据本申请的另一个方面,提供了一种薄膜晶体管可以有效缩短轻掺杂源漏区所需长度,进而可以提高显示面板单位面积中像素数量,提升显示分辨率。

[0020] 一种薄膜晶体管,包括设置于基底上的有源层、栅绝缘层和栅极,所述有源层包括沟道区和重掺杂源漏区,以及位于所述沟道区与重掺杂源漏区之间的轻掺杂源漏区;在所述轻掺杂源漏区中,从靠近所述重掺杂源漏区的部分至靠近所述沟道区的部分的掺杂浓度逐渐降低。

[0021] 本公开另一方面提供了一种显示面板,包括如上所述的薄膜晶体管。

[0022] 本公开还提供了一种显示装置,包括如上所述的显示面板。

[0023] 本公开实施例提供一种薄膜晶体管及其制备方法、显示面板和显示设备,由于制备过程中先采用湿法刻蚀栅极金属层形成包括具有坡面的边缘区域的栅极过渡图案,利用栅极过渡图案进行第一次离子注入掺杂后再通过干法刻蚀去除坡面,然后再执行第二次离子注入掺杂形成重掺杂源漏区和轻掺杂源漏区,避免了现有技术中仅依靠图案化光刻胶进行重掺杂源漏区和轻掺杂源漏区制备,而图案化光刻胶存在曝光偏差导致的沟道两侧轻掺杂源漏区宽度不一致,进而薄膜晶体管的电学特性不良的问题。此外,利用本公开提供的制备方法形成的薄膜晶体管其轻掺杂源漏区存在掺杂浓度的梯度变化,可以有效缩短轻掺杂源漏区所需长度,进而可以提高显示面板单位面积中像素数量,提升显示分辨率。

附图说明

[0024] 图1a和图1b为现有技术中一种薄膜晶体管制备方法的结构示意图;

[0025] 图2为本公开一种薄膜晶体管制备方法的流程示意图;

[0026] 图3a-3f为本公开一种薄膜晶体管制备方法的结构示意图。

具体实施方式

[0027] 为了便于理解本发明,下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的较佳的实施例。但是,本发明可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使对本发明的公开内容的理解更加透彻全面。

[0028] 需要说明的是,当元件被称为“固定于”另一个元件,它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件,它可以是直接连接到另一个元件或者可能同时存在居中元件。本文所使用的术语“垂直的”、“水平的”、“左”、“右”以及类似的表述只是为了说明的目的。

[0029] 除非另有定义,本文所使用的所有的技术和科学术语与属于本发明的技术领域的

技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的,不是旨在于限制本发明。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

[0030] 如背景技术所述,现有技术中制备具有轻掺杂源漏区的薄膜晶体管通常采用如下步骤:如图1a所示,在基底11上形成有源层12的图案之后,利用重掺杂光刻胶图案13遮挡部分有源层完成重掺杂的工艺。之后,如图1b所示,依次形成栅极绝缘层14和栅极15的图案,并利用在形成栅极15的图案时的金属光刻胶图案16的阻挡掩膜,完成轻掺杂工艺,以在沟道区17和重掺杂源漏区18之间形成轻掺杂源漏区19。

[0031] 根据上述现有的薄膜晶体管制备工艺可知,重掺杂源漏区和轻掺杂源漏区分别是在不同的黄光制程之后完成的,由于两次形成图案化光刻胶时不同曝光制程会存在曝光偏差(Overlay)的问题,导致如图1b所示的左侧轻掺杂源漏区和右侧轻掺杂源漏区会出现宽度不等的情况。例如,在曝光偏差小于 $0.6\mu\text{m}$ 时,左侧轻掺杂源漏区和右侧轻掺杂源漏区的宽度之差在 $0.3\mu\text{m}$ 至 $0.6\mu\text{m}$ 。

[0032] 为解决上述问题,本公开一方面提供了一种薄膜晶体管的制备方法,能够较佳地改善上述问题。

[0033] 本公开实施例提供了一种薄膜晶体管的制备方法,如图2所示,包括:

[0034] 在基底上依次形成有源层、栅绝缘层、栅金属层以及图形化光刻胶;

[0035] 以所述图形化光刻胶为掩膜,采用湿法刻蚀对所述栅金属层进行刻蚀,以形成栅极过渡图案,所述栅极过渡图案包括未被所述图案化光刻胶覆盖的具有坡面的边缘区域;其中,所述有源层未被栅极过渡图案覆盖的区域为第一掺杂区,被所述边缘区域覆盖的区域为第二掺杂区;

[0036] 以所述栅极过渡金属图案为掩膜,对所述有源层进行第一次离子注入,以对所述第一掺杂区和所述第二掺杂区进行掺杂;

[0037] 以所述图案化光刻胶为掩膜,采用干法刻蚀对所述栅极过渡图案进行刻蚀,以去除所述边缘区域形成栅极;

[0038] 以所述栅极为掩膜,对所述有源层进行第二次离子注入,以在所述第一掺杂区形成重掺杂源漏区,且在所述第二掺杂区形成轻掺杂源漏区。

[0039] 本公开提供的上述薄膜晶体管的制备方法,仅使用了一次图形化光刻胶的黄光工艺,因此,相比于现有技术中使用两次图形化光刻胶的制备方法,避免了曝光偏差,并且利用湿法刻蚀各向同性的特性,利用栅极过渡图案和干法刻蚀后的栅极作为两次离子注入的掩膜,可以精确的控制有源层的轻掺杂源漏区宽度。

[0040] 以下结合附图3a-3f对本公开提供的薄膜晶体管制备方法进行详细描述。

[0041] 如图3a所示,提供一基底101,该基底可以为玻璃基板、石英基板、柔性基板或其他基板。接着,在基底101上形成一半导体层,该半导体层的材料可以是多晶硅材料或者氧化物半导体材料中的一种或多种。以半导体层的材料为多晶硅材料为例,具体地,可以采用等离子体增强化学气相沉积法先形成非晶硅薄膜,对该非晶硅薄膜采用准分子激光退火工艺使非晶硅转变为多晶硅的半导体材料层,然后,在多晶硅薄膜上形成对应有源层图案的光刻胶图案(未示出)。然后利用光刻胶图案作为掩膜对多晶硅薄膜进行刻蚀,得到有源层102,并剥离光刻胶图案。

[0042] 接着,在有源层102上依次形成栅极绝缘层103和栅金属层104。之后在栅金属层104上形成图形化光刻胶105,该图形化光刻胶105对应栅金属层104中待形成栅极的区域且对应有源层102中待形成沟道区的区域。

[0043] 如图3b所示,利用图形化光刻胶105为掩膜对栅金属层104进行湿法刻蚀,形成栅极过渡金属图案1041;栅极过渡图案1041包括未被图案化光刻胶105覆盖的具有坡面的边缘区域1041a;此时,有源层102未被栅极过渡图案覆盖的区域为第一掺杂区A,对应有源层102中待形成重掺杂源漏区的区域;边缘区域1041a覆盖有源层102的区域为第二掺杂区B,对应有源层102中待形成轻掺杂源漏区的区域。

[0044] 在此过程中,由于采用湿法刻蚀,利用其各向同性特性形成的栅极过渡图案1041其位于待形成的源极一侧的边缘区域1041a和位于待形成的漏极一侧的边缘区域1041a的形貌和大小是相同的,该边缘区域1041a均具有一个坡面。通过控制湿法刻蚀的工艺参数,如刻蚀剂和刻蚀时间,可以控制该坡面与栅绝缘层之间的夹角,即坡角;作为一种可实施方式,当栅金属层104的厚度为200nm至500nm时,可采用硝酸、磷酸和醋酸混合物作为刻蚀剂对栅金属层104进行刻蚀,控制刻蚀时间,以使坡角大于等于 10° ,小于等于 50° 。

[0045] 如图3c所示,以栅极过渡图案1041为掩膜,对有源层进行第一次离子注入,以对第一掺杂区A和第二掺杂区B进行掺杂。需要说明的是,由于栅极过渡图案1041的边缘区域1041a相比于栅极过渡图案1041其他部分厚度减小,因此,在第一次离子注入过程中部分离子会掺杂到第二掺杂区B,而且由于其坡面的构造,即其厚度存在渐进变化,因此,在第一次离子注入后,在第二掺杂区B内会存在掺杂浓度的梯度变化,在第二掺杂区B内,越靠近第一掺杂区A的位置掺杂浓度越高。

[0046] 作为一种可实施方式,当待制备的薄膜晶体管为N型薄膜晶体管时,第一次离子注入的加速电压为50KV至80KV,剂量为 10^{14}cm^{-2} 至 10^{15}cm^{-2} 的重掺杂磷离子。

[0047] 如图3d所示,继续以图案化光刻胶105为掩膜,通过干法刻蚀对栅极过渡图案1041进行干法刻蚀;由于干法刻蚀的各项异性的特性,未被图案化光刻胶105覆盖的具有坡面的边缘区域1041a(图3d未示出,参考图3c)会被去除,形成栅极1042。栅极1042此时不再覆盖有源层102的第二掺杂区B。

[0048] 接着,如图3e所示,以栅极1042为掩膜,对有源层102进行第二次离子注入,以在第一掺杂区A形成重掺杂源漏区106,且在第二掺杂区B形成轻掺杂源漏区107。在此步骤中,作为一种可实施方式,仍以待制备的薄膜晶体管为N型薄膜晶体管为例,第二次离子注入的加速电压为加速电压50至80KV,剂量为 10^{13}cm^{-2} 至 $5\times 10^{13}\text{cm}^{-2}$ 轻掺杂磷离子。

[0049] 在第二次离子注入后,第一掺杂区A在前后两次离子注入过程中均未被遮挡,因此,第一掺杂区A内形成的最终重掺杂源漏区的掺杂浓度是基本均匀的;由于第二次离子注入的掺杂剂量小于第一次离子注入的掺杂剂量,且如前述步骤所述,第一次离子注入时,第二掺杂区B从位置上被边缘区域1041a遮蔽,而由于边缘区域1041a具备坡面构造,其厚度并不足以完全阻挡第一次离子注入,在形成具有浓度梯度的第二掺杂区B后,由于第二次离子注入不再被边缘区域1041a遮蔽,第二掺杂区B内最终形成的轻掺杂源漏区也具备浓度梯度,从整体分布上看,在轻掺杂源漏区107中,从靠近重掺杂源漏区106的部分至靠近沟道区(被栅极1042覆盖的有源层104的部分)的部分的掺杂浓度逐渐降低。作为一种可实施的方式,重掺杂源漏区106的边缘至由栅极覆盖的有源层的边缘最小距离小于 $1\mu\text{m}$,即轻掺杂源

漏区107的宽度小于 $1\mu\text{m}$ 。

[0050] 参照图3f,制备方法还进一步包括去除图形化光刻胶105的步骤,最终形成薄膜晶体管;作为一种可实施方式,可采用灰化去除图形化光刻胶105,例如可采用氧气和/或六氟化硫气体,处理时间为60s-150s。

[0051] 采用如图3a-3f所示的制备流程制作薄膜晶体管时,利用湿法刻蚀形成边缘部分1041a具有坡面构造的栅极过渡图案1041和最终通过干法刻蚀形成的栅极1042作为阻挡掩膜,进行重掺杂和轻掺杂工艺,因此,不需要额外通过黄光工艺再形成图案化的光刻胶,除了可以节省曝光、显影等步骤,从而使得缩短生产时间,降低成本外,还避免了曝光偏差导致的对位误差,可以精确控制掺杂尺寸,保证源极轻掺杂区和漏极轻掺杂区的尺寸一致,以控制漏电流的一致性。

[0052] 在具体实施时,本公开实施例提供的上述薄膜晶体管的制备方法,除了可以制作单独的N型薄膜晶体管以外,还可以用于制作单独的P型薄膜晶体管,以及由N型薄膜晶体管和P型薄膜晶体管构成的互补金属氧化物半导体(CMOS)。其中,构成CMOS的N型薄膜晶体管和P型薄膜晶体管可以同时具有轻掺杂区,构成CMOS的N型薄膜晶体管和P型薄膜晶体管也可以其中择一具有轻掺杂区,在此不做限定。

[0053] 本公开提供了一种薄膜晶体管,包括设置于基底上的有源层、栅绝缘层和栅极,有源层包括沟道区和重掺杂源漏区,以及位于沟道区与重掺杂源漏区之间的轻掺杂源漏区;在轻掺杂源漏区中,从靠近重掺杂源漏区的部分至靠近沟道区的部分的掺杂浓度逐渐降低。

[0054] 具体的,可参见附图3f,薄膜晶体管包括设置于基底101上的有源层102,设置于有源层102之上的栅绝缘层103,以及设置于栅绝缘层103上的栅极1042;有源层102包括沟道区(未标示,对应于栅极1042正投影覆盖的有源层102部分)和重掺杂源漏区106,以及位于沟道区与重掺杂源漏区106之间的轻掺杂源漏区107,其中,轻掺杂源漏区107在其宽度方向上存在掺杂浓度的梯度变化,从靠近重掺杂源漏区的部分至靠近沟道区的部分的掺杂浓度逐渐降低。

[0055] 在本公开实施例提供的上述薄膜晶体管中,薄膜晶体管的沟道区两侧的轻掺杂源漏区107宽度应尽量设置为相同,以保证薄膜晶体管在源、漏极两端的漏电流在充放电时保持一致。

[0056] 在具体实施时,在本发明实施例提供的上述阵列基板中,轻掺杂源漏区107的宽度为 $[0.5\mu\text{m}, 3\mu\text{m}]$,包括端点值。由于采用本公开实施例提供的上述薄膜晶体管的制备方法中可以避免对位误差,因此,可以将轻掺杂源漏区107宽度的临界值从考虑工艺偏差的 $0.7\mu\text{m}-0.8\mu\text{m}$ 降低为 $0.5\mu\text{m}$,即宽度在临界值之上才能有降低漏电流的效果,这样可以提高像素密度,并且轻掺杂源漏区107在宽度存在掺杂浓度的梯度变化,也可以降低漏电流。

[0057] 本公开另一方面提供了一种显示面板,包括如上所述的薄膜晶体管。

[0058] 本公开另一方面还提供了一种显示设备,包括上述显示面板。

[0059] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0060] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不

不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明专利的保护范围应以所附权利要求为准。

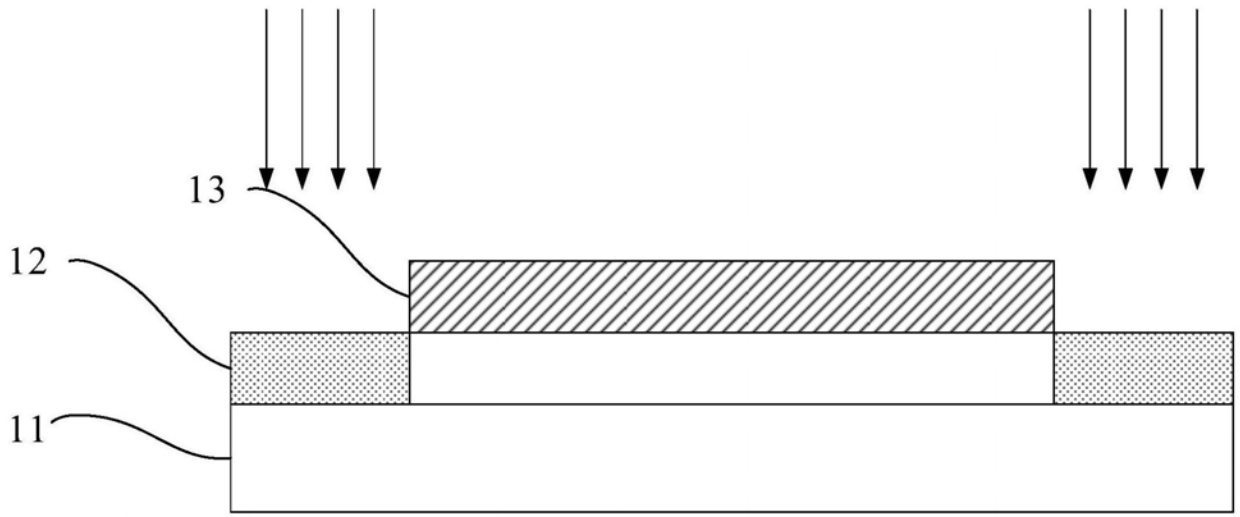


图1a

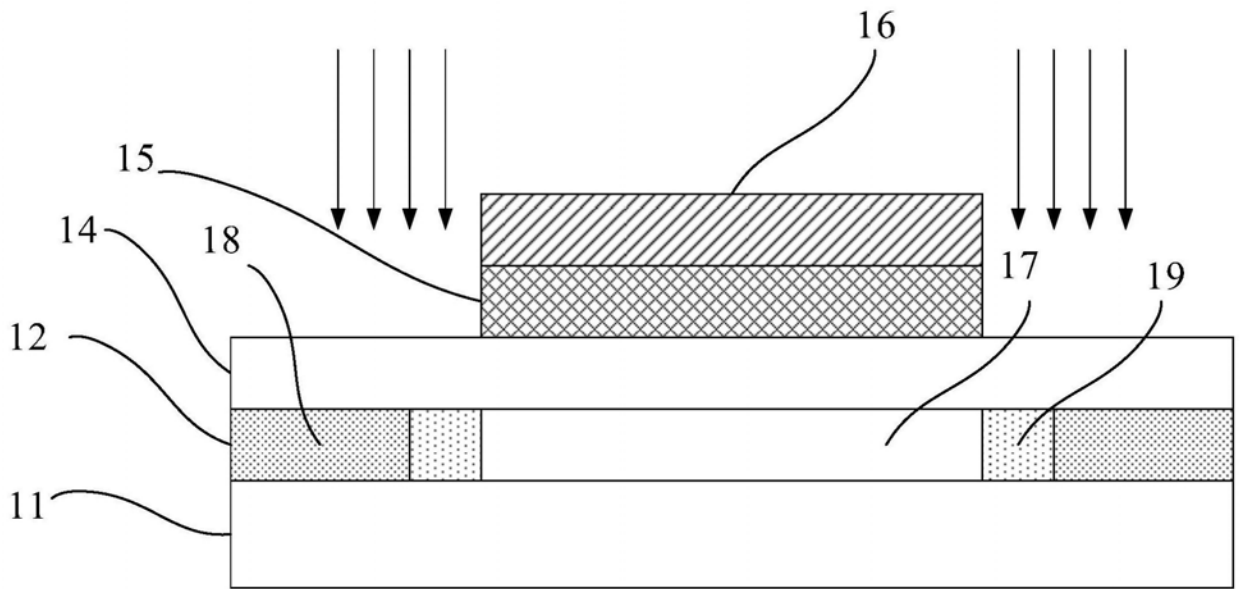


图1b

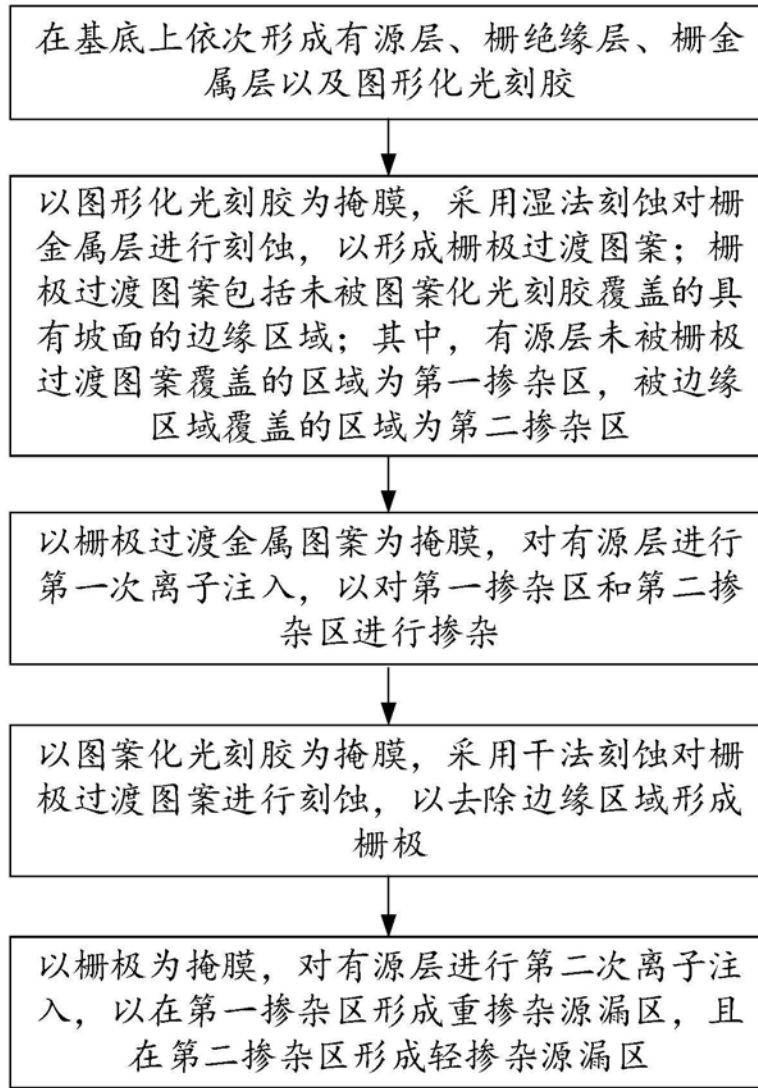


图2

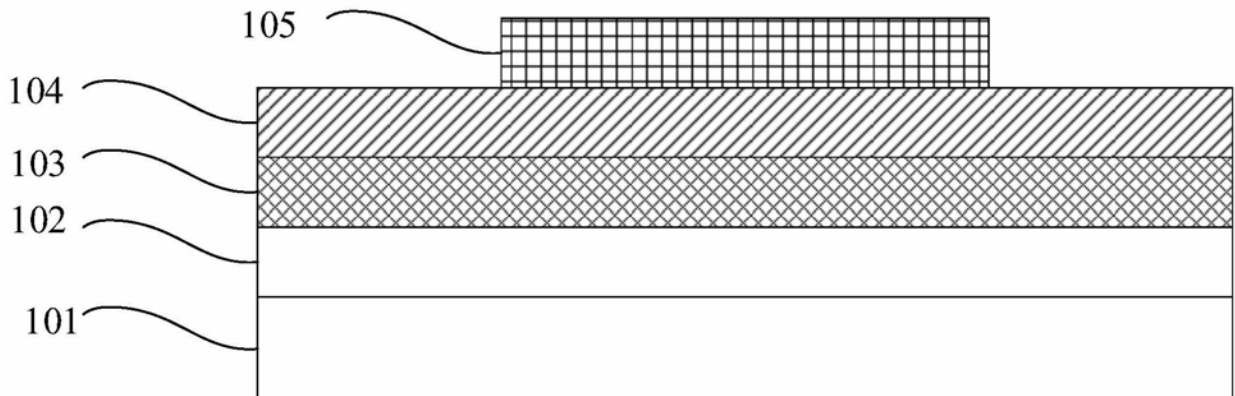


图3a

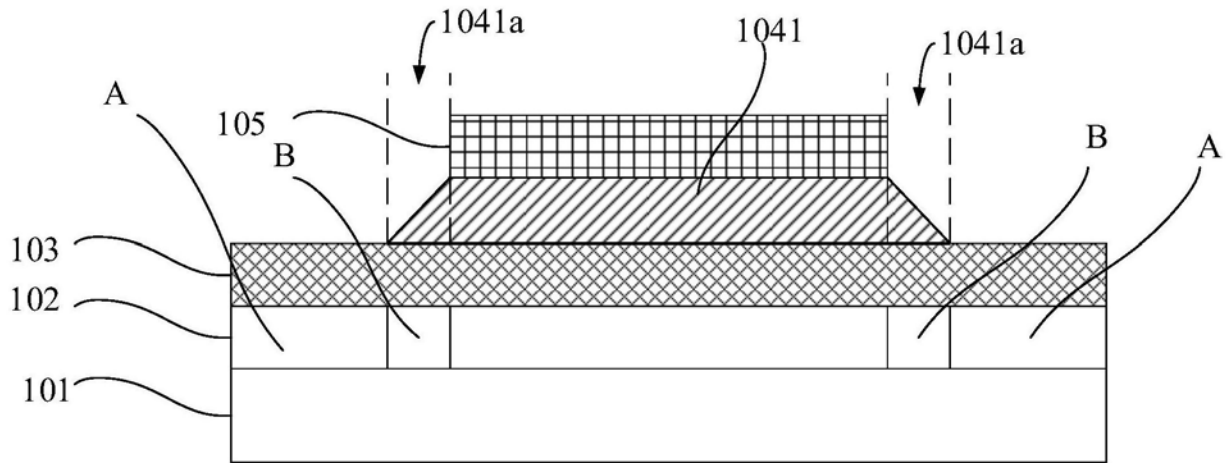


图3b

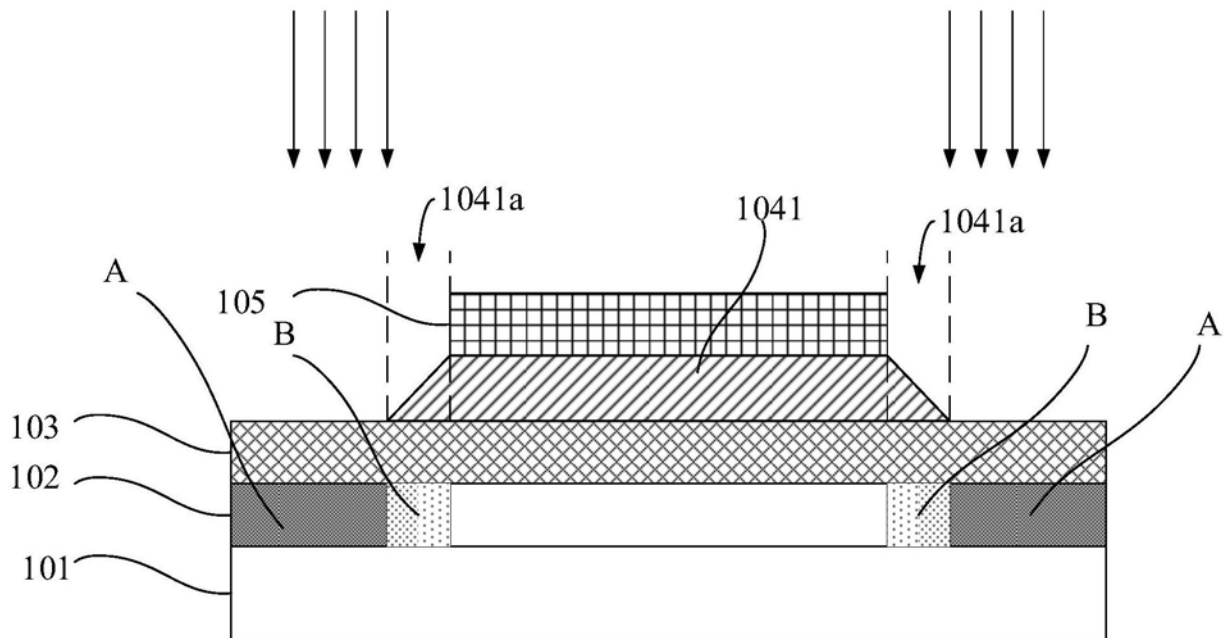


图3c

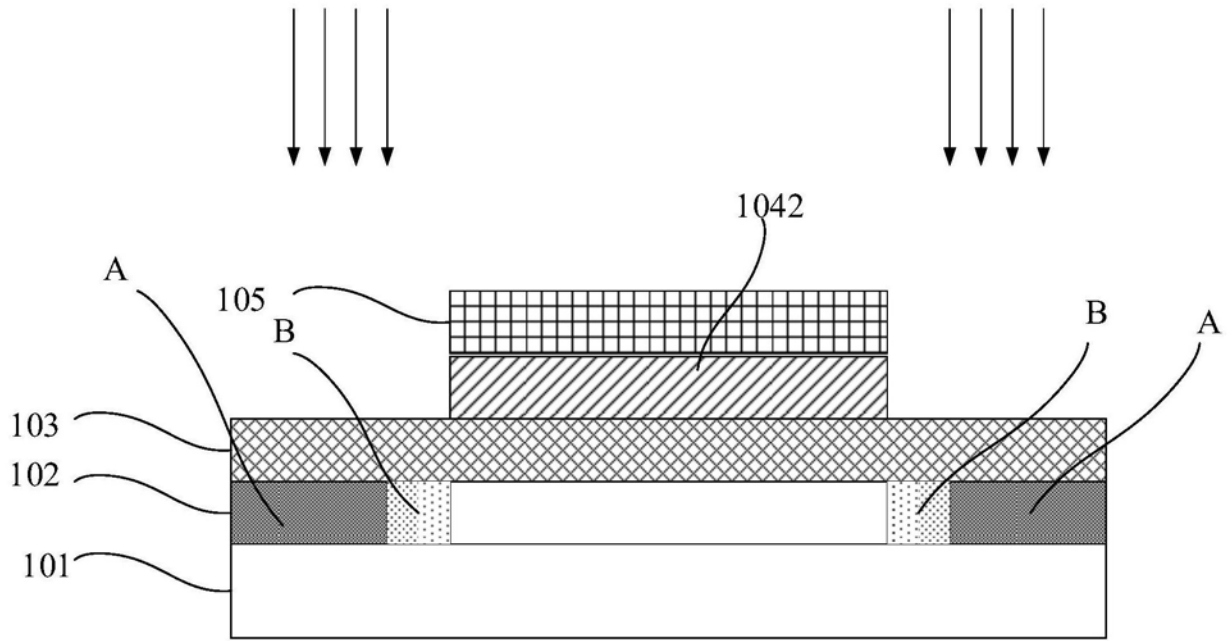


图3d

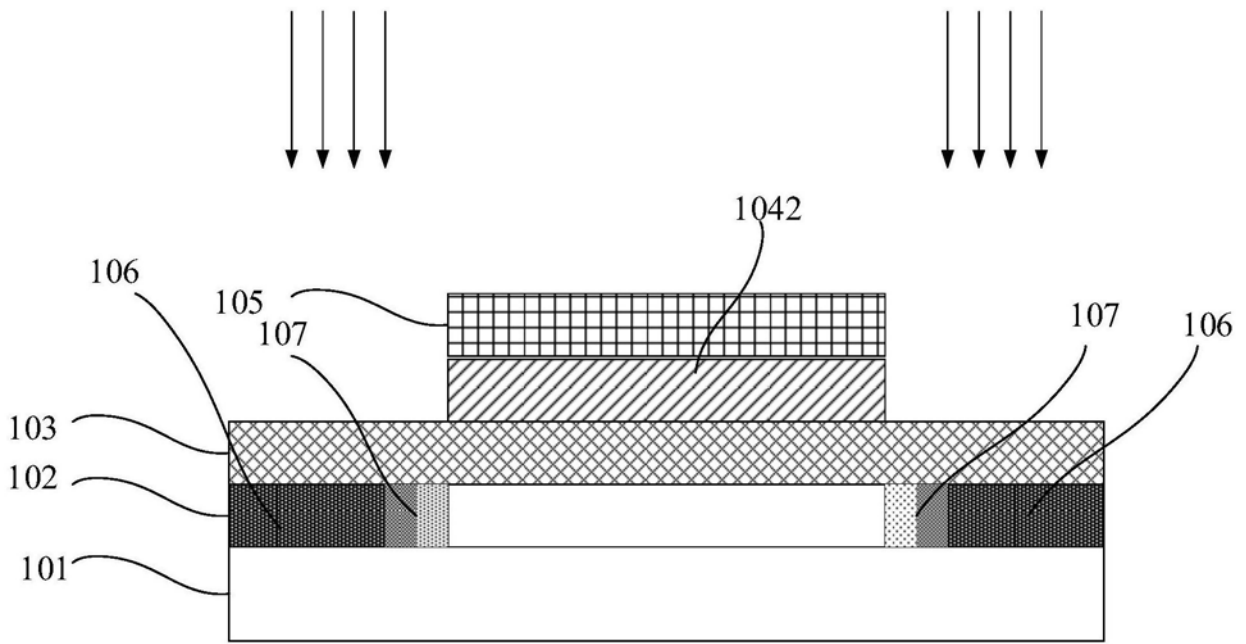


图3e

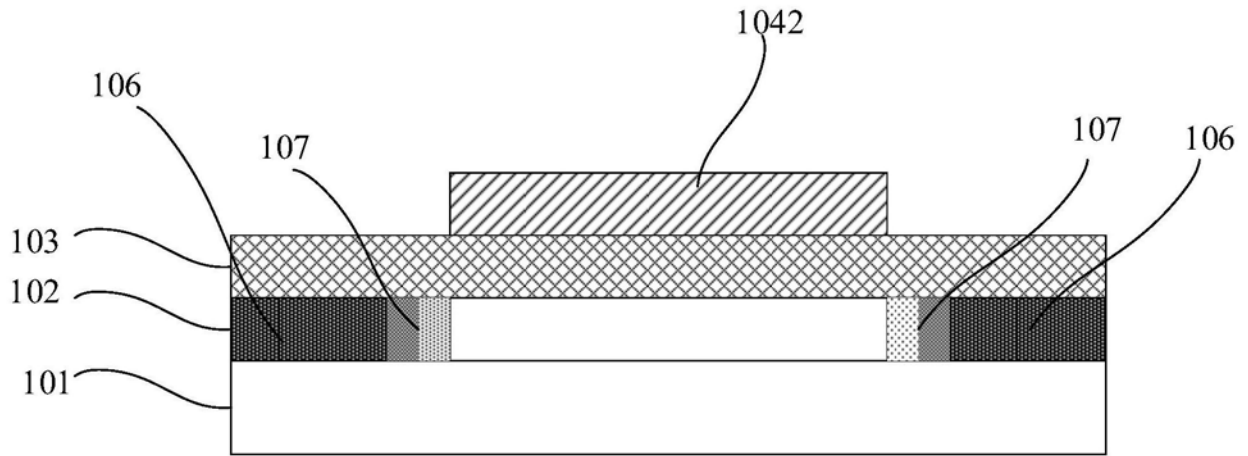


图3f