



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I848655 B

(45)公告日：中華民國 113 (2024) 年 07 月 11 日

(21)申請案號：112113230

(22)申請日：中華民國 112 (2023) 年 04 月 10 日

(51)Int. Cl. : H01L23/31 (2006.01)

H01L23/538 (2006.01)

H01L23/488 (2006.01)

H01L21/56 (2006.01)

H01L21/60 (2006.01)

(71)申請人：力成科技股份有限公司 (中華民國) POWERTECH TECHNOLOGY INC. (TW)

新竹縣湖口鄉新竹工業區大同路十號

(72)發明人：張簡上煜 CHANG CHIEN, SHANG-YU (TW)；林南君 LIN, NAN-CHUN (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW 202107643A

TW 202121597A

US 2020/0411580A1

審查人員：修宇鋒

申請專利範圍項數：19 項 圖式數：13 共 44 頁

(54)名稱

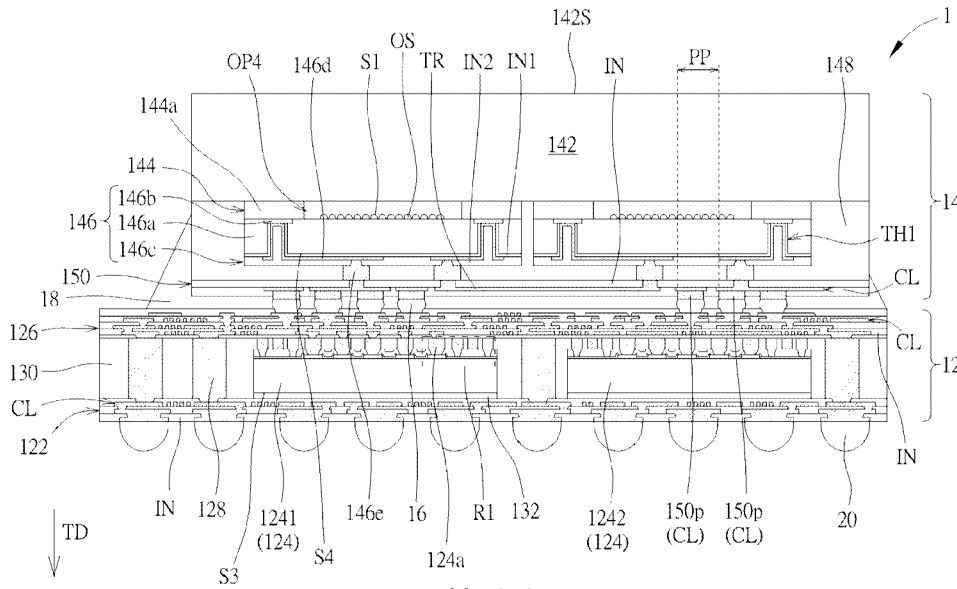
封裝結構及其製作方法

(57)摘要

本發明提供一種封裝結構，其包括一第一封裝體以及至少一第二封裝體。第一封裝體包括一第一重佈線層、至少一晶片以及一第二重佈線層。第二封裝體設置於第一封裝體上，並包括一基板、一黏著層、至少兩個光學晶片、一封膠層以及一第三重佈線層。光學晶片透過黏著層黏貼於基板靠近第一封裝體的表面上，且各光學晶片具有靠近基板的一光學面。封膠層設置於基板靠近第一封裝體的表面上，並圍繞光學晶片。第三重佈線層設置於封膠層與第二重佈線層之間，其中第二重佈線層透過第三重佈線層電性連接於光學晶片。

A package structure is provided and includes a first package and at least a second package. The first package includes a first redistribution layer, at least one chip, and a second redistribution layer. The second package is disposed on the first package and includes a substrate, an adhesive layer, at least two optical chips, an encapsulant layer, and a third redistribution layer. The optical chips are attached to a surface of the substrate close to the first package through the adhesive layer, and each optical chip has an optical surface close to the substrate. The encapsulant layer is disposed on the surface of the substrate close to the first package and surrounds the optical chips. The third redistribution layer is disposed between the encapsulant layer and the second redistribution layer, in which the second redistribution layer is electrically connected to the optical chips through the third redistribution layer.

指定代表圖：



第1圖

符號簡單說明：

- 1: 封裝結構
- 12: 第一封裝體
- 122: 第一重佈線層
- 124: 晶片
- 1241: 主動晶片
- 1242: 虛設晶片
- 124a, 146e: 導電凸塊
- 150p: 接墊
- 126: 第二重佈線層
- 128: 導電柱
- 130, 148: 封膠層
- 14: 第二封裝體
- 142: 基板
- 142S: 上表面
- 144, 132: 黏著層
- 144a: 區塊
- 146: 光學晶片
- 146a: 晶片主體
- 146b: 導電墊
- 146c: 第四重佈線層
- 146d: 導線
- 150: 第三重佈線層
- 16, 20: 導電端子
- 18: 底部填充層
- CL: 導電層
- IN, IN1, IN2: 絕緣層
- OP4: 開口
- OS: 光學結構
- PP: 節距
- R1: 區域
- S1: 光學面
- S3, S4: 背面
- TD: 俯視方向
- TH1: 穿孔
- TR: 走線



I848655

## 【發明摘要】

【中文發明名稱】封裝結構及其製作方法

【英文發明名稱】PACKAGE STRUCTURE AND MANUFACTURING METHOD

THEREOF

## 【中文】

本發明提供一種封裝結構，其包括一第一封裝體以及至少一第二封裝體。第一封裝體包括一第一重佈線層、至少一晶片以及一第二重佈線層。第二封裝體設置於第一封裝體上，並包括一基板、一黏著層、至少兩個光學晶片、一封膠層以及一第三重佈線層。光學晶片透過黏著層黏貼於基板靠近第一封裝體的表面上，且各光學晶片具有靠近基板的一光學面。封膠層設置於基板靠近第一封裝體的表面上，並圍繞光學晶片。第三重佈線層設置於封膠層與第二重佈線層之間，其中第二重佈線層透過第三重佈線層電性連接於光學晶片。

## 【英文】

A package structure is provided and includes a first package and at least a second package. The first package includes a first redistribution layer, at least one chip, and a second redistribution layer. The second package is disposed on the first package and includes a substrate, an adhesive layer, at least two optical chips, an encapsulant layer, and a third redistribution layer. The optical chips are attached to a surface of the substrate close to the first package through the adhesive layer, and each optical chip has an optical surface close to the substrate. The encapsulant layer is disposed on the surface of the substrate close to the first package and surrounds the optical chips. The third redistribution layer is disposed between the encapsulant layer and the second redistribution layer, in

第 1 頁，共 3 頁(發明摘要)

which the second redistribution layer is electrically connected to the optical chips through the third redistribution layer.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

1:封裝結構

12:第一封裝體

122:第一重佈線層

124:晶片

1241:主動晶片

1242:虛設晶片

124a,146e:導電凸塊

150p:接墊

126:第二重佈線層

128:導電柱

130,148:封膠層

14:第二封裝體

142:基板

142S:上表面

144,132:黏著層

144a:區塊

146:光學晶片

146a:晶片主體

146b:導電墊

146c:第四重佈線層

146d:導線

150:第三重佈線層

16,20:導電端子

18:底部填充層

CL:導電層

IN,IN1,IN2:絕緣層

OP4:開口

OS:光學結構

PP:節距

R1:區域

S1:光學面

S3,S4:背面

TD:俯視方向

TH1:穿孔

TR:走線

**【特徵化學式】**

無

## 【發明說明書】

【中文發明名稱】封裝結構及其製作方法

【英文發明名稱】PACKAGE STRUCTURE AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明有關一種封裝結構及其製作方法，特別是有關一種具有至少兩個光學晶片的封裝結構及其製作方法。

【先前技術】

【0002】 隨著晶片封裝技術的進步，封裝結構已朝向小型化與高密集化發展。在傳統的封裝結構中，為了縮小封裝結構的面積，已發展出三維的堆疊封裝技術。然而，在堆疊多顆晶片的封裝過程中，重佈線層之間與重佈線層與封膠層之間的應力容易導致封裝結構產生翹曲(warpage)的問題，以致於不易控制晶片的平整度，從而限制了封裝結構的應用領域。

【發明內容】

【0003】 根據本發明的一實施例，提供一種封裝結構，其包括一第一封裝體以及至少一第二封裝體。第一封裝體包括一第一重佈線層、至少一晶片以及一第二重佈線層。晶片設置於第一重佈線層上，且第二重佈線層設置於晶片上，其中第二重佈線層電連接於第一重佈線層。第二封裝體設置於第一封裝體上，並包括一基板、一黏著層、至少兩個光學晶片、一封膠層以及一第三重佈線層。黏著層設置於基板靠近第一封裝體的一表面上。光學晶片透過黏著層黏貼於基

第 1 頁，共 24 頁(發明說明書)

板靠近第一封裝體的表面上，其中各光學晶片具有靠近基板的一光學面。封膠層設置於基板靠近第一封裝體的表面上，並圍繞光學晶片。第三重佈線層設置於封膠層與第二重佈線層之間，其中第二重佈線層透過第三重佈線層電性連接於光學晶片。

【0004】 根據本發明的另一實施例，提供一種封裝結構的製作方法，其包括形成至少一第一封裝體、形成至少一第二封裝體以及將第二封裝體接合於第一封裝體上。第一封裝體包括一第一重佈線層、至少一晶片以及一第二重佈線層。晶片設置於第一重佈線層上，且第二重佈線層設置於晶片上，其中第二重佈線層電連接於第一重佈線層。形成第二封裝體的步驟包括提供一基板、透過一黏著層於基板上黏貼至少兩個光學晶片、於該基板上形成一封膠層以及於封膠層與光學晶片上形成一第三重佈線層。各光學晶片具有靠近基板的一光學面，且封膠層圍繞光學晶片。第三重佈線層電性連接第二重佈線層。

#### 【圖式簡單說明】

#### 【0005】

第1圖繪示本發明第一實施例的封裝結構的剖視示意圖。

第2圖繪示第1圖於晶片的區域R1的放大示意圖。

第3圖繪示本發明一實施例的導電凸塊與圖樣凸塊的俯視示意圖。

第4圖繪示本發明一些實施例的導電凸塊與圖樣凸塊的俯視示意圖。

第5圖繪示本發明第一實施例的封裝結構的製作方法流程圖。

第6圖至第11圖繪示本發明一實施例在製作方法的不同步驟中的結構剖視示意圖。

第12圖繪示本發明第二實施例的封裝結構的剖視示意圖。

第13圖繪示本發明第三實施例的封裝結構的剖視示意圖。

**【實施方式】**

**【0006】** 下文結合具體實施例和附圖對本揭露的內容進行詳細描述，且為了使本揭露的內容更加清楚和易懂，下文各附圖為可能為簡化的示意圖，且其中的元件可能並非按比例繪製。並且，附圖中的各元件的數量與尺寸僅為示意，並非用於限制本揭露的範圍。

**【0007】** 以下實施例中所提到的方向用語，例如：上、下、左、右、前或後等，僅是參考附加圖式的方向。因此，使用的方向用語是用來說明並非用來限制本發明。必需了解的是，為特別描述或圖示之元件可以此技術人士所熟知之各種形式存在。

**【0008】** 當元件或膜層被稱為在另一元件或另一膜層上或之上時，應被瞭解為所述的元件或膜層是直接位於另一元件或另一膜層上，也可以是兩者之間存在有其他的元件或膜層(非直接)。但相反地，當元件或膜層被稱為「直接」在另一個元件或膜層「上」時，則應被瞭解兩者之間不存在有插入的元件或膜層。

**【0009】** 於文中提及一元件「電性連接」另一元件時，可包括「元件與另一元件之間可更存在其它元件而將兩者電性連接」的情況，或是包括「元件與另一元件之間未存有其它元件而直接電性連接」的情況。若於文中提及一元件「直接電性連接」另一元件時，則指「元件與另一元件之間未存有其它元件而直接電性連接」的情況。



【0010】 須知悉的是，以下所舉實施例可以在不脫離本發明的精神下，將多個不同實施例中的技術特徵進行替換、重組、混合以完成其他實施例。

【0011】 請參考第1圖，其繪示本發明第一實施例的封裝結構的剖視示意圖。如第1圖所示，封裝結構1可包括第一封裝體12以及至少一第二封裝體14，且第二封裝體14設置於第一封裝體12上。

【0012】 第一封裝體12包括第一重佈線層122、至少一晶片124以及第二重佈線層126。晶片124設置於第一重佈線層122上，且第二重佈線層126設置於晶片124上，其中第二重佈線層126電連接於第一重佈線層122。

【0013】 第二封裝體14可包括基板142、黏著層144、至少兩個光學晶片146、封膠層148以及第三重佈線層150。黏著層144設置於基板142靠近第一封裝體12的表面上，且光學晶片146透過黏著層144黏貼於基板142靠近第一封裝體12的表面上，其中各光學晶片146具有靠近基板142的光學面S1。封膠層148設置於基板142靠近第一封裝體12的表面上，並圍繞光學晶片146。第三重佈線層150設置於封膠層148與第二重佈線層126之間，且第二重佈線層126透過第三重佈線層150電性連接於光學晶片146。

【0014】 需說明的是，由於光學晶片146可透過黏著層144固定於基板142，使得光學晶片146可受到基板142的支撐，因此可有助於在製作過程中控制或提升光學晶片146的光學面S1的共面性(co-planarity)。此外，透過封膠層148圍繞光學晶片146，可進一步在製作過程中穩固光學晶片146的位置，以提升光學面S1的共面性。

【0015】 下文將進一步詳述本實施例的封裝結構1。如第1圖所示，第二封裝體14可接合並電性連接於第一封裝體12，但不以此為限。舉例來說，封裝結構1還可包括多個導電端子16，設置於第一封裝體12與第二封裝體14之間，用以將第二封裝體14接合並電性連接至第一封裝體12。第二封裝體14可透過第一封裝體12進一步接合與電性連接至其他元件，例如電路板、封裝基板或其他合適的元件。導電端子16可例如包括焊料或其他合適的材料。在一些實施例中，封裝結構1可包括多個第二封裝體14，設置於同一個第一封裝體12上，但不限於此。

【0016】 在封裝結構1中，第一重佈線層122、第二重佈線層126與第三重佈線層150中的每一個可包括至少一層導電層CL以及至少一層絕緣層IN，例如可分別包括多層導電層CL及多層絕緣層IN，但並不以此為限。導電層CL與絕緣層IN可依序交替堆疊以形成重佈線層，從而達到線路重佈的效果。在一些實施例中，第一重佈線層122、第二重佈線層126與第三重佈線層150中的導電層CL的數量與線路佈局以及絕緣層IN的數量可依據實際需求作調整。

【0017】 在第1圖的實施例中，第一封裝體12還可包括多個導電柱128以及封膠層130，設置於第一重佈線層122與第二重佈線層126之間。導電柱128可用於將第一重佈線層122電性連接至第二重佈線層126，使得與第二重佈線層電性連接的晶片124可透過導電柱128進一步電性連接至第一重佈線層122。在一些實施例中，導電柱128可例如包括單層或多層結構。導電柱128可例如包括銅、鎳、錫(tin)、銀(silver)、其他合適的材料、上述至少兩者的合金或上述的組合，但不限於此。封膠層130設置於導電柱128之間並圍繞晶片124，用以保護晶片124。封膠層130可例如包括感光封膠材料、模塑化合物(molding compound)或其他合

適的封膠材料，但不限於此。感光封膠材料可包括矽氧烷聚合物(例如信越化學(Shin-Etsu Chemical)的SINR)，或其他合適的有機材料。模塑化合物可例如包括環氧樹脂(epoxy)或其他合適的材料。在一些實施例中，封膠層130可例如為乾膜(dry film)類型的感光封膠材料，並透過貼合製程(lamination process)形成。

【0018】 在本實施例中，第一封裝體12中的晶片124的數量可例如為多個，但不以此為限。在此情況下，晶片124的其中至少一個可包括主動元件，而晶片124的其中至少另一個可包括主動元件、被動元件或虛設晶片，但不以此為限。主動元件可例如包括電晶體、二極體、積體電路或其他具有增益的合適元件，但不限於此。包含有主動元件的晶片124可例如為控制器(controller)晶片、電源管理晶片(power management integrated circuit, PMIC)、微機電系統(micro-electro-mechanical-system, MEMS)晶片、特殊應用積體電路晶片(application-specific integrated circuit, ASIC)或其他類似的主動晶片，但不限於此。被動元件可用於提升電性效能(electrical performance)，例如可包括電容、電阻、電感、整合式被動元件(integrated passive device, IPD)、整合式穩壓器(integrated voltage regulator, IVR)或其他合適的元件。虛設晶片可例如為不具有功能或無法運作的半導體晶片或矽晶粒，但不限於此。舉例來說，在第1圖中，晶片124可包括主動晶片1241以及虛設晶片1242，其中主動晶片1241與第二重佈線層126電性連接，但虛設晶片1242與第二重佈線層126電性絕緣，但不限於此。需說明的是，虛設晶片1242的設置可提升封裝結構1中的半導體結構均勻性，以降低封膠層130的不均勻性，從而有助於降低封裝結構1的翹曲程度及/或控制或減小第一封裝體12在製作過程中的翹曲程度。在一些實施例中，第一封裝體12中晶片124的數量可依據實際需求作調整。在本文中，晶片也可以稱為晶粒，但不限於此。

【0019】 請參考第2圖，其繪示第1圖於晶片124的區域R1的放大示意圖。如第1圖與第2圖所示，晶片124可包括靠近第二重佈線層126的主動面S2，且晶片124透過第二重佈線層126與第三重佈線層150電連接於第一封裝體14。舉例來說，晶片124可另包括晶片主體124m、多個接墊124p以及絕緣層124n，其中晶片主體124m可具有主動面S2，接墊124p可設置於晶片主體124m的主動面S2上，絕緣層124n可設置於晶片主體124m的主動面S2與接墊124p上，且絕緣層124n具有多個開口OP1，曝露出對應的接墊124p。在本實施例中，晶片124可包括多個導電凸塊124a，分別形成在對應的接墊124p上，但不限於此。導電凸塊124a可例如包括銅、錫、鎳、金、鉛或其他適合的導電材料，但不以此為限。在此情況下，晶片124還可包括背面S3，背面S3相反於主動面S2，且第一封裝體12可另包括黏著層132，用以將晶片124的背面S3貼附於第一重佈線層122上。黏著層132可例如包括晶片黏著膜(die attach film, DAF)、雙面膠或其他合適的材料，但不以此為限。透過將晶片124的主動面S2朝上(face-up)並面向第二重佈線層126，可縮短晶片124與光學晶片146之間的訊號傳遞距離，以提升封裝結構1的運作效率。在第2圖中，晶片124還可選擇性包括保護層124b，設置於絕緣層124n與導電凸塊124a之間，用以在製作過程中保護較脆的絕緣層124n。保護層124b可具有多個開口OP2，分別對應絕緣層124n的開口OP1，以曝露出對應的接墊124p。保護層124b可包括聚醯亞胺(polyimide, PI)、聚對伸苯基並二噁唑(polybenzoxazole, PBO)或其他合適的材料。

【0020】 在一些實施例中，隨著封膠層130的材料選擇，例如封膠層130包括感光封膠材料時，晶片124可選擇性不包括導電凸塊124a，使得第二重佈線層126最靠近晶片124的導電層CL可直接與接墊124p電性連接。

【0021】 在一些實施例中，晶片124還可選擇性包括至少一個圖樣凸塊124c，設置於絕緣層124n上。請參考第3圖，其繪示本發明一實施例的導電凸塊與圖樣凸塊的俯視示意圖。如第2圖與第3圖所示，圖樣凸塊124c可例如包括彼此隔開的外中空金屬柱P1以及內實心金屬柱P2，其中外中空金屬柱P1具有穿孔TH2，且內實心金屬柱P2設置於穿孔TH2中。並且，保護層124b可具有開口OP3，曝露出絕緣層124n，且外中空金屬柱P1可設置於開口OP3中。內實心金屬柱P2設置於保護層124b上，使得外中空金屬柱P1的下表面與內實心金屬柱P2的下表面可位於不同的平面，而外中空金屬柱P1的上表面與內實心金屬柱P2的上表面可位於相同的平面。

【0022】 請參考第4圖，其繪示本發明一些實施例的導電凸塊與圖樣凸塊的俯視示意圖。如第2圖與第4圖所示，在一些實施例中，內實心金屬柱P2可設置於保護層124b的開口OP3中，而外中空金屬柱P1設置於保護層124b上，但不限於此。

【0023】 請繼續參考第1圖。在第二封裝體14中，基板142可為硬質基板，以用於支撐光學晶片，並有助於控制或降低封裝結構1的翹曲程度，從而具有優異的製程良率。在本實施例中，基板142可包括透明基板，使得基板142可對可見光具有高穿透度，以允許光學晶片146透過基板142射出或接收可見光線。基板142可例如玻璃或其他合適的基板材料。在一些實施例中，基板142也可對不可見光或其他波段的電磁波具有高穿透度，在此情況下，基板142也可選擇性包括不透明基板，但不限於此。在本文中，封裝結構1的俯視方向TD可例如為相反於基板142遠離光學晶片146的表面142S的法線方向，但不限於此。

【0024】 黏著層144可用於將光學晶片146黏貼於基板142上。在本實施例中，黏著層144可例如包括彼此隔開的多個區塊144a，用以分別貼合於對應的光學晶片146，使得每個區塊144a可在封裝結構1的俯視方向TD上環繞對應的光學晶片146的光學面S1。透過此設計，黏著層144的每個區塊144a可避免封膠層148設置於光學面S1與基板142之間，從而避免光學晶片146的運作受到封膠層148的影響。

【0025】 在第1圖中，每個區塊144a可具有開口OP4，在封裝結構1的俯視方向TD上曝露出光學晶片146的光學面S1，且開口OP4可大於光學晶片146的光學面S1，使得黏著層144可不影響光學晶片146的運作。在此情況下，黏著層144可包括透光或不透光的黏著材料。需說明的是，黏著層144的厚度可大於光學晶片146的光學面S1與基板142之間的距離，使得光學晶片146的光學面S1可與基板142分隔開，以避免光學面S1受到損傷。在一些實施例中，黏著層144可包括透光性佳的黏著材料，例如光學膠。在此情況下，區塊144a可不具有開口OP4，而可設置於對應的光學晶片146的光學面S1與基板142之間。

【0026】 光學晶片146的光學面S1可例如定義為光學晶片146用於接收光線或射出光線的表面。舉例來說，在第1圖中，光學晶片146可包括光學結構OS，且光學結構OS的上表面可為光學面S1，但不以此為限。光學結構OS可例如包括透鏡或其他合適的結構。由於基板142具有堅固的特性，因此黏貼於基板142上的光學晶片146的光學面S1可實質上位於同一平面上。

【0027】 光學晶片146可例如包括影像感測器或發光元件。在本實施例中，光學晶片146以包括發光元件為例。在此情況下，第二封裝體14可包括至少三個或

多個發光元件，但不以此為限。第二封裝體14中光學晶片146的數量可依據實際需求作調整。光學晶片146可例如包括光源晶片(light source IC)、發光晶片或其他合適的發光元件，並可分別產生不同顏色的光線，即光學晶片146的光學面S1可分別發出不同顏色的光。在一些實施例中，第二封裝體14可包括三個光學晶片146，例如分別為紅色發光元件、綠色發光元件及藍色發光元件，使得封裝結構1能夠產生白光，並應用於顯示裝置中，但不以此為限。透過光學面S1的共平面，可有助於提升顯示影像的品質或影像的解析度。

【0028】 如第1圖所示，在本實施例中，每個光學晶片146可包括晶片主體146a、至少一導電墊146b以及第四重佈線層146c。導電墊146b可形成於晶片主體146a中，且靠近黏著層144a。晶片主體146a可例如包括半導體元件或晶片。晶片主體146a可具有至少一穿孔TH1，曝露出導電墊146b。並且，第四重佈線層146c可設置於晶片主體146a遠離光學面的背面S4上並透過穿孔TH1電性連接導電墊146b。透過穿孔TH1的設計，可有助於降低第二封裝體14從俯視方向TD觀看的尺寸。

【0029】 在第1圖的實施例中，第四重佈線層146c可包括至少一導線146d以及至少一導電凸塊146e，其中導線146d可設置於晶片主體146a的背面S4上，且導電凸塊146e可設置於導線146d靠近第一封裝體12的表面上。另外，第四重佈線層146c可包括絕緣層IN1以及絕緣層IN2，其中絕緣層IN1可設置於晶片主體146a的背面S4上並位於導線146d與晶片主體146a之間，用以將導線146d與晶片主體146a中的元件電性絕緣。絕緣層IN1可延伸到穿孔TH1並具有開口，曝露出導電墊146b，使得導線146d可透過絕緣層IN1的開口與導電墊146b電性連接。絕緣層IN2可設置於絕緣層IN1與導線146d靠近第一封裝體12的表面上，並具有開口，

曝露出導線146d的一部分，使得導電凸塊146e可設置於絕緣層IN2的開口所曝露出的導線146d上，並與導線146d電性連接。需說明的是，本實施例的導線146d可共形地(conformally)設置於絕緣層IN1上與穿孔TH1中，且由於導線146d可直接接觸導電墊146b，因此導線146d的共形形狀可降低對導電墊146b的應力。在一些實施例中，第四重佈線層146c的結構不以上述為限，也可包括交替堆疊的多層導電層(如上述的導電層CL)與多層絕緣層(如上述的絕緣層IN)。

【0030】 如第1圖所示，封膠層148由於圍繞光學晶片146而可將光學晶片146更穩固地固定在基板142上，進而可減少光學晶片146在製作過程中的產生位置偏移。此外，部分封膠層148可進一步設置於第三重佈線層150與光學晶片146的第四重佈線層146c之間，用以保護第四重佈線層146c中的線路。封膠層148的材料可例如相同或類似上述的封膠層130，因此可參照封膠層130的描述，在此不多贅述。

【0031】 如第1圖所示，第三重佈線層150設置於封膠層148靠近第一封裝體12的表面上，並與導電凸塊146e電性連接。導電端子16可設置於第三重佈線層150與第一封裝體12的第二重佈線層126之間，並可將第三重佈線層150接合並電性連接至第二重佈線層126。在第1圖的實施例中，至少兩個光學晶片146可透過第三重佈線層150彼此電性連接，舉例來說，第三重佈線層150可包括走線TR，電性連接兩個光學晶片146的導電凸塊146e，但不限於此。在一些實施例中，光學晶片146也可透過第三重佈線層150與第二重佈線層126中彼此絕緣的線路各自電性連接至晶片124，但不限於此。

【0032】 需說明的是，在傳統的第一封裝體中，由於靠近主動面的第二重佈



線層需電性連接晶片，而比遠離主動面的第一重佈線層具有較多的導電層層數，因此容易因層數不同導致晶片上下兩側的應力不同，從而產生翹曲的問題。然而，在本實施例的第一封裝體12中，由於第二重佈線層126可透過第三重佈線層150電性連接光學晶片146，因此可經由將第二重佈線層126中的一部分導電層CL轉移到第三重佈線層150中來降低第二重佈線層126中的導電層CL的層數。在此情況下，封膠層130的上側與下側的應力可較為平衡，因此可減少第一封裝體12的翹曲，從而提升第二封裝體14設置於第一封裝體12的平整度，即可有助於控制或提升光學晶片146的光學面S1的共面性。舉例來說，第二重佈線層126的導電層層數可大於或等於第一重佈線層122的導電層層數或與第一重佈線層122的導電層層數相近，但不限於此。

【0033】 在第1圖中，第三重佈線層150可包括多個接墊150p，用於與導電端子16電性連接，其中接墊150p可由第三重佈線層150最靠近第二重佈線層126的導電層CL所形成。在本實施例中，封裝結構1可選擇性還包括一底部填充(underfill)層18，設置於第一封裝體12與第二封裝體14之間且環繞導電端子16，用以提升第一封裝體12與第二封裝體14之間的接合度。在本實施例中，底部填充層18還可環繞第二封裝體14，但不限於此。底部填充層18可例如包括毛細底部填充膠(capillary underfill, CUF)、非導電膜或其他合適的材料，但不以此為限。需說明的是，當接墊150p之間的節距(pitch)PP太小，例如小於或等於200微米時，接墊150p的寬度會越小，因此用於接合第一封裝體12與第二封裝體14的導電端子16也會變小，以致於無法提供足夠的接合力。因此，透過底部填充層18的設置，可彌補導電端子16接合度不足的情況，從而可提升封裝結構1的可靠度(reliability)。此處的節距PP可例如為單一接墊150p的寬度與兩相鄰接墊150p之間間距的總和。在一些實施例中，當接墊150p之間的節距(pitch)PP足夠大，例如

第 12 頁，共 24 頁(發明說明書)

大於或等於350微米時，導電端子16可具有較大的尺寸，而可提供足夠的接合度，在此情況下，封裝結構1可選擇性不包括底部填充層18。

【0034】 如第1圖所示，封裝結構1還可選擇性包括多個導電端子20，設置於第一重佈線層122遠離第二重佈線層126的一側上，用於與其他元件接合與電性連接。導電端子20可例如包括焊料或其他合適的材料。

【0035】 需說明的是，在上述的封裝結構1中，光學晶片146可在維持光學面S1的共面性的情況下與晶片124整合在同一結構中，因此光學晶片146可透過晶片124的控制與驅動達到預期的光學效果，例如提升顯示影像的品質，從而可提升封裝結構1的應用領域。

【0036】 下文將進一步說明本實施例的封裝結構的製作方法。請參考第5圖至第11圖，其中第5圖繪示本發明第一實施例的封裝結構的製作方法流程圖，且第6圖至第11圖繪示本發明一實施例在製作方法的不同步驟中的結構剖視示意圖。如第5圖所示，本實施例所提供的製作方法可例如包括步驟S12至步驟S16。首先，在步驟S12中，形成第二封裝體14，且在步驟S14中，形成第一封裝體12。接著，進行步驟S16，將第二封裝體14接合於第一封裝體12上。需說明的是，步驟S12與步驟S14彼此互不干擾，因此步驟S12可在步驟S14之前或之後進行或與步驟S14同時進行。第5圖所示的步驟S12至步驟S16將搭配第1圖與第6至11圖詳述於下文中。在一些實施例中，步驟S12至步驟S16之前、之後或其中任兩個步驟之間或在進行其中任一個步驟的同時也可進行其他步驟。

【0037】 形成第二封裝體14的步驟S12可包括以下步驟。如第6圖所示，先提

第 13 頁，共 24 頁(發明說明書)

供基板142，然後透過黏著層144於基板142上黏貼光學晶片146。在本實施例中，在提供基板142與黏貼光學晶片146的步驟之間，可先於基板142上形成黏著層144，以及圖案化黏著層144，以形成多個區塊144a，使得每個區塊144a可在法線方向D1上環繞對應的光學晶片146的光學面S1。圖案化黏著層144的步驟可例如包括曝光與顯影製程、印刷或其他圖案化製程。黏著層144可例如包括晶片黏著膜或其他能夠被圖案化的黏著材料。

【0038】 在黏貼光學晶片146的步驟中，光學晶片146可以光學面S1面向基板142的方式設置於基板142上，且沿著垂直於基板142遠離黏著層144的表面142S的法線方向D1觀看，光學晶片146的光學面S1可被區塊144a環繞，以降低黏著層144對光學晶片146的影響。需說明的是，由於黏著層144可具有均勻的厚度，且黏著層144具有一定厚度，使得光學面S1與基板142分隔開。在此情況下，光學晶片146的導電凸塊146e位於晶片主體146a遠離光學面S1的背面S4上。

【0039】 如第7圖所示，在黏貼完光學晶片146之後，於基板142上形成封膠層148，其中封膠層148圍繞光學晶片146的光學面S1。形成封膠層148可包括模塑製程以及研磨製程(grinding process)。在形成封膠層148的過程中，封膠層148的高度可先高於導電凸塊146e的高度，然後例如透過進行研磨製程減薄封膠層148，以曝露出導電凸塊146e的上表面。需說明的是，由於光學晶片146的導電凸塊146e突出於第四重佈線層146c最遠離光學面S1的絕緣層IN2的上表面，因此導電凸塊146e可作為研磨製程的停止層，使得研磨製程可控制在移除部分導電凸塊146e或曝露出導電凸塊146e之後停止，從而可避免對絕緣層IN2與其下方的導線146d產生破壞。此外，黏著層144的厚度主要在於降低或避免光學晶片146的光學面S1因接觸到基板142而受到損傷，以及避免封膠層148溢流到光學面S1

上，以免光學晶片146的運作受到影響。

【0040】 在形成封膠層148之後，可於封膠層148與光學晶片146上形成第三重佈線層150，從而形成半成品結構14a。形成第三重佈線層150的方式可例如交替形成絕緣層IN與導電層CL。第三重佈線層150可與導電凸塊146e電性耦接。在一些實施例中，第三重佈線層150中最上層的導電層CL可包括接墊150p，其可突出於最上層的絕緣層IN的上表面上，以有助於與下述的第一封裝體的接合，從而提升接合可靠度。

【0041】 如第8圖所示，對半成品結構14a進行單體化(singulation)製程，以形成多個第二封裝體14。單體化製程可例如包括切割製程或其他合適的製程。在本實施例中，在進行單體化製程之前，可例如透過鋼板植球(stencil ball mounting)、電鍍(electroplating)或其他合適的方式先於第三重佈線層150遠離光學晶片146的一側上形成導電端子16，但不限於此。在一些實施例中，形成導電端子16的步驟也可於單體化製程之後進行。

【0042】 另外，形成第一封裝體12的步驟S14可包括以下步驟。如第9圖所示，可先提供載板201。然後，可於載板201上形成第一重佈線層122，其中形成第一重佈線層122的方式可例如交替形成導電層CL與絕緣層IN。在本實施例中，載板201上可具有離型層(release layer)202，且第一重佈線層122形成於離型層202上，但不以此為限。

【0043】 在形成第一重佈線層122之後，可於第一重佈線層122上形成導電柱128並設置晶片124。在本實施例中，設置晶片124的步驟可包括透過黏著層132

將晶片 124 的背面 S3 貼附於第一重佈線層 122 上。需說明的是，在將晶片 124 設置於第一重佈線層 122 上之前，晶片 124 的接墊 124p 上可選擇性形成有導電凸塊 124a，以在後續製程中降低對接墊 124p 的破壞。

【0044】 如第 10 圖所示，在設置晶片 124 之後，可於第一重佈線層 122 上形成封膠層 130，其中封膠層 130 環繞晶片 124 與導電柱 128。在本實施例中，在形成封膠層 130 的過程中，封膠層 130 的高度可先高於晶片 124 與導電柱 128 的高度，然後例如透過研磨製程減薄封膠層 130，以曝露出晶片 124 的導電凸塊 124a 的上表面與導電柱 128 的上表面。

【0045】 在一些實施例中，由於晶片 124 的晶片主體 124m 上還可設置有圖樣凸塊 124c (其具體結構如第 2 圖到第 4 圖所示)，因此在減薄封膠層 130 的過程中，可透過檢測圖樣凸塊的俯視圖樣，來判斷導電凸塊 124a 是否全部外露且齊平，或判斷封膠層 130 的研磨深度是否過深，而損壞晶片 124 的接墊 124p。

【0046】 接著，在形成封膠層 130 之後，可於封膠層 130 上形成第二重佈線層 126，從而可形成包括一或多個第一封裝體 12 的半成品結構 12a。第二重佈線層 126 可電性連接於晶片 124 與導電柱 128。形成第二重佈線層 126 的方式可例如交替形成絕緣層 IN 與導電層 CL。在一些實施例中，所形成的第一重佈線層 122 與第二重佈線層 126 可具有相近或相同的導電層 CL 及/或絕緣層 IN 的層數，以降低半成品結構 12a 的翹曲，但不限於此。

【0047】 如第 11 圖所示，在一實施例中，在形成第二重佈線層 126 之後，可先移除半成品結構 12a 下的載板 201 與離型層 202，並曝露出第一重佈線層 122 距離

晶片 124 最遠的導電層 CL。然後，可將半成品結構 12a 整體上下翻轉，並於第一重佈線層 122 距離晶片 124 最遠的導電層 CL 上形成導電端子 20。形成導電端子 20 的方式可例如包括鋼板植球(stencil ball mounting)、電鍍(electroplating)或其他合適的製程。接著，可再將半成品結構 12a 上下翻轉，然後進行步驟 S16，將至少一個第二封裝體 14 接合於第一封裝體 12 上。在本實施例中，可將多個第二封裝體 14 接合於包括多個第一封裝體 12 的半成品結構 12a 的第二重佈線層 126 上，以形成半成品結構 1a。在第 11 圖中，可將多個第二封裝體 14 接合於同一半成品結構 12a 上，但不限於此。另外，在步驟 S16 中，第二封裝體 14 的第三重佈線層 150 可透過導電端子 16 接合於半成品結構 1a 的第二重佈線層 126，以提升第二封裝體 14 與第一封裝體 12 之間的接合度。在一些實施例中，在步驟 S16 之後，可選擇性於第二封裝體 14 與半成品結構 12a 之間形成底部填充層 18。需說明的是，由於第二封裝體 14 包括基板 142，因此透過基板 142 的支撐，可有助於在將第二封裝體 14 接合於第一封裝體 12 上時降低第二封裝體 14 的翹曲程度，以提高第二封裝體 14 接合到第一封裝體 12 的良率。

【0048】 本發明移除載板 201 與離型層 202 的步驟、形成導電端子 20 的步驟與將第二封裝體 14 接合於第一封裝體 12 的步驟 S16 的順序可不以上述為限。在一些實施例中，在移除載板 201 與離型層 202 之後，可先進行步驟 S16，將第二封裝體 14 接合於半成品結構 12a 的第二重佈線層 126 上，然後再將與第二封裝體 14 接合的半成品結構 12a 上下翻轉，並於第一重佈線層 122 距離晶片 124 最遠的導電層 CL 上形成導電端子 20，以形成半成品結構 1a。

【0049】 在一些實施例中，在形成第二重佈線層 126 之後，可先進行步驟 S16，將第二封裝體 14 接合於半成品結構 12a 的第二重佈線層 126 上，然後再移除載板

201與離型層202。接著，將與第二封裝體14接合的半成品結構12a上下翻轉，並於第一重佈線層122距離晶片124最遠的導電層CL上形成導電端子20，以形成半成品結構1a。

【0050】 如第1圖所示，在形成半成品結構1a之後，可選擇性進行單體化製程，以沿著切割線(例如第11圖所示的切割線L)將多個第一封裝體12分隔開，從而形成包括至少一個第二封裝體14的至少一個封裝結構1。單體化製程可依據封裝結構1所需的第二封裝體14的數量來決定第一封裝體12的大小。在一些實施例中，封裝結構1中的第二封裝體14的數量可不限如第1圖所示，而可為多個，在此情況下，可對應切割第一封裝體12的大小。單體化製程可例如包括輪刀切割(blade sawing)、雷射切割(laser cutting)或其他合適的方式。在第11圖的實施例中，由於半成品結構1a可包括至少兩個第一封裝體12，因此單體化製程可將不同的第一封裝體12分隔開，以形成至少兩個封裝結構1，但不限於此。在一些實施例中，當半成品結構12a可作為單一封裝結構1的第一封裝體12時，可不需進行單體化製程，但不限於此。

【0051】 在上述的封裝結構1的製作方法中，由於光學晶片146可黏貼於基板142上，並透過封膠層148的固定，因此可有助於在形成第二封裝體14的步驟中控制光學晶片146的光學面S1的共面性。並且，透過基板142的堅硬特性，可有助於控制將第二封裝體14設置於第一封裝體12上的堆疊良率。另外，透過第二重佈線層126與第三重佈線層150的導電層CL的層數調整，可有助於平衡封膠層130的上側與下側的應力，從而減少第一封裝體12的翹曲。

【0052】 本發明的封裝結構與製作方法並不以上述實施例為限，且可具有其

第 18 頁，共 24 頁(發明說明書)

他實施例。為簡化說明，下文中其他實施例將使用與上述實施例相同標號標註相同元件。為容易比較上述實施例與其他實施例之間的差異，下文將突顯實施例之間的差異，且不再對重覆部分作贅述。

【0053】 請參考第12圖，其繪示本發明第二實施例的封裝結構的剖視示意圖。如第12圖所示，本實施例的封裝結構2與第1圖的封裝結構1的差異在於，導電端子20可包括具有一定支撐性的複合焊球，使得導電端子20在接合之後能維持一致的厚度。透過複合焊球，第一封裝體12與所接合的元件之間可具有均勻的間距，如此可助於增加封裝結構1的平整度，從而提升不同光學晶片146的光學面S1的共面性。舉例來說，導電端子20可例如包括核心20a以及金屬層20b，且金屬層20b可包覆核心20a。核心20a的材料可例如包括聚合物(polymer)、銅或其他合適的材料。例如，核心20a可為聚合物核心或銅核心。聚合物核心可例如包括塑膠微粒或其他合適的材料。由於核心20a具有支撐性且在高溫的迴焊(reflow)製程中不會熔融，因此能夠使導電端子20維持一致的厚度。並且，核心20a可在封裝結構2遭遇衝擊時提供緩衝，因此可提升封裝結構2的衝擊試驗(drop test)的通過率。金屬層20b可例如包括銅、鎳或其他適合的導電材料。此外，導電端子20還可包括覆蓋層20c，環繞金屬層20b，且金屬層20b設置在核心20a與覆蓋層20c之間。覆蓋層20c可包括焊料，用以接合並電性連接第一封裝體12與所接合的元件。焊料可例如包括錫、銀、錫銀合金或其他合適的材料。本實施例的封裝結構2中的其他部分可相同於上述的封裝結構1，可參照上文，因此在此不多贅述。

【0054】 需說明的是，由於導電端子20包括核心20a，因此在將封裝結構2接合於其他元件上時，可進一步進行熱壓(thermal compression)製程與固化(curing)



製程，使得封裝結構2與所述其他元件之間間距可被固定在接近核心20a的厚度，從而提升接合到其他元件之後的光學面S1的共面性。並且，由於核心20a具有彈性，因此可減緩因熱膨脹係數的不匹配所產生的應力，從而提升封裝結構2的可靠度。本實施例的封裝結構2的製作方法中的其他步驟可相同於上述的封裝結構1的製作方法，因此可參照上文，在此不多贅述。

【0055】 請參考第13圖，其繪示本發明第三實施例的封裝結構的剖視示意圖。如第13圖所示，本實施例的封裝結構3與第12圖的封裝結構2的差異在於，導電端子16可包括具有一定支撐性的複合焊球，使得第一封裝體12與第二封裝體14之間可具有較均勻的間距，如此可助於增加封裝結構3的平整度，從而提升不同光學晶片146的光學面S1的共面性。導電端子16可相同或類似第1圖的導電端子20，而可包括核心16a、金屬層16b與覆蓋層16c，其中金屬層16b包覆核心16a，且覆蓋層16c環繞金屬層16b。並且，導電端子16可具有與導電端子20相同或類似的功效，因此可參照上文，在此不贅述。導電端子16的尺寸可隨著對應的重佈線層的接墊的大小來決定。導電端子16的尺寸可相同或不同於導電端子20的尺寸。本實施例的導電端子20可與第12圖的導電端子20相同，因此可參照上文，在此不多贅述。在一些實施例中，當導電端子16包括複合焊球時，導電端子20可不同於第12圖的導電端子20，而由焊球(solder ball)所形成，如第1圖所示的導電端子20，但不限於此。並且，本實施例的封裝結構3中的其他部分可相同於上述的封裝結構1，因此可參照上文，在此不多贅述。

【0056】 在本實施例的封裝結構3的製作方法中，將第二封裝體14接合於第一封裝體12(或第11圖所示的半成品結構12a)的步驟可包括先將第二封裝體14設置於第一封裝體12上，然後進行熱壓製程與固化製程，將第二封裝體14朝向第一

封裝體12壓合並固定。由於導電端子16包括核心16a，因此在熱壓製程之後，第二封裝體14與第一封裝體12之間間距可被固定在接近核心16a的厚度，從而提升光學面S1的共面性。

【0057】 在一些實施例中，當半成品結構1a(如第11圖所示)包括多個第二封裝體14時，可先將所述多個第二封裝體14設置於第一封裝體12上，然後再同時進行熱壓製程與固化製程。或者，可在將每個第二封裝體14設置於第一封裝體12上之後進行熱壓製程與固化製程，以分次接合多個第二封裝體14，但不限於此。本實施例的封裝結構3的製作方法中的其他步驟可相同於上述的封裝結構1的製作方法，因此可參照上文，在此不多贅述。

【0058】 綜上所述，在本發明的封裝結構的製作方法中，由於光學晶片可黏貼於基板上，並透過封膠層的固定，因此可有助於在形成第二封裝體的步驟中控制光學晶片的光學面的共面性。並且，透過基板的堅硬特性，可有助於控制將第二封裝體設置於第一封裝體上的堆疊良率。另外，透過第二重佈線層與第三重佈線層的導電層的層數調整，可有助於平衡封膠層的上側與下側的應力，從而減少第一封裝體的翹曲，因此可有助於控制或提升封裝結構中的光學晶片的光學面的共面性。再者，透過於第一封裝體與第二封裝體之間以及設置包含有核心的導電端子可進一步提升光學面的共面性。如此一來，光學晶片可在維持光學面的共面性的情況下與晶片整合在同一封裝結構中，因此光學晶片可在晶片的控制與驅動下達到預期的光學效果，從而可提升封裝結構1的應用領域與其應用產品的品質。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等

變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0059】

1,2,3:封裝結構

12:第一封裝體

122:第一重佈線層

124:晶片

1241:主動晶片

1242:虛設晶片

124a,146e:導電凸塊

124b:保護層

124c:圖樣凸塊

124m,146a:晶片主體

124p,150p:接墊

126:第二重佈線層

128:導電柱

12a,14a,1a:半成品結構

130,148:封膠層

14:第二封裝體

142:基板

142S:上表面

144,132:黏著層

144a:區塊

146:光學晶片

146b:導電墊

146c:第四重佈線層

146d:導線

150:第三重佈線層

16,20:導電端子

16a,20a:核心

16b,20b:金屬層

16c,20c:覆蓋層

18:底部填充層

201:載板

202:離型層

CL:導電層

D1:法線方向

IN,124n,IN1,IN2:絕緣層

OP1,OP2,OP3,OP4:開口

OS:光學結構

P1:外中空金屬柱

P2:內實心金屬柱

PP:節距

R1:區域

S1:光學面

S12,S14,S16:步驟

S2:主動面

S3,S4:背面

TD:俯視方向

TH1,TH2:穿孔

TR:走線

## 【發明申請專利範圍】

【請求項1】 一種封裝結構，包括：

一第一封裝體，包括：

一第一重佈線層；

至少一晶片，設置於該第一重佈線層上；以及

一第二重佈線層，設置於該晶片上，其中該第二重佈線層電連接於該第

一重佈線層，且該晶片包括一主動面，靠近該第二重佈線層；以及

至少一第二封裝體，設置於該第一封裝體上，並包括：

一基板；

一黏著層，設置於該基板靠近該第一封裝體的一表面上；

至少兩個光學晶片，透過該黏著層黏貼於該基板靠近該第一封裝體的該

表面上，其中各該光學晶片具有靠近該基板的一光學面；

一封膠層，設置於該基板靠近該第一封裝體的該表面上，並圍繞該等光

學晶片；以及

一第三重佈線層，設置於該封膠層與該第二重佈線層之間，其中該第二

重佈線層透過該第三重佈線層電性連接於該等光學晶片，且該晶片

透過該第二重佈線層與該第三重佈線層電連接於該等光學晶片。

【請求項2】 如請求項1所述的封裝結構，其中該等光學晶片的其中一個包括一

晶片主體、至少一導電墊以及一第四重佈線層，該晶片主體具有至少一穿

孔，曝露出該導電墊，且該第四重佈線層設置於該晶片主體遠離該光學面的

一背面上並透過該穿孔電性連接該導電墊。

【請求項3】 如請求項2所述的封裝結構，其中該第四重佈線層包括至少一導線

以及至少一導電凸塊，該導線延伸到該穿孔中，且該導電凸塊設置於該導線靠近該第一封裝體的表面上。

【請求項4】 如請求項3所述的封裝結構，其中該第三重佈線層透過該導電凸塊電性連接該導線。

【請求項5】 如請求項1所述的封裝結構，其中該等光學晶片透過該第三重佈線層彼此電性連接。

【請求項6】 如請求項1所述的封裝結構，其中該封膠層設置於該第三重佈線層與該等光學晶片之間。

【請求項7】 如請求項1所述的封裝結構，其中該第二重佈線層的導電層層數大於或等於該第一重佈線層的導電層層數。

【請求項8】 如請求項1所述的封裝結構，更包括多個第一導電端子，設置於該第一重佈線層遠離該第二重佈線層的一側上，各該第一導電端子包括一核心以及一金屬層，且該金屬層包覆該核心。

【請求項9】 如請求項1所述的封裝結構，更包括多個第二導電端子，用以將該第二封裝體接合並電性連接於該第一封裝體。

【請求項10】 如請求項1所述的封裝結構，其中該黏著層可包括多個區塊，且該等區塊的其中一個在該封裝結構的一俯視方向上環繞該等光學晶片的其

中一個的該光學面。

【請求項11】 如請求項1所述的封裝結構，其中各該光學晶片的該光學面與該基板分隔開。

【請求項12】 如請求項1所述的封裝結構，還包括一底部填充層，設置於該第一封裝體與該第二封裝體之間。

【請求項13】 如請求項1所述的封裝結構，其中該基板包括透明基板。

【請求項14】 一種封裝結構的製作方法，包括：

形成至少一第一封裝體，其中該第一封裝體包括：

一第一重佈線層；

至少一晶片，設置於該第一重佈線層上；以及

一第二重佈線層，設置於該晶片上，其中該第二重佈線層電連接於該第一重佈線層，且該晶片包括一主動面，靠近該第二重佈線層；

形成至少一第二封裝體，包括：

提供一基板；

透過一黏著層於該基板上黏貼至少兩個光學晶片，其中各該光學晶片具有靠近該基板的一光學面；

於該基板上形成一封膠層，其中該封膠層圍繞該等光學晶片；以及

於該封膠層與該等光學晶片上形成一第三重佈線層；以及

將該第二封裝體接合於該第一封裝體上，其中該第三重佈線層電性連接該第二重佈線層，且該晶片透過該第二重佈線層與該第三重佈線層電連



接於該等光學晶片。

【請求項15】 如請求項14所述的封裝結構的製作方法，其中在提供該基板與黏貼該等光學晶片之間，該製作方法包括於該基板上形成該黏著層，以及圖案化該黏著層，以形成多個區塊，且該等區塊的其中一個環繞該等光學晶片的其中一個的該光學面。

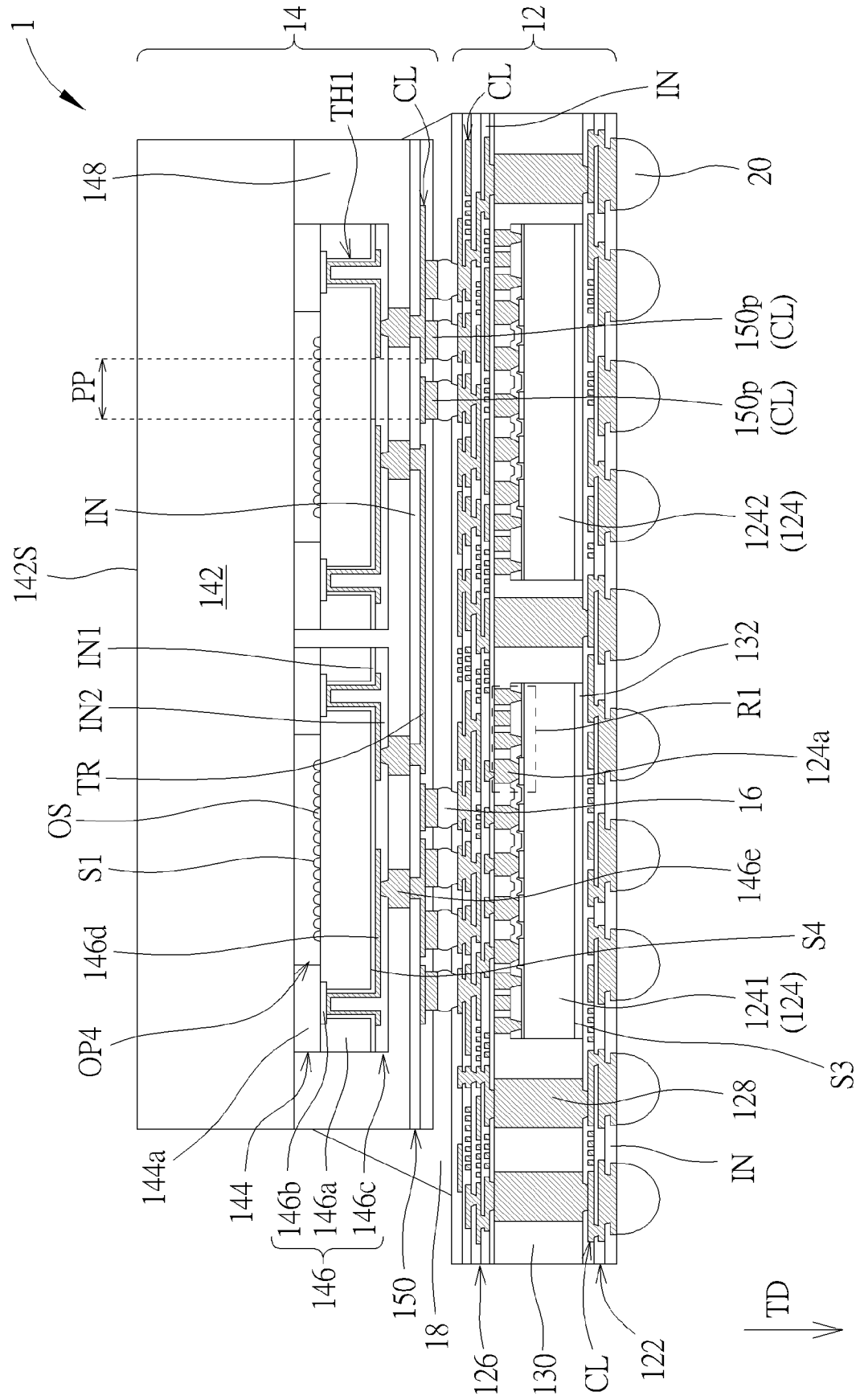
【請求項16】 如請求項14所述的封裝結構的製作方法，其中該等光學晶片的其中一個包括一晶片主體以及至少一導電凸塊，且該導電凸塊設置於該晶片主體遠離該光學面的一背面上。

【請求項17】 如請求項16所述的封裝結構的製作方法，其中形成該封膠層包括進行一研磨製程，以曝露出該導電凸塊。

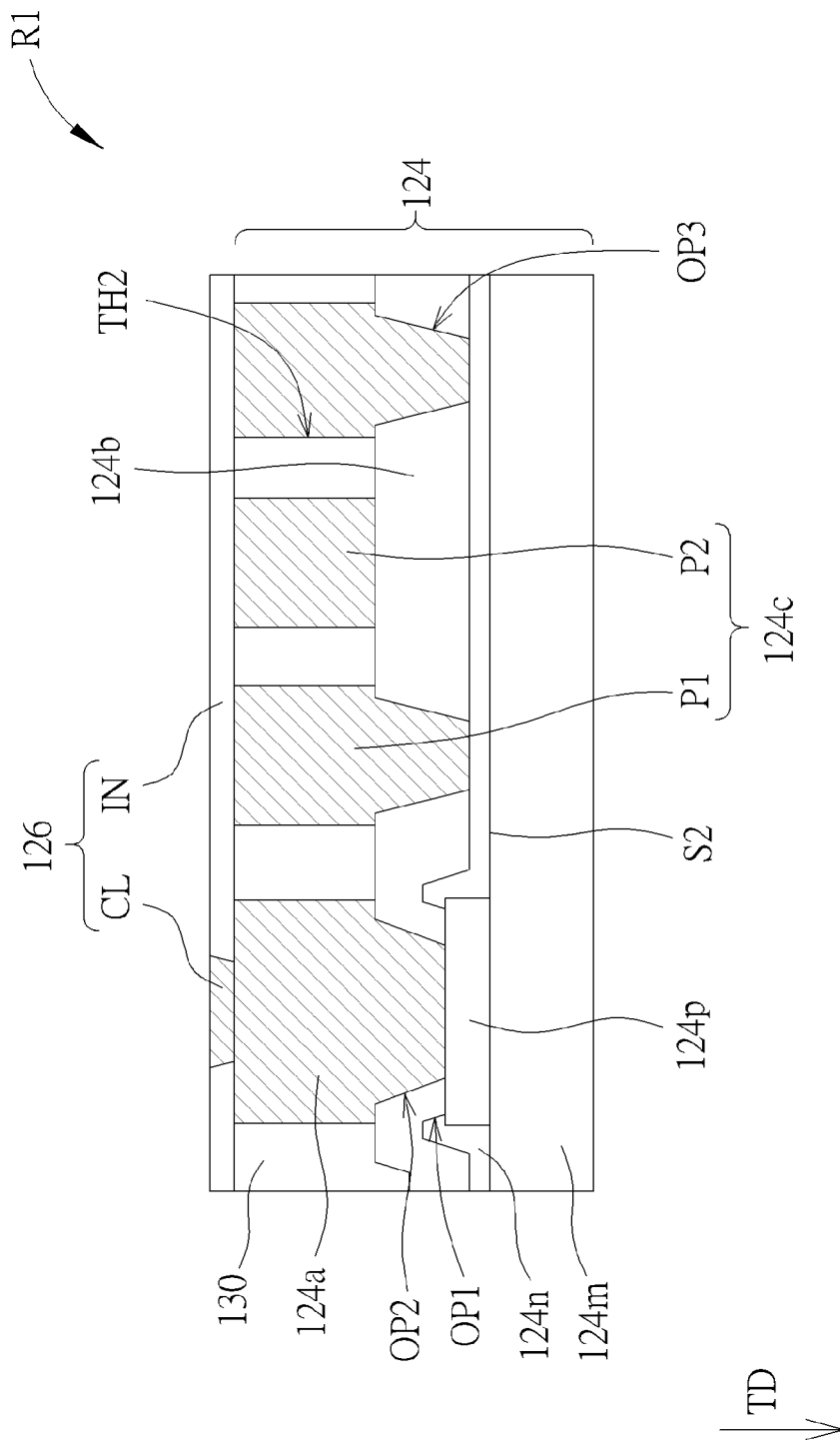
【請求項18】 如請求項14所述的封裝結構的製作方法，另包括於該第一重佈線層遠離該第二重佈線層的一側上形成多個第一導電端子，其中各該第一導電端子包括一核心以及一金屬層，且該金屬層包覆該核心。

【請求項19】 如請求項14所述的封裝結構的製作方法，另包括於該第三重佈線層遠離該等光學晶片的一側上形成多個第二導電端子，其中該第二封裝體的該第三重佈線層透過該等第二導電端子接合於該第一封裝體的該第二重佈線層。

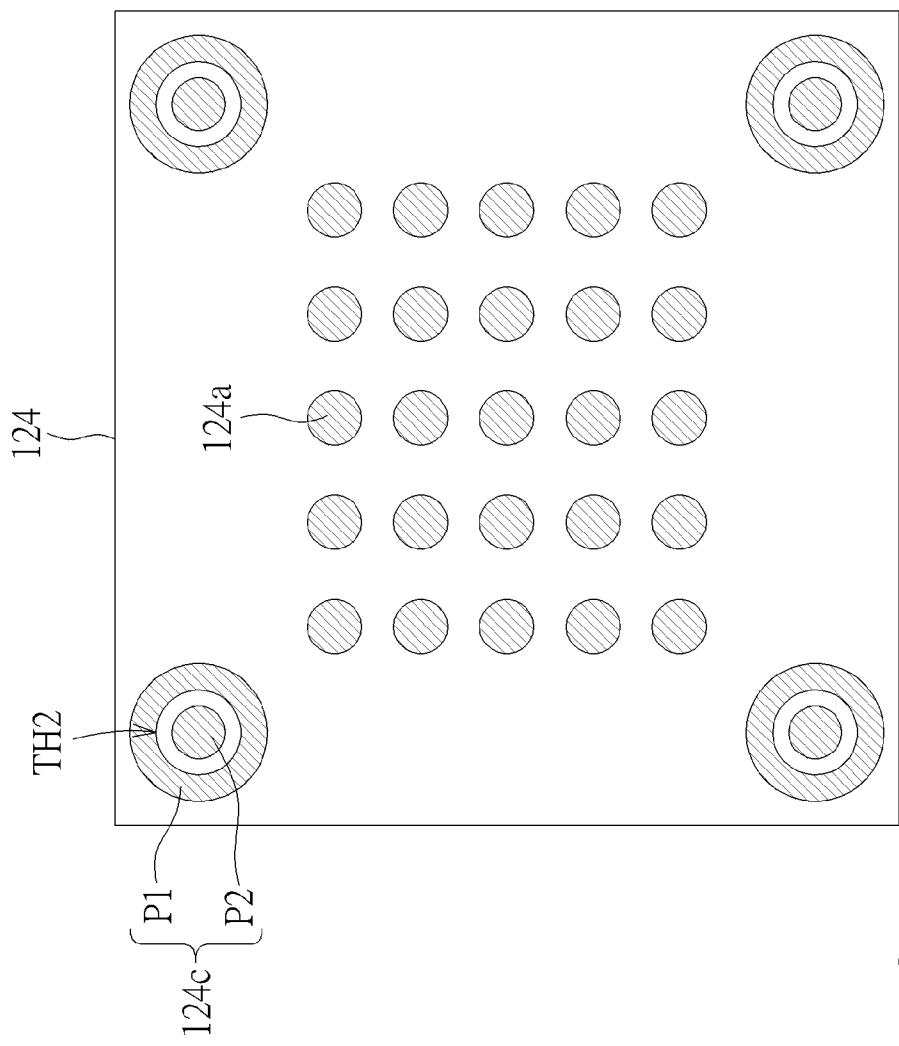
【發明圖式】



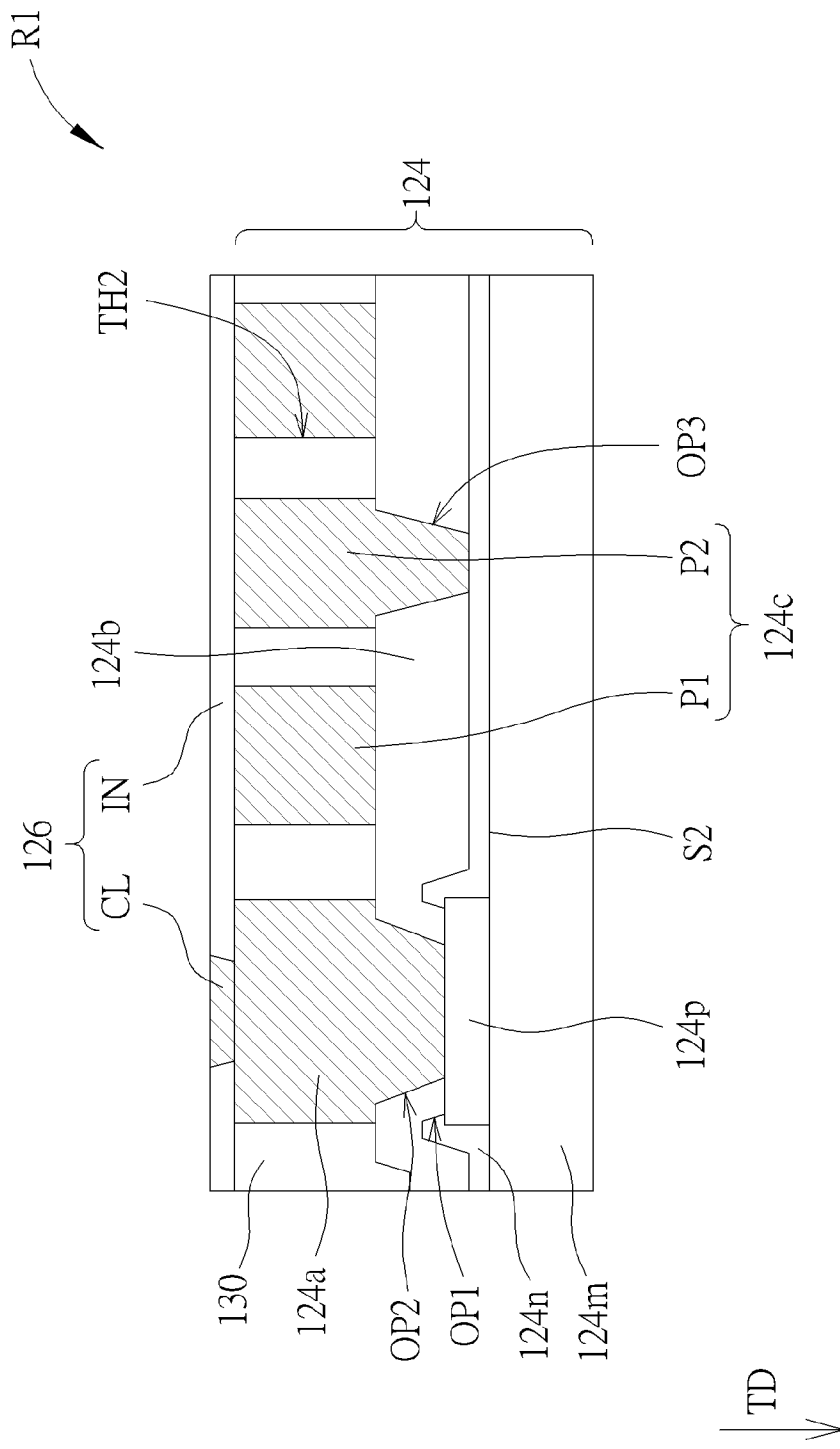
第1圖



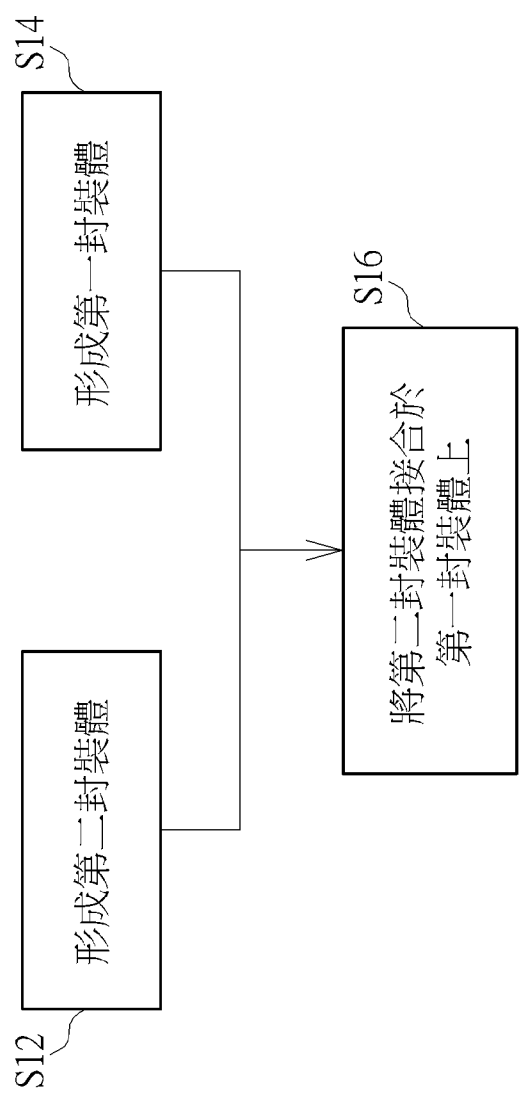
第2圖



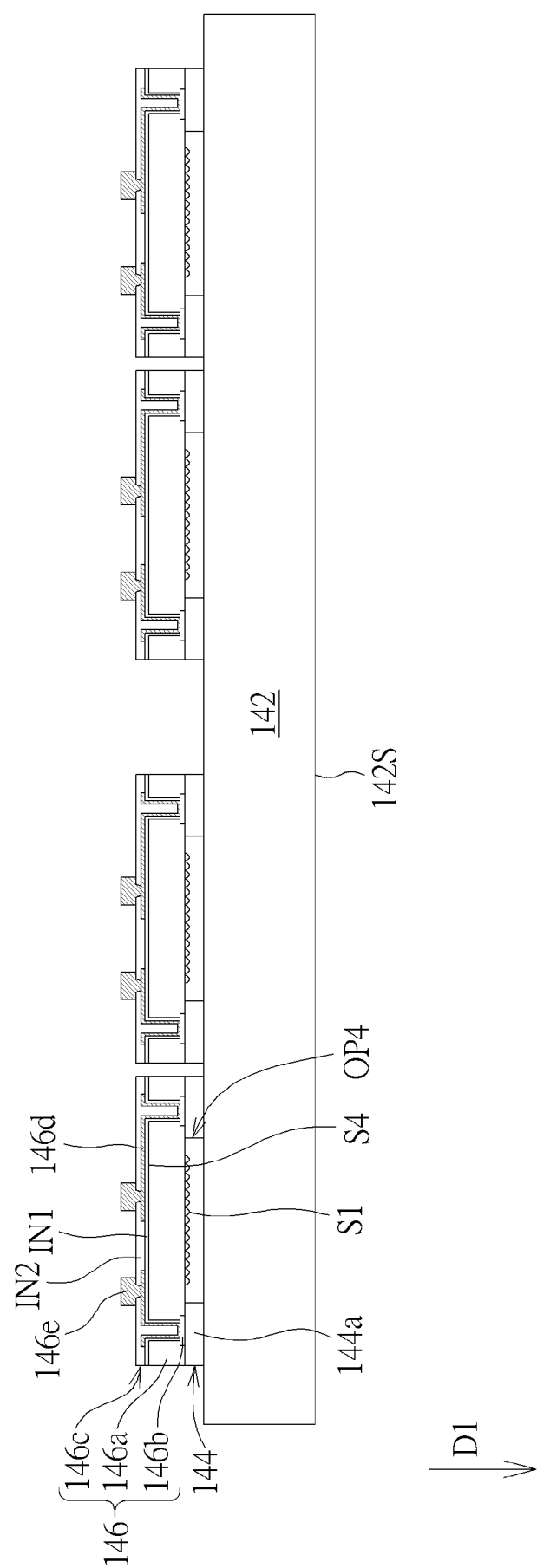
第3圖



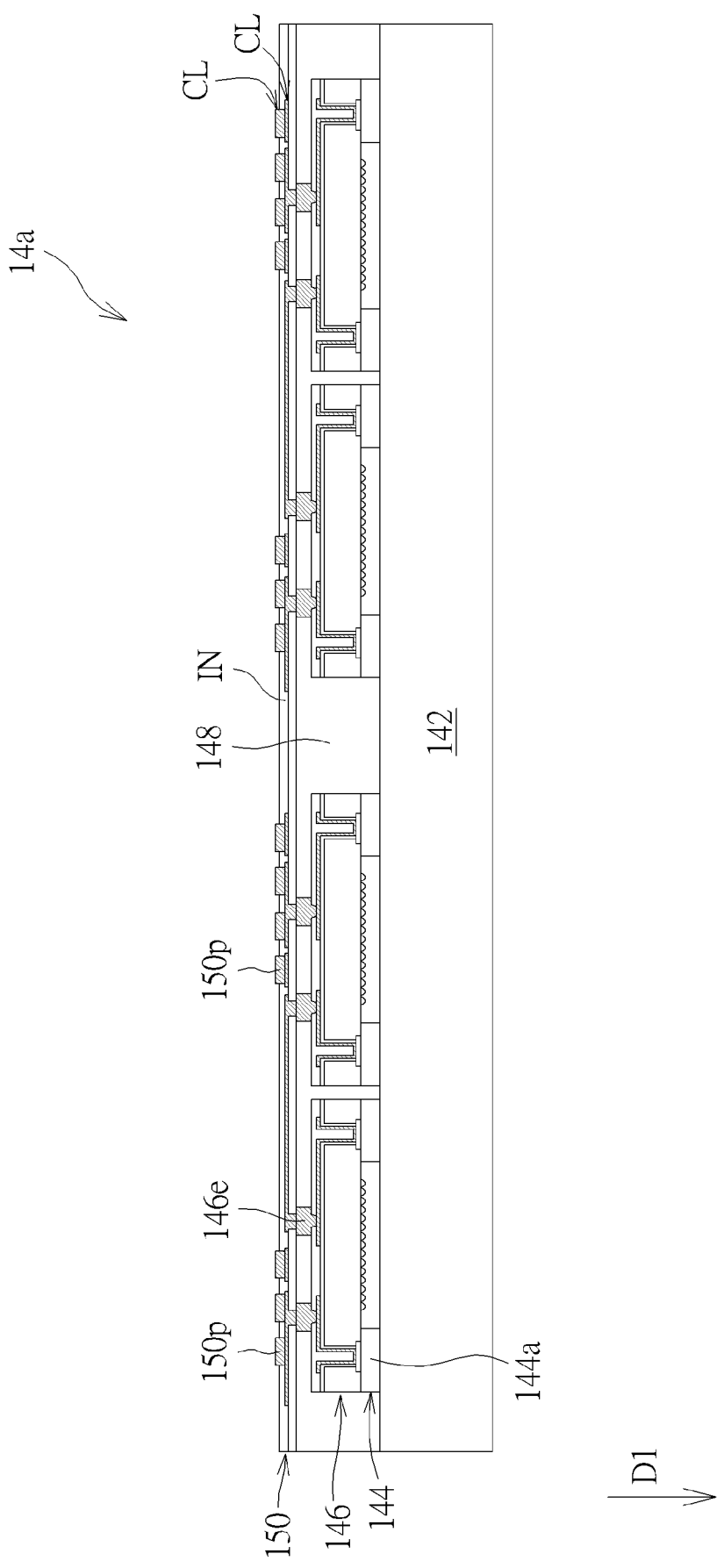
第4圖



第5圖

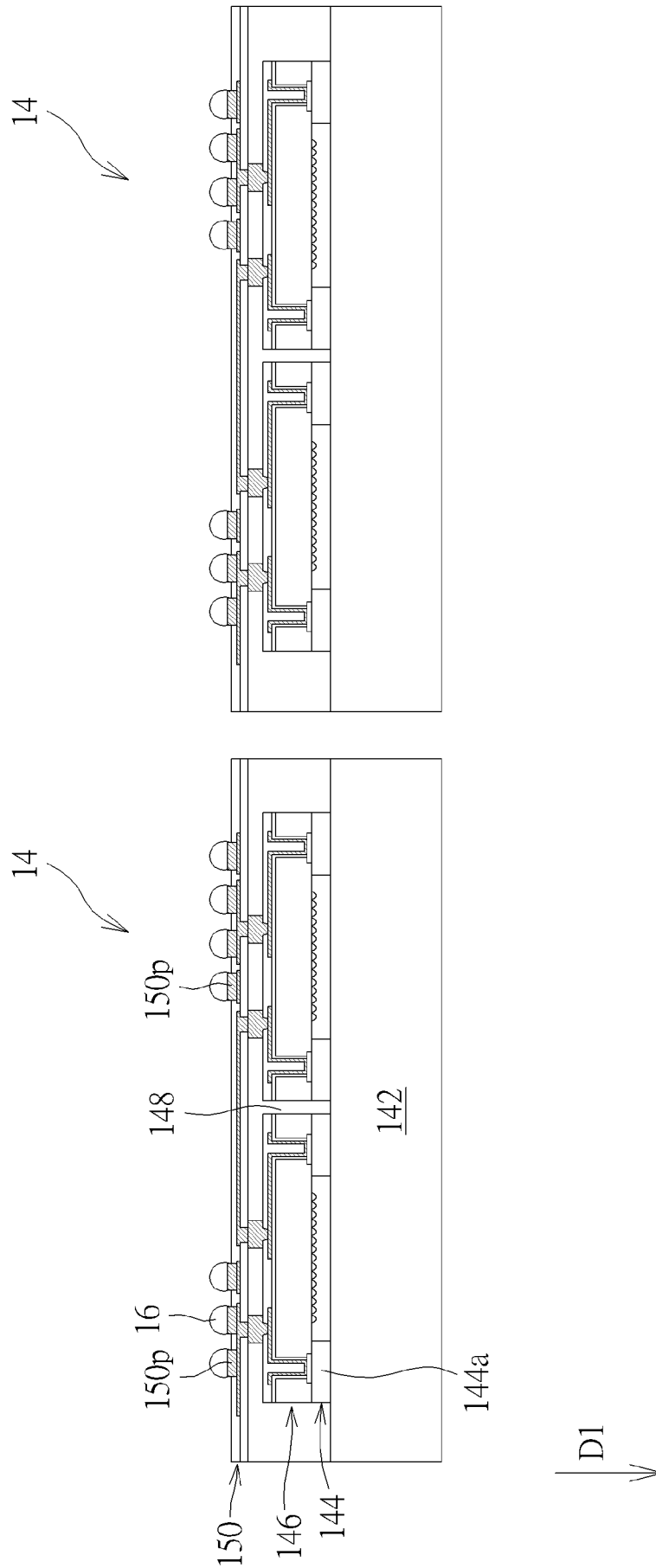


第6圖

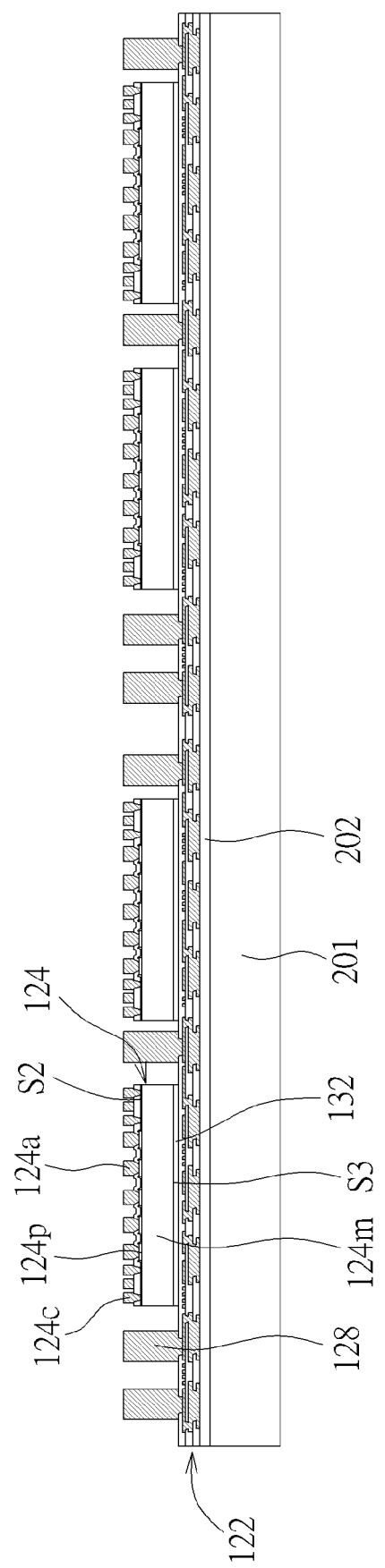


第7圖

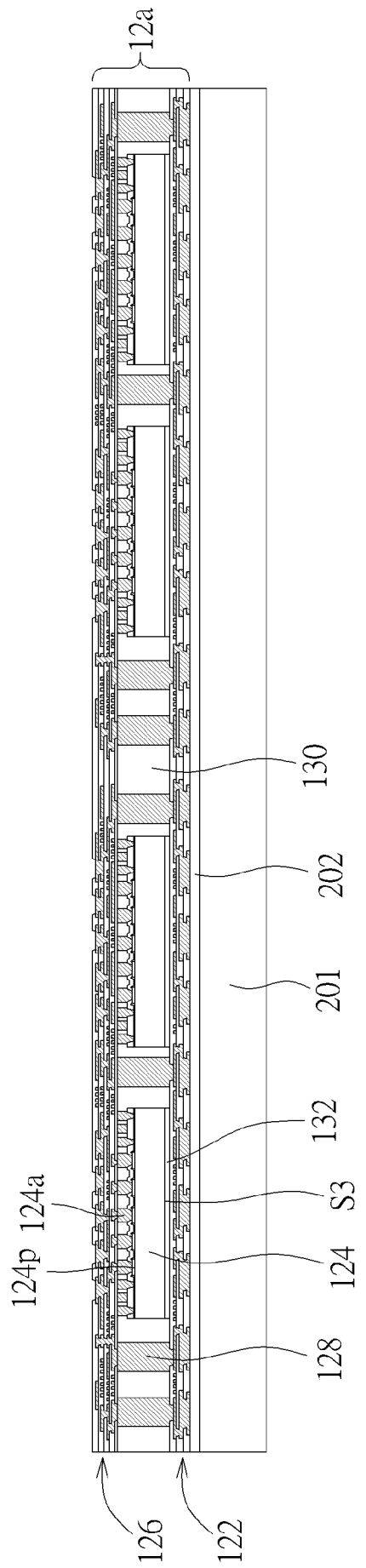




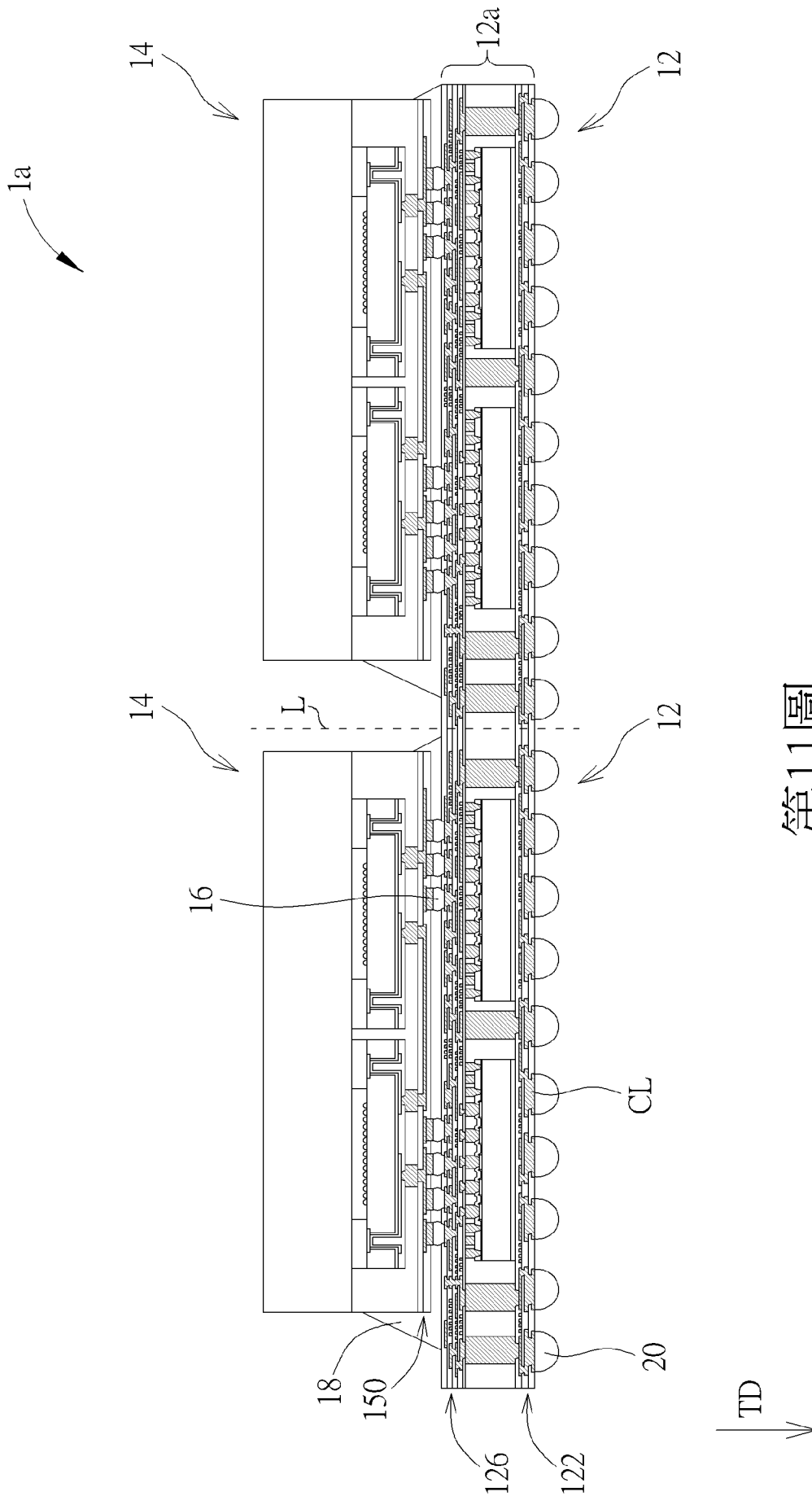
第8圖



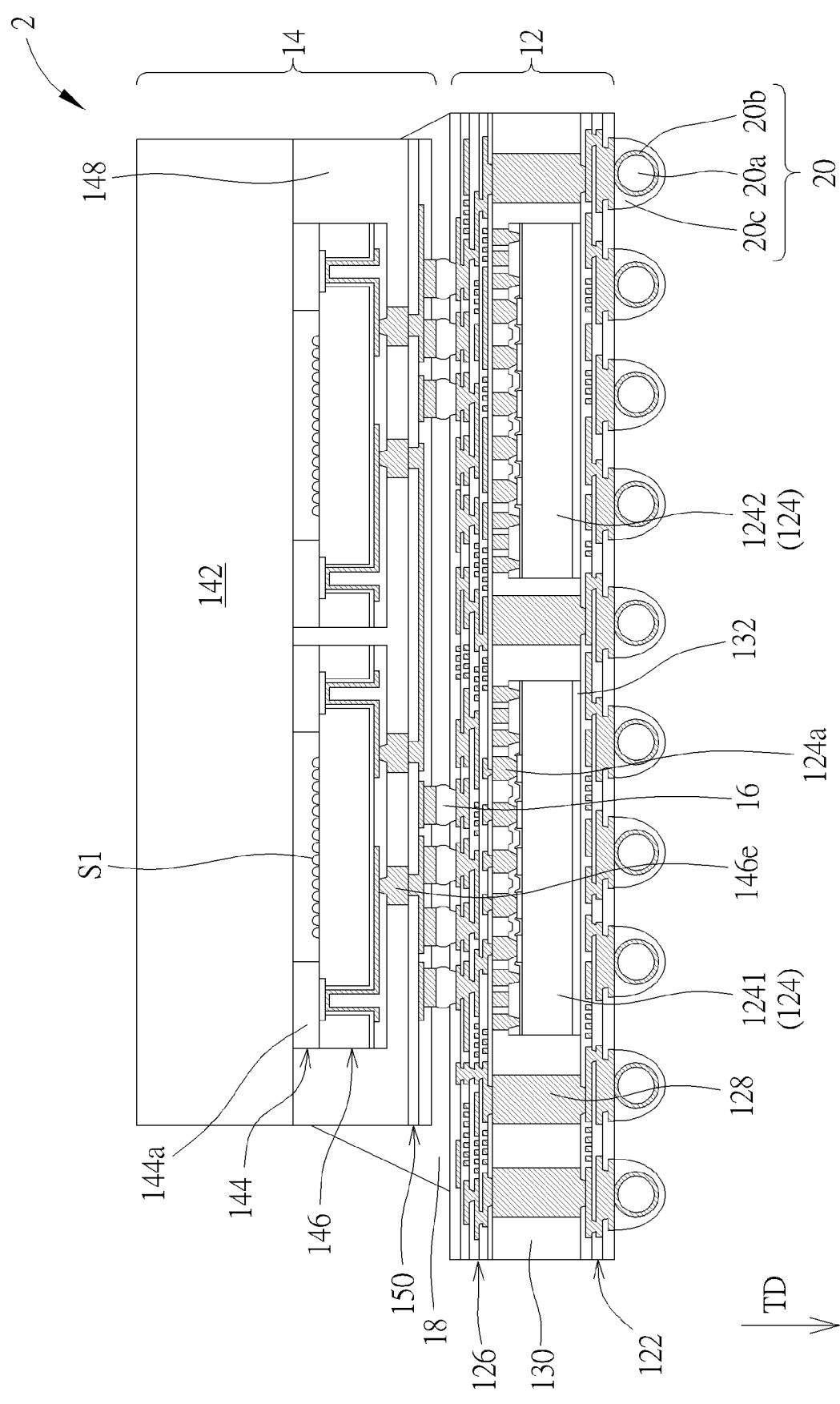
第9圖



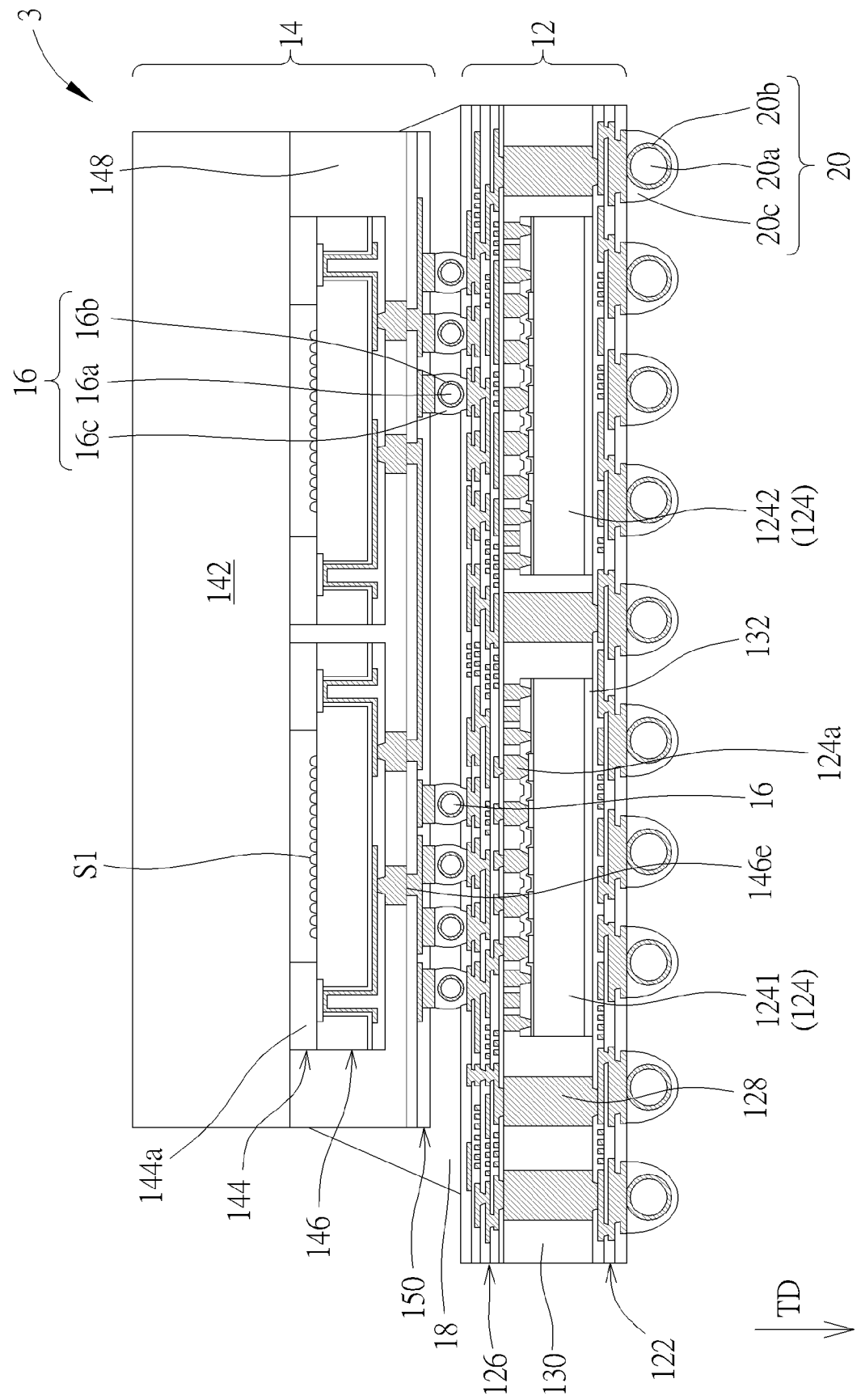
第10圖



第11圖



第12圖



第13圖