

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4882353号  
(P4882353)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl. F I  
H03F 3/217 (2006.01) H03F 3/217

請求項の数 2 (全 10 頁)

<p>(21) 出願番号 特願2005-345235 (P2005-345235)                  (22) 出願日 平成17年11月30日(2005.11.30)                  (65) 公開番号 特開2006-211647 (P2006-211647A)                  (43) 公開日 平成18年8月10日(2006.8.10)                          審査請求日 平成20年9月19日(2008.9.19)                  (31) 優先権主張番号 特願2004-379340 (P2004-379340)                  (32) 優先日 平成16年12月28日(2004.12.28)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000004075                          ヤマハ株式会社                          静岡県浜松市中区中沢町10番1号                  (74) 代理人 100064908                          弁理士 志賀 正武                  (74) 代理人 100089037                          弁理士 渡邊 隆                  (72) 発明者 森島 守人                          静岡県浜松市中沢町10番1号 ヤマハ株                          式会社内                           審査官 高橋 義昭</p>
---	---

最終頁に続く

(54) 【発明の名称】 パルス幅変調増幅器

(57) 【特許請求の範囲】

【請求項1】

入力されるデジタルデータの絶対値を出力する絶対値出力手段と、  
 前記絶対値出力手段から出力される絶対値データに対応する周期データを出力する周期データ出力手段と、

前記周期データに対応する周期を有し、この周期内において信号レベルが逐次増加するキャリア信号を作成するキャリア作成手段と、

前記デジタルデータを前記キャリア信号に基づいてパルス幅変調信号に変換する変換手段と、

を具備し、

前記変換手段は、

$$y / (H + X \text{ abs}) = (H \pm X \text{ abs}) / 2 H$$

但し、H：デジタルデータの最大値

X abs：デジタルデータの絶対値

なる式に基づいてパルス幅変調信号のパルス幅 y を決定することを特徴とするパルス幅変調増幅器。

【請求項2】

マスタークロックを生成するマスタークロック発生手段をさらに有し、

前記周期データ出力手段は、

前記絶対値データに所定の定数を加算し、前記周期データとし、

前記キャリア作成手段は、

前記周期データを前記マスタークロックの周波数により除算して、前記キャリア信号の周期を求めることを特徴とする請求項 1 に記載のパルス幅変調増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力されるPCM (Pulse Code Moduration) データをPWM (Pulse Width Moduration) 信号に変換し、増幅して出力するパルス幅変調増幅器に係り、特に、出力ノイズの低減を図ったパルス幅変調増幅器に関する。

【背景技術】

10

【0002】

この種のパルス幅変調増幅器においては、出力ノイズを低減するためのフィードバック処理が行いにくく、このフィードバック処理を行わないとマスタークロックのジッタがそのまま出力ノイズとして表れてしまう。そこで、従来のパルス幅変調増幅器においては、特許文献 1 に記載されるように、パルス幅変調増幅器の出力をローパスフィルタを通じたアナログ出力信号を、A/D変換器によってデジタルデータに変換し、入力側へフィードバックするという処理が行われた。

しかしながら、このような処理は、A/D変換器を必要とすることから部品点数が多くなり、回路が複雑、かつ高価になる欠点があった。

【0003】

20

他方、従来、入力されるPCMデータをアナログ信号に変換した後、PWM信号に変換するアンプも実用化されている。そして、このアンプの場合はアナログ処理であるので、出力のフィードバックを容易に行うことができる。しかしながら、PWMの処理をアナログ処理によって行う場合、半導体プロセスの微細化に追従できない問題があった。

なお、パルス幅変調増幅器についての従来文献として特許文献 2 が知られている。

【特許文献 1】特開昭59-183510号公報

【特許文献 2】実公平3-36099号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

30

本発明は上記事情を考慮してなされたもので、その目的は、フィードバック処理を行わず、アナログ処理も行わず、デジタル信号処理のみでノイズ低減を行うことにより、安価に構成できると共に高品位な出力を得ることができるパルス幅変調増幅器を提供することにある。

【課題を解決するための手段】

【0010】

請求項 1 に記載の発明は、入力されるデジタルデータの絶対値を出力する絶対値出力手段と、前記絶対値出力手段から出力される絶対値データに対応する周期データを出力する周期データ出力手段と、前記周期データに対応する周期を有し、この周期内において信号レベルが逐次増加するキャリア信号を作成するキャリア作成手段と、前記デジタルデータを前記キャリア信号に基づいてパルス幅変調信号に変換する変換手段と、を具備し、前記変換手段は、

40

$$y / (H + X \text{ abs}) = (H \pm X \text{ abs}) / 2H$$

但し、H：デジタルデータの最大値

X abs：デジタルデータの絶対値

なる式に基づいてパルス幅変調信号のパルス幅 y を決定することを特徴とする。

請求項 2 に記載の発明は、請求項 1 に記載のパルス幅変調増幅器において、マスタークロックを生成するマスタークロック発生手段をさらに有し、前記周期データ出力手段は、前記絶対値データに所定の定数を加算し、前記周期データとし、前記キャリア作成手段は、前記周期データを前記マスタークロックの周波数により除算して、前記キャリア信号の

50

周期を求めることを特徴とする。

【発明の効果】

【0011】

この発明によれば、フィードバック処理を行わず、アナログ処理も行わず、デジタル信号処理のみでノイズ低減を行うことができ、これにより、安価に構成できると共に、高品位で高効率な出力を得ることができる効果が得られる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照し、この発明の実施の形態について説明する。図1はこの発明の第1の実施の形態によるパルス幅変調増幅器の構成を示すブロック図である。パルス幅変調増幅器は入力信号(デジタル)を、パルス幅変調された信号に変換し増幅して出力する回路である。図1において、符号1はPCM楽音データが入力される入力端子、2は補正回路である。この補正回路2は、PWMの歪を補正する補正回路、 $f$ 特(周波数特性)補正回路、量子化ノイズを抑制する補正回路からなる補正回路であり、従来から公知の回路である。3はエンベロープ検出回路であり、入力端子1に加えられるPCM楽音データのエンベロープを検出し、レベル検出回路4へ出力する。図2はPCM楽音データとそのエンベロープを示す図であり、この図において、点P1~P3はPCM楽音データの例を示しており、エンベロープ検出回路3はこれらのデータP1~P3のエンベロープEを検出してレベル検出回路4へ出力する。なお、PCM楽音データはデジタルデータであり、一定時間間隔で順次入力端子1へ加えられる。点P1~P3はPCM楽音データの入力端子へ加えられるタイミング(横軸)および楽音データのレベル(縦軸)を示している。

【0013】

レベル検出回路4はエンベロープ検出回路3から出力されるエンベロープの、図2に示すパルスTpにおけるレベル(Level1~Level3)を検出し、サンプリング変換回路5へ出力する。なお、パルスTpについては後に説明する。サンプリング変換回路5はPWMキャリア信号Pct(図2参照)の周波数(サンプリング周波数)を変換する回路であり、上述したレベル検出回路4の出力が加えられるレベルサンプリング周波数変換回路6と、PWMキャリア作成回路7と、補間演算回路8とから構成されている。レベルサンプリング周波数変換回路6は、レベル検出回路4から出力されたレベルをサンプリング周波数を示す周波数データDfに変換し、PWMキャリア作成回路7へ出力する。この場合、レベル検出回路4の出力レベルが大であるほど周波数データDfは小となり、レベル検出回路4の出力レベルが小になるほど周波数データDfは大となる。すなわち、入力端子1のPCM楽音データが大であれば(PCM楽音データのデジタル値が大であれば)周波数データDfが小となり、PCM楽音データが0に近づくほど(PCM楽音データのデジタル値が0に近づくほど)周波数データDfが大となる。なお、レベル周波数データの変換は変換テーブルで行ってもよく、あるいは、所定の一次式による反比例演算で行ってもよい。また、周波数データではなく、周期のデータとしてもよい。この場合、入力レベルが大きいと周期も大きくなる。

【0014】

PWMキャリア作成回路7は、周波数データDfに対応する周波数のパルス信号Tp(図2参照)をマスタークロック発生回路9から出力されるマスタークロックpに基づいて生成し、補間演算回路8へ出力する。また、このPWMキャリア作成回路7は、パルス信号Tpと同一周期の鋸歯状に変化するPWMキャリアデータPct(図2)を生成し、PWM回路10へ出力する。ここで、PWMキャリアデータPctは、パルス信号Tpの立ち上がりにおいて、"0"となり、以後、一定の差分で順次直線的に増加する周期的なデータである。なお、図2においてはPWMキャリアデータPctの変化をアナログ波形で示している。また、PWMキャリアデータPctは鋸歯状波ではなく、三角波でもよい。

【0015】

上述したように、PWMキャリアデータPctの周波数(サンプリング周波数)は、周

10

20

30

40

50

波数データ  $D_f$  によって決まる周波数であり、具体的には、周波数データ  $D_f$  が大であるほどサンプリング周波数が大となり、周波数データ  $D_f$  が小になると、サンプリング周波数が小となる。すなわち、入力端子 1 の PCM 楽音データのレベルが大の時は周波数データ  $D_f$  が小となることからサンプリング周波数が小となり、逆に、PCM 楽音データのレベルが小の時は周波数データ  $D_f$  が大となることからサンプリング周波数が大となる。

【 0 0 1 6 】

補間演算回路 8 は、例えば FIR フィルタによって構成される回路であり、補正回路 2 から出力される PCM 楽音データに基づく補間演算によって、パルス信号  $T_p$  のタイミングにおける楽音データを求め、PWM 回路 10 へ出力する。すなわち、図 2 に示すように、PCM 楽音データ  $P_1$ 、 $P_2$ 、 $P_3$  が入力端子 1 へ加えられるタイミングと、パルス信号  $T_p$  のタイミングは一致していない。そこで、補間演算回路 8 は、直線補間（バイリニア）演算、線形補間演算、ポリフェース補間演算、スプライン補間演算等によってパルス信号  $T_p$  のタイミングにおける楽音データを演算し、PWM 回路 10 へ出力する。

【 0 0 1 7 】

PWM 回路 10 は、補間演算回路 8 から出力される楽音データに対応するパルス幅を有する PWM 信号  $S_p$  を PWM キャリアデータ  $P_{ct}$  に基づいて生成し出力する。すなわち、例えば、図 2 に示す時刻  $t_1$  において、補間演算回路 8 からデータ Level 1 が出力されたとする。PWM 回路 10 は、時刻  $t_1$  において PWM 信号  $S_p$  を立ち上げ、以後、PWM キャリアデータ  $P_{ct}$  とデータ Level 1 とを逐次比較し、PWM キャリアデータ  $P_{ct}$  がデータ Level 1 に一致し、あるいは、越えた時点において PWM 信号  $S_p$  を立ち下げる。次に、時刻  $t_2$  において補間演算回路 8 からデータ Level 2 が出力されたたすると、PWM 回路 10 は、時刻  $t_2$  において PWM 信号  $S_p$  を再び立ち上げ、以後、PWM キャリアデータ  $P_{ct}$  とデータ Level 2 とを逐次比較し、PWM キャリアデータ  $P_{ct}$  がデータ Level 2 に一致し、あるいは、越えたた時点において PWM 信号  $S_p$  を立ち下げる。以下、同様の動作が繰り返され、これにより、補間演算回路 8 から出力される楽音データ Level 1、Level 2、Level 3・・・に対応するパルス幅  $T_1$ 、 $T_2$ 、 $T_3$ ・・・を有する PWM 信号  $S_p$  が PWM 回路 10 から出力される。そして、PWM 回路 10 から出力された PWM 信号  $S_p$  は増幅器 11 によって増幅され、ローパスフィルタ 12 を通してアナログ信号に変換され、スピーカ等の負荷 14 へ加えられる。

【 0 0 1 8 】

なお、上記説明においては、エンベロープ波形のレベルと補間演算回路 8 の出力データを同じデータ（Level 1～3）として説明したが、実際は補間の方法にもよるが僅かに異なったデータとなる。

【 0 0 1 9 】

以上説明したように、上記実施形態によるパルス幅変調増幅器においては、入力される PCM 楽音データのエンベロープのレベルに基づいてパルス信号  $T_p$  および PWM キャリアデータ  $P_{ct}$  のサンプリング周波数が決められ、入力される PCM 楽音データのレベルが大の時はサンプリング周波数が小となり、PCM 楽音データのレベルが小の時はサンプリング周波数が大となる。

【 0 0 2 0 】

ところで、通常、ローパスフィルタ 12 のカットオフ周波数は、図 3 に示すように、サンプリング周波数より低く設定され、これにより、PWM キャリアに付随するジッタによるノイズを減衰させている。このノイズの低減は、図からも明らかなように、サンプリング周波数が高いほど効果的である。しかし、キャリアのサンプリング周波数を高くすると、出力ドライバの駆動電圧が高いため十分に駆動できず、効率も悪化する。そこで、この実施形態においては、入力 PCM 楽音データのレベルが小の時にはキャリアのサンプリング周波数を高くしてノイズ成分を減衰させ、一方、入力 PCM 楽音データのレベルが大の時には、ノイズの影響が小さいことからキャリアのサンプリング周波数を低くして効率を上げるようにしている。

【 0 0 2 1 】

次に、上記実施形態の変形例を説明する。

図4に示すように、入力されるPCM楽音データが小さくなった場合、例えば、上位8ビットが符号情報のみとなり、しばらく経過した場合に、PWMキャリアのサンプリング周波数を2倍に変更する。入力のPCM楽音データが再び大きくなった場合は、即刻サンプリング周波数を元に戻す。このように、この変形例では、2段階でサンプリング周波数を制御する。

#### 【0022】

通常、入力PCM楽音データのサンプリングと、PWMキャリアのサンプリングの周波数は等しく同期している。この変形例では、入力PCM楽音データが低レベルの時にキャリアのサンプリング周波数を2倍とする。この時、不足データを補うために、PWM回路10へ入力する楽音データは同じ値を2度繰り返してPWM回路10へ加えてもよく、また、直線補間や2次補間などによって補間してもよい。あるいは、入力されるPCM楽音データを予め高いサンプリングによるデータとし、PWM回路10へ入力する際に間引きようにしてもよい。

また、図9に示すように、入力データから入力タイミング(ワードタイミング)を入力サンプリング同期回路で検出する。入力データに同期タイミング(ワードクロック等)が入力される場合はそれを使う。サンプリング周波数の2倍を用意し、低レベル検出回路の出力によって切り換える。

#### 【0023】

また、図5に示すように、入力されるPCM楽音データに"0"データが連続して現れる無音データの場合に、補正回路2の補正動作をオフとし、また、PWM回路10において、デューティ50%固定で、限界までキャリアのサンプリング周波数を上げる処理を行えば、無音データの時のノイズ(「サー」という雑音)を低減させることができる。但し、無音データは"0"データ以外にも"+1"、"-1"などが存在するので、-2~+2が連続して入力端子1へ加えられた場合に無音として扱い、上記の固定パターンに切り換えるようにする。入力端子1にDCデータが加えられた時も同様に、をオフとし、サンプリング周波数を高くした固定パターンをPWM回路10から出力することでノイズ低減を行うことができる。

#### 【0024】

次に、この発明の第2の実施形態について説明する。

図6はこの発明の第2の実施形態によるパルス幅変調増幅器の構成を示すブロック図である。この図において、21はPCM楽音データが入力される入力端子、22は図1における補正回路2と同様の補正回路であり、その出力楽音データはPWM回路23へ出力される。24はマスタークロック $p$ が加えられる端子、25は差動PLL(フェイズロックドループ)回路である。この差動PLL回路25はマスタークロック $p$ を $n$ 倍し、かつ、差動クロックパルスとして出力する回路であり、クロックパルスの1相がPWM回路23へ出力され、また、差動クロックパルスがラッチ26へ出力される。

#### 【0025】

PWM回路23は、差動PLL回路25から出力されるクロックパルスに基づいて鋸歯状に順次増加するPWMキャリアデータを発生し、発生したデータと補正回路22から出力される楽音データとを比較することによってPWM信号 $S_p$ (図2参照)を生成しラッチ26へ出力する。ラッチ26は、差動PLL回路25から出力される差動クロックパルスに基づいてPWM信号 $S_p$ をラッチし、ラッチした信号を差動PWM信号として出力する。図7はこのラッチ26の構成を示す回路図であり、この図において、31はPWM信号 $S_p$ を反転増幅して出力するインバータ、32はPWM信号 $S_p$ を同相増幅して出力する増幅器である。また、33、34はそれぞれ同一構成のラッチ回路であり、差動PLL回路25から出力される差動クロックの変化タイミングにおいてインバータ31、増幅器32のデータを読み込み、次段の増幅器27へ差動出力する。

#### 【0026】

27、27・・・は増幅器であり、ラッチ26の出力を増幅し、差動出力をFET(電

10

20

30

40

50

界効果トランジスタ) 28、29からなる差動ドライバ30へ出力する。差動ドライバ30は、FET 28、29を直列接続して構成されており、増幅器27の出力を増幅し、ローパスフィルタ31を介して負荷32へ出力する。

#### 【0027】

図8は上述したパルス幅変調増幅器の各部の波形を示す図である。この図において(イ)は差動PLL回路25から出力される差動クロックの波形であり、(ロ)はPWM回路23から出力されるPWM信号Spの波形である。この図に示すように、PWM信号SpにはPWM変換の際に発生するジッタが含まれている。(ハ)はラッチ26の出力波形であり、(イ)に示す差動クロックのタイミングでPWM信号Spを読み込んでいる。そして、この読み込みによって、PWM信号Spに含まれていたジッタが除去される。(ニ)は差動ドライバ30の入力波形である。この入力波形には、増幅器27、27・・・において生じたノイズが含まれている。(ホ)は差動ドライバ30の出力波形である。増幅器27、27・・・において生じるノイズは大部分が同相ノイズであり、したがって、このノイズがFET 28、29の直列回路によって相殺され、ノイズが大幅に減衰された信号がローパスフィルタ31へ出力される。

10

#### 【0028】

次に、この発明の第3の実施形態について説明する。

図10はこの発明の第3の実施形態によるパルス幅変調増幅器の構成を示すブロック図であり、この図において、図1の各部と同一構成の部分には同一の符号が付してある。図10において、1は入力端子であり、この入力端子1へ加えられた楽音データXinが補間演算回路8において前述した図1の場合と同様に補間処理され、PWM回路41へ出力される。PWM回路41は補間演算回路8の出力Xをパルス幅変調信号Spに変換し、増幅器11、ローパスフィルタ12を介してスピーカ等の負荷14へ出力する。

20

#### 【0029】

42は絶対値出力回路であり、補間演算回路8の出力Xの絶対値Xabsをサンプリング変換回路43の周波数計算回路44へ出力する。周波数計算回路44は、絶対値Xabsおよび定数Hから、入力楽音データXinの値に応じて変化する周期データDpを次式によって演算し、演算結果をPWMキャリア作成回路45へ出力する。

$$Dp = H + Xabs$$

ここで、この実施形態においては、入力データXinの範囲を、

$$-512 < Xin < +512$$

とし、また、定数Hを、入力データXinの最大値である

$$H = 512$$

としている。

#### 【0030】

PWMキャリア作成回路45は、マスタークロック発生回路9から出力されるマスタークロックp(周波数fpとする)に基づいて、周期がDp/fpのパルス信号Tp(周期が(1/fp)のDp倍のパルス信号)(図11参照)を生成し、補間演算回路8へ出力する。また、このPWMキャリア作成回路45は、パルス信号Tpと同一周期の鋸歯状に変化するPWMキャリアデータPct(図11参照)を生成し、PWM回路41へ出力する。ここで、PWMキャリアデータPctは、パルス信号Tpの立ち上がりにおいて、"0"となり、以後、一定の差分で順次直線的に増加する周期的なデータである。

40

#### 【0031】

次に、PWM回路41の処理を説明する。

いま、入力データXに対応して生成されるPWM信号のパルス幅をy(図11(ハ)参照)とすると、PWM信号のDutyは

$$Duty = y / (H + Xabs)$$

となる。また、この値は、鋸歯状波の波高値が2Hであり、入力データX=0に対応する中点CのレベルがHであることから、

$$y / (H + Xabs) = (H \pm Xabs) / 2H$$

50

と表される。

【0032】

この式から、入力データ X が正の時のパルス幅  $y_+$  は、

$$y_+ = (H^2 + 2HX + X^2) / 2H = H/2 + X + X^2 / 2H$$

なる式によって求められ、入力データ X が負の時のパルス幅  $y_-$  は、

$$y_- = (H^2 - X^2) / 2H = H/2 - X^2 / 2H$$

なる式によって求められる。

【0033】

PWM回路41は上述した  $y_+$ 、 $y_-$  の式によってパルス幅を演算し、この演算結果を用いてPWM信号  $S_p$  を生成し出力する。これらの式を実行する処理（回路）は2乗とビットシフトのみで構成できるので、DSP（デジタルシグナルプロセッサ）によって容易に構成することができ、ハードウェア化も容易である。そして、この実施形態の構成により、入力レベルに応じたPWM変調器を容易に構成することが可能となる。

10

なお、上述した実施形態の説明においては、入力データをPCM楽音データとして説明したが、この発明は楽音データに限らず、他の種のデータ、例えば、入力データが音声データ等の場合も適用できることは勿論である。

【産業上の利用可能性】

【0034】

この発明は、AVアンプ等に用いられる。

【図面の簡単な説明】

20

【0035】

【図1】この発明の第1の実施形態によるパルス幅変調増幅器の構成を示すブロック図である。

【図2】同実施形態における各部の波形を示す波形図である。

【図3】同実施形態の効果の説明するための図である。

【図4】同実施形態の変形例を説明するための波形図である。

【図5】同実施形態の変形例を説明するための波形図である。

【図6】この発明の第2の実施形態の構成を示すブロック図である。

【図7】同実施形態におけるラッチ26の構成を示す回路図である。

【図8】同実施形態における各部の波形を示す波形図である。

30

【図9】図1に示す実施形態の変形例を示すブロック図である。

【図10】この発明の第3の実施形態によるパルス幅変調増幅器の構成を示すブロック図である。

【図11】同実施形態における各部の波形を示す波形図である。

【符号の説明】

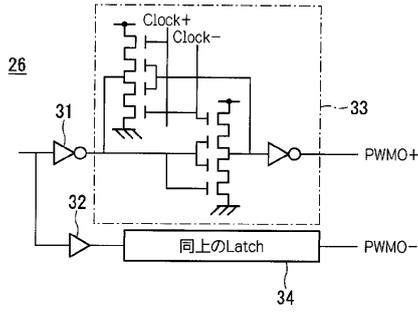
【0036】

1、21...入力端子、2、22...補正回路、3...エンベロープ検出回路、4...レベル検出回路、5...サンプリング変換回路、6...レベル サンプリング周波数変換回路、7...PWMキャリア作成回路、8...補間演算回路、9...マスタークロック発生回路、10、23...PWM回路、11...増幅器、12、31...ローパスフィルタ、25...差動PLL回路、26...ラッチ、27...増幅器、28、29...FET、30...差動ドライバ。41...PWM回路、42...絶対値出力回路、43...サンプリング変換回路、44...周期計算回路、45...PWMキャリア生成回路。

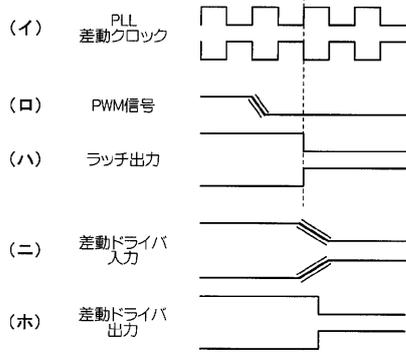
40



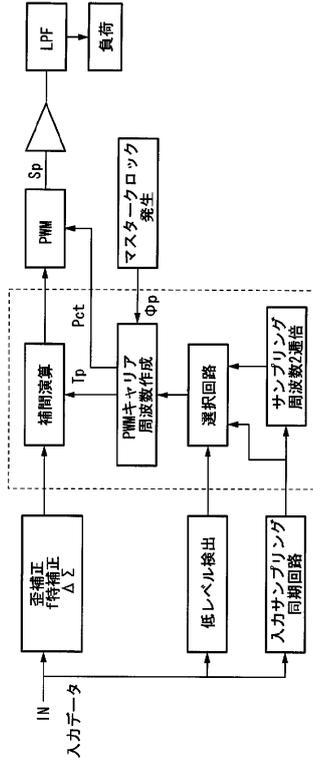
【図7】



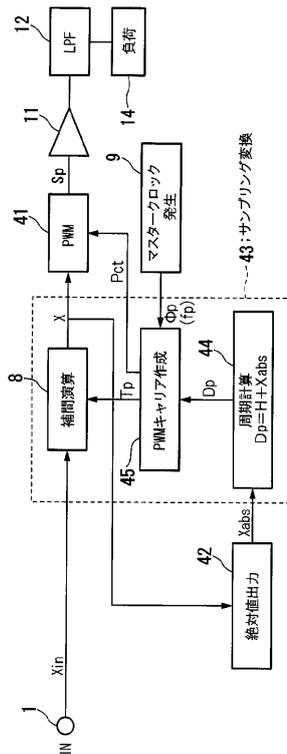
【図8】



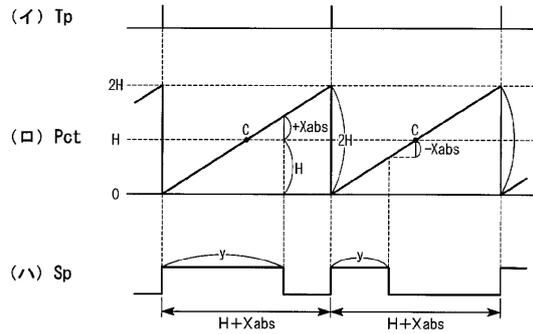
【図9】



【図10】



【図11】



---

フロントページの続き

- (56)参考文献 特開昭58-157221(JP,A)  
特開2000-022460(JP,A)  
特開2004-072707(JP,A)  
国際公開第2004/102792(WO,A1)  
特開2004-146868(JP,A)  
特開平08-256023(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03F 3/217