



(12) 发明专利申请

(10) 申请公布号 CN 101719482 A

(43) 申请公布日 2010.06.02

(21) 申请号 200910191568.5

(22) 申请日 2009.11.25

(71) 申请人 中国电子科技集团公司第二十四研究所

地址 400060 重庆市南岸区南坪花园路 14 号

(72) 发明人 张正元 梅勇 冯志成 李建根
李小刚 徐勇

(51) Int. Cl.

H01L 21/8222(2006.01)

G01L 1/18(2006.01)

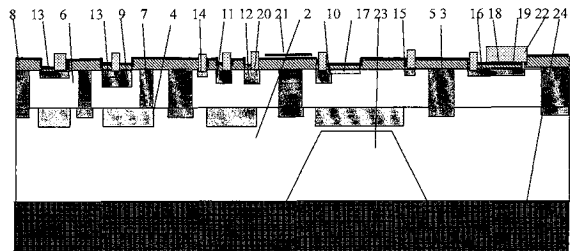
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

单片集成压力传感器的制造方法

(57) 摘要

本发明公开了一种单片集成压力传感器的制造方法。本发明方法克服了电阻式压力传感器与放大处理电路加工工艺兼容的问题,将电阻式压力传感器加工工艺与放大处理电路的加工工艺结合起来,利用专用的夹具保护了正面的集成电路和压敏电阻,同时也腐蚀出了压敏电阻下面的深槽,使压敏电阻成功地制作在可动的硅薄膜上,解决了压力传感器与电路加工工艺兼容的技术难题,实现了压力传感器与电路的单片集成。本发明方法适用于小型化、高可靠的压力传感器加工领域。



1. 一种单片集成压力传感器的制造方法,其特征在于:该方法包括如下步骤:

(1) 在 P 型硅衬底片上,制作双极模拟集成电路和压敏电阻用的 P 型硅衬底;
(2) 在所述双极模拟集成电路和压敏电阻用的 P 型硅衬底上进行 N- 外延工艺,在所述 N- 外延层上制作双极集成电路与传感器的压敏电阻;

(3) 采用专用的腐蚀夹具,对所述已经做出了双极集成电路与传感器的压敏电阻的硅片的背面进行腐蚀、再进行硅玻璃键合,实现单片集成的压力传感器。

2. 根据权利要求 1 所述的一种单片集成压力传感器的制造方法,其特征在于:所述制作双极模拟集成电路和压敏电阻用的 P 型硅衬底的步骤包括:

(1) P 型硅衬底片,为 $\langle 100 \rangle$ 晶向、双面抛光、厚度 $400 \pm 10 \mu\text{m}$ 、电阻率 $7-13 \Omega \cdot \text{cm}$,氧化,氧化层厚度为 $0.6 \pm 0.05 \mu\text{m}$;

(2) 光刻 N+ 埋层区;

(3) 带胶砷注入,剂量 $6E15/\text{cm}^2$,能量 100keV ,去胶;

(4) 光刻 P+ 埋层区;

(5) 带胶硼注入,剂量 $1E15/\text{cm}^2$,能量 60keV ,去胶;

(6) 双面曝光,光刻出传感器电阻区的背面区域;干法腐蚀硅,腐蚀深度为 $1 \pm 0.1 \mu\text{m}$;

(7) 双面淀积二氧化硅,其厚度为 $0.5 \pm 0.1 \mu\text{m}$;

(8) 高温推结,温度 1200°C ,8h,去掉所有氧化层,形成 P+ 埋层、N+ 埋层及背面区域标记。

3. 根据权利要求 1 所述的一种单片集成压力传感器的制造方法,其特征在于:在所述 N- 外延层上制作双极集成电路与传感器的压敏电阻的步骤包括:

(1) 用所述 P 型硅衬底材料进行 N- 外延工艺,外延层厚度 $8 \pm 1 \mu\text{m}$,电阻率 $2 \pm 0.3 \Omega \cdot \text{cm}$;

(2) 将所述进行了 N- 外延工艺的 P 型硅衬底硅片的表面进行氧化,形成二氧化硅氧化层,厚度为 $1 \pm 0.1 \mu\text{m}$;

(3) 光刻 NPN 管的穿透区;

(4) 磷穿透扩散,结深 $2 \pm 0.3 \mu\text{m}$, $R \square = 15 \pm 5 \Omega$,形成穿透区;

(5) 光刻晶体管的隔离区;

(6) 硼隔离扩散,结深 $8 \pm 0.5 \mu\text{m}$, $R \square = 8 \pm 3 \Omega$,形成隔离区 8;

(7) 去掉所有氧化层,再次氧化,厚度 $0.6 \pm 0.05 \mu\text{m}$;

(8) 光刻 NPN 管的基区、传感器敏感电阻的接触区和横向 PNP 管的集电区 - 发射区;

(9) 硼基区扩散,结深 $2 \pm 0.3 \mu\text{m}$, $R \square = 130 \pm 20 \Omega$,形成 NPN 管的基区、传感器敏感电阻的接触区、横向 PNP 管的集电区和发射区;

(10) 光刻 NPN 管的发射区和横向 PNP 管的基区、压敏电阻的嵌位区、MOS 电容区;

(11) 磷扩散调 β , $\beta = 60-100$,形成 NPN 管的发射区、横向 PNP 管的基区、压敏电阻的嵌位区和 MOS 电容区;

(12) 光刻传感器敏感电阻区;

(13) 带胶硼注入,剂量 $3E13/\text{cm}^2$,能量 60keV ,去胶;

(14) LPCVD 淀积二氧化硅,厚度为 $0.3 \pm 0.05 \mu\text{m}$;

(15) 光刻电容区;

- (16) 薄氧化,厚度为 $0.1 \pm 0.02 \mu\text{m}$;
- (17) 双面淀积氮化硅,双面的氮化硅厚度为 $0.13 \pm 0.02 \mu\text{m}$,形成传感器敏感电阻, MOS 电容 ;
- (18) 光刻引线孔 ;
- (19) 溅射铬硅薄膜电阻, $R \square = 1000 \pm 200 \Omega$;
- (20) 光刻铬硅薄膜电阻 ;
- (21) 溅射硅铝层,硅铝层厚度 $1.2 \pm 0.2 \mu\text{m}$;
- (22) 光刻引线,形成硅铝引线 ;
- (23) 合金,温度 440°C ,30min ;
- (24) PECVD 淀积二氧化硅,厚度 $1.2 \pm 0.2 \mu\text{m}$,光刻钝化孔。

4. 根据权利要求 1 所述的一种单片集成压力传感器的制造方法,其特征在于:对所述已经做出了双极集成电路与传感器的压敏电阻的硅片的背面进行腐蚀、再进行硅玻璃键合的步骤包括:

(1) 将已经做好集成电路和传感器电阻的硅片,进行背面光刻,光刻出其背面正对传感器压敏电阻区域下面的硅区域;

(2) 用专用的腐蚀夹具(已申请发明专利,专利名称为:硅片腐蚀单面保护夹具,专利号为 2008102330392),让 KOH 腐蚀液只腐蚀背面正对传感器的压敏电阻区域下面的硅,而正面的集成电路和压敏电阻都不会被腐蚀,腐蚀深度 $350 \pm 10 \mu\text{m}$;

(3) 干法腐蚀掉背面的氮化硅和二氧化硅;

(4) 将所述硅片的背面与玻璃片进行硅玻璃阳极键合。

单片集成压力传感器的制造方法

技术领域

[0001] 本发明涉及一种单片集成压力传感器的制造方法。它适用于小型化、高可靠的压力传感器加工领域。

背景技术

[0002] 目前,半导体压力传感器制造技术中,制造压力传感器的方法主要有:

[0003] 1、薄膜压阻技术。它是在硅片衬底生长一层对压力敏感的压电薄膜材料,光刻出压阻区、溅射金属引线、光刻金属引线、合金,制作出薄膜压力传感器。它是利用了对压力敏感的压电薄膜材料来检测压力,从而形成压电薄膜电阻式的压力传感器。

[0004] 2、硅电阻式技术。它是通过氧化、光刻、P型扩散等半导体工艺技术方法,在N型硅片上制作出P型扩散电阻,利用MEMS技术的双面光刻、深槽腐蚀、硅玻璃键合,在硅片正对P型扩散电阻的硅片衬底背面腐蚀出深坑,让P型扩散电阻在硅薄膜上。它是利用压力致使硅薄膜变形,使得P型扩散电阻值发生变化,通过检测P型扩散电阻阻值的变化来测试压力,形成电阻式压力传感器。

[0005] 3、电容技术。它是通过MEMS技术的双面光刻、深槽腐蚀、硅玻璃键合等体硅技术,硅片为一极、玻璃上的金属为另一个电极,形成一个中空的极板电容。当硅片受力时,中空的极板电容距离发生变化,电容发生变化,通过检测电容的变化来检测压力,形成电容式压力传感器。

[0006] 不管采用上述哪一种半导体压力传感器,都需要把这些变化转换成电信号进行处理,最终形成所使用的压力传感器。随着压力传感器使用范围的广泛深入,迫切需求压力传感器与放大处理电路的单片式集成,以提高压力传感器的可靠性,降低其体积。

[0007] 而薄膜压阻技术所制作的压电薄膜电阻式压力传感器,其实现与放大处理电路的单片集成比较困难,主要原因是压电薄膜材料淀积、腐蚀加工与IC加工兼容时,容易污染IC工艺,引起IC漏电。电容技术所制作的电容式压力传感器,由于深槽腐蚀、硅玻璃键合等体硅技术与IC加工技术兼容有较大困难,因此其与放大处理电路实现单片集成也较困难。而硅电阻式技术所制作的电阻式压力传感器与放大处理电路实现单片集成,也存在如何有机地把压力传感器的加工工艺与放大电路加工工艺结合起来的难点,在实际工艺过程中,很难做到不相互影响,因此,其实现单片集成也很困难。

发明内容

[0008] 本发明的目的是提供一种单片集成压力传感器集成方法,把压力传感器加工工艺与双极电路加工工艺融和起来,将压力传感器与放大处理电路集成在同一芯片上,实现单片集成压力传感器的制作,以满足单片集成压力传感器的市场要求。

[0009] 本发明解决上述技术问题的技术方案在于,一种单片集成压力传感器的制造方法,其步骤为:

[0010] (1) 在P型硅衬底片上,制作双极模拟集成电路和压敏电阻用的P型硅衬底;

[0011] (2) 在所述双极模拟集成电路和压敏电阻用的 P 型硅衬底上进行 N- 外延工艺, 在所述 N- 外延层上制作双极集成电路与传感器的压敏电阻;

[0012] (3) 采用专用的腐蚀夹具, 对所述已经做出了双极集成电路与传感器的压敏电阻的硅片的背面进行腐蚀、再进行硅玻璃键合, 实现单片集成的压力传感器。

[0013] 所述制作双极模拟集成电路和压敏电阻用的 P 型硅衬底的步骤包括:

[0014] (1) P 型硅衬底片, 为 $\langle 100 \rangle$ 晶向、双面抛光、厚度 $400 \pm 10 \mu\text{m}$ 、电阻率 $7-13 \Omega \cdot \text{cm}$, 氧化, 氧化层厚度为 $0.6 \pm 0.05 \mu\text{m}$;

[0015] (2) 光刻 N+ 埋层区;

[0016] (3) 带胶砷注入, 剂量 $6E15/\text{cm}^2$, 能量 100keV , 去胶;

[0017] (4) 光刻 P+ 埋层区;

[0018] (5) 带胶硼注入, 剂量 $1E15/\text{cm}^2$, 能量 60keV , 去胶;

[0019] (6) 双面曝光, 光刻出传感器电阻区的背面区域; 干法腐蚀硅, 腐蚀深度为 $1 \pm 0.1 \mu\text{m}$;

[0020] (7) 双面淀积二氧化硅, 其厚度为 $0.5 \pm 0.1 \mu\text{m}$;

[0021] (8) 高温推结, 温度 1200°C , 8h , 去掉所有氧化层, 形成 P+ 埋层、N+ 埋层及背面区域标记。

[0022] 在所述 N- 外延层上制作双极集成电路与传感器的压敏电阻的步骤包括:

[0023] (1) 用所述 P 型硅衬底材料进行 N- 外延工艺, 外延层厚度 $8 \pm 1 \mu\text{m}$, 电阻率 $2 \pm 0.3 \Omega \cdot \text{cm}$;

[0024] (2) 将所述进行了 N- 外延工艺的 P 型硅衬底硅片的表面进行氧化, 形成二氧化硅氧化层, 厚度为 $1 \pm 0.1 \mu\text{m}$;

[0025] (3) 光刻 NPN 管的穿透区;

[0026] (4) 磷穿透扩散, 结深 $2 \pm 0.3 \mu\text{m}$, $R_{\square} = 15 \pm 5 \Omega$, 形成穿透区;

[0027] (5) 光刻晶体管的隔离区;

[0028] (6) 硼隔离扩散, 结深 $8 \pm 0.5 \mu\text{m}$, $R_{\square} = 8 \pm 3 \Omega$, 形成隔离区 8;

[0029] (7) 去掉所有氧化层, 再次氧化, 厚度 $0.6 \pm 0.05 \mu\text{m}$;

[0030] (8) 光刻 NPN 管的基区、传感器敏感电阻的接触区和横向 PNP 管的集电区 - 发射区;

[0031] (9) 硼基区扩散, 结深 $2 \pm 0.3 \mu\text{m}$, $R_{\square} = 130 \pm 20 \Omega$, 形成 NPN 管的基区、传感器敏感电阻的接触区、横向 PNP 管的集电区和发射区;

[0032] (10) 光刻 NPN 管的发射区和横向 PNP 管的基区、压敏电阻的嵌位区、MOS 电容区;

[0033] (11) 磷扩散调 β , $\beta = 60-100$, 形成 NPN 管的发射区、横向 PNP 管的基区、压敏电阻的嵌位区和 MOS 电容区;

[0034] (12) 光刻传感器敏感电阻区;

[0035] (13) 带胶硼注入, 剂量 $3E13/\text{cm}^2$, 能量 60keV , 去胶;

[0036] (14) LPCVD 淀积二氧化硅, 厚度为 $0.3 \pm 0.05 \mu\text{m}$;

[0037] (15) 光刻电容区;

[0038] (16) 薄氧化, 厚度为 $0.1 \pm 0.02 \mu\text{m}$;

[0039] (17) 双面淀积氮化硅, 双面的氮化硅厚度为 $0.13 \pm 0.02 \mu\text{m}$, 形成传感器敏感电

阻, MOS 电容;

[0040] (18) 光刻引线孔;

[0041] (19) 溅射铬硅薄膜电阻, $R \square = 1000 \pm 200 \Omega$;

[0042] (20) 光刻铬硅薄膜电阻;

[0043] (21) 溅射硅铝层, 硅铝层厚度 $1.2 \pm 0.2 \mu\text{m}$;

[0044] (22) 光刻引线, 形成硅铝引线;

[0045] (23) 合金, 温度 440°C , 30min;

[0046] (24) PECVD 淀积二氧化硅, 厚度 $1.2 \pm 0.2 \mu\text{m}$, 光刻钝化孔。

[0047] 对所述已经做出了双极集成电路与传感器的压敏电阻的硅片的背面进行腐蚀、再进行硅玻璃键合的步骤包括:

[0048] (1) 将已经做好集成电路和传感器电阻的硅片, 进行背面光刻, 光刻出其背面正对传感器压敏电阻区域下面的硅区域;

[0049] (2) 用专用的腐蚀夹具(已申请发明专利, 专利名称为: 硅片腐蚀单面保护夹具, 专利号为 2008102330392), 让 KOH 腐蚀液只腐蚀背面正对传感器的压敏电阻区域下面的硅, 而正面的集成电路和压敏电阻都不会被腐蚀, 腐蚀深度 $350 \pm 10 \mu\text{m}$;

[0050] (3) 干法腐蚀掉背面的氮化硅和二氧化硅;

[0051] (4) 将所述硅片的背面与玻璃片进行硅玻璃阳极键合。

[0052] 有益效果:

[0053] 由于本发明方法采用了上述的技术方案, 将压敏电阻制作工艺与双极集成电路加工工艺结合起来, 将高灵敏的压敏电阻制作放在双极电路加工工艺之后, 避免了双极电路加工的高温过程影响压敏电阻, 且利用专用的夹具保护了正面的集成电路和压敏电阻, 同时也腐蚀出了压敏电阻下面的深槽, 使压敏电阻成功地制作在可动的硅薄膜上, 解决了压力传感器与电路加工工艺兼容的技术难题, 实现了压力传感器与放大处理电路的单片集成。

附图说明

[0054] 图 1 为本发明带二氧化硅氧化层的 P 型硅片剖面示意图;

[0055] 图 2 为本发明图 1 的硅衬底片上制作了双极模拟集成电路和压敏电阻的 P+ 隔离、N+ 埋层后的剖面示意图;

[0056] 图 3 为本发明图 2 进行 N- 外延后的剖面示意图;

[0057] 图 4 为本发明图 3 进行磷穿透扩散、P 型隔离扩散、去掉二氧化硅后的剖面示意图;

[0058] 图 5 为本发明图 4 进行 NPN 管的基区、横向 PNP 管的集电区 - 发射区、压敏电阻的接触区扩散后的剖面示意图;

[0059] 图 6 为本发明图 5 进行了 NPN 管发射区、集电区、横向 PNP 管的基区、压敏电阻的嵌位区、MOS 电容区扩散, 并调了 β 后的剖面示意图;

[0060] 图 7 为本发明图 6 光刻压敏电阻、注入硼、LPCVD 淀积二氧化硅后的剖面示意图;

[0061] 图 8 为本发明图 7 光刻电容、薄氧化、LPCVD 双面淀积氮化硅后的剖面示意图;

[0062] 图 9 为本发明图 8 光刻引线孔、溅射铬硅薄膜电阻、光刻铬硅薄膜电阻、溅射硅铝、

光刻硅铝引线、合金并 PECVD 二氧化硅钝化和光刻后的剖面示意图；

[0063] 图 10 为本发明图 9 进行背面光刻、利用专用夹具进行背面深槽腐蚀、干法去掉背面氮化硅和二氧化硅后与玻璃进行阳极键合的剖面示意图；

具体实施方式

[0064] 本发明的具体实施方式不仅限于下面的描述。现结合附图对本发明加以进一步说明。

[0065] 本发明方法的主要步骤如下：

[0066] 1. 在 P 型硅衬底片 2 上,制作双极模拟集成电路和压敏电阻用的 P 型硅衬底的步骤如下：

[0067] (1)P 型硅衬底片 2, 为 <100> 晶向, 双面抛光, 厚度 $400 \pm 10 \mu\text{m}$, 电阻率 $7-13 \Omega \cdot \text{cm}$, 清洗, 氧化, 氧化层 1 厚度为 $0.6 \pm 0.05 \mu\text{m}$, 如图 1 所示；

[0068] (2) 光刻 N+ 埋层区 3；

[0069] (3) 带胶砷注入, 剂量 $6E15/\text{cm}^2$, 能量 100keV, 去胶；

[0070] (4) 光刻 P+ 埋层区 4；

[0071] (5) 带胶硼注入, 剂量 $1E15/\text{cm}^2$, 能量 60keV, 去胶；

[0072] (6) 采用双面曝光 (MEMS 常用技术) 的方法, 光刻出传感器电阻区的背面区域一干法腐蚀硅 5, 腐蚀深度为 $1 \pm 0.1 \mu\text{m}$ ；

[0073] (7) 双面淀积二氧化硅, 其厚度 $0.5 \pm 0.1 \mu\text{m}$ ；

[0074] (8) 高温推结, 温度 1200°C , 8h, 去掉所有氧化层, 得到 P+ 埋层 3, N+ 埋层 4, 背面区域标记 5, 如图 2 所示。

[0075] 2. 在所述 N- 外延层上, 制作双极集成电路与传感器的压敏电阻的步骤如下：

[0076] (1) 用所述 P 型硅衬底片进行 N- 外延工艺, 外延层 6 厚度 $8 \pm 1 \mu\text{m}$, 电阻率 $2 \pm 0.3 \Omega \cdot \text{cm}$, 如图 3 所示；

[0077] (2) 将所述进行了 N- 外延工艺的 P 型硅衬底硅片的表面进行氧化, 形成二氧化硅氧化层, 厚度 $1 \pm 0.1 \mu\text{m}$ ；

[0078] (3) 光刻 NPN 管的穿透区 7；

[0079] (4) 磷穿透扩散, 结深 $2 \pm 0.3 \mu\text{m}$, $R_{\square} = 15 \pm 5 \Omega$, 得到穿透区 7, 如图 4 所示；

[0080] (5) 光刻晶体管的隔离区 8；

[0081] (6) 硼隔离扩散, 结深 $8 \pm 0.5 \mu\text{m}$, $R_{\square} = 8 \pm 3 \Omega$, 得到隔离区 8, 如图 4 所示；

[0082] (7) 去掉所有氧化层；再次氧化, 厚度 $0.6 \pm 0.05 \mu\text{m}$ ；

[0083] (8) 光刻 NPN 管的基区 9、传感器敏感电阻的接触区 10、横向 PNP 管的集电区 11 和发射区 12；

[0084] (9) 硼基区扩散, 结深 $2 \pm 0.3 \mu\text{m}$, $R_{\square} = 130 \pm 20 \Omega$, 得到 NPN 管的基区 9、传感器敏感电阻的接触区 10、横向 PNP 管的集电区 11 和发射区 12, 如图 5 所示；

[0085] (10) 光刻 NPN 管的发射区 13、横向 PNP 管的基区 14、压敏电阻的嵌位区 15、MOS 电容区 16；

[0086] (11) 磷扩散调 β , $\beta = 60-100$, 得到 NPN 管的发射区 13、横向 PNP 管的基区 14、压敏电阻的嵌位区 15 和 MOS 电容区 16, 如图 6 所示；

- [0087] (12) 光刻传感器敏感电阻区 17；
- [0088] (13) 带胶硼注入，剂量 $3E13/cm^2$ ，能量 60keV，去胶；
- [0089] (14) LPCVD 淀积二氧化硅，厚度 $0.3 \pm 0.05 \mu m$ ，如图 7 所示；
- [0090] (15) 光刻电容区 16；
- [0091] (16) 薄氧化，氧化层 18 厚度 $0.1 \pm 0.02 \mu m$ ；
- [0092] (17) 双面淀积氮化硅层 19，一方面可以提高电容量，另一方面为了以后进行背面深槽腐蚀时用作掩蔽层，氮化硅层 19 厚度 $0.13 \pm 0.02 \mu m$ ，得到传感器敏感电阻 17，MOS 电容 16，如图 8 所示；
- [0093] (18) 光刻引线孔 20；
- [0094] (19) 溅射铬硅薄膜电阻，用于精密电阻， $R \square = 1000 \pm 200 \Omega$ ；
- [0095] (20) 光刻铬硅薄膜电阻，得到铬硅电阻 21，如图 9 所示；
- [0096] (21) 溅射硅铝，厚度 $1.2 \pm 0.2 \mu m$ ；
- [0097] (22) 光刻引线，得到硅铝引线 22，如图 9 所示；
- [0098] (23) 合金，温度 $440^\circ C$ ，30min；
- [0099] (24) PECVD 淀积二氧化硅，厚度 $1.2 \pm 0.2 \mu m$ ，光刻钝化孔。
- [0100] 3. 对所述已经做出了双极集成电路与传感器的压敏电阻的硅片的背面进行腐蚀、再进行硅玻璃键合的步骤如下：
- [0101] (1) 将已经做好集成电路和传感器电阻的硅片 2，进行背面光刻，光刻出正对传感器压敏电阻区域下面的硅区域 5；
- [0102] (2) 用专用的腐蚀夹具（已申请发明专利，专利名称为：硅片腐蚀单面保护夹具，专利号为 2008102330392），让 KOH 腐蚀液只腐蚀背面正对传感器的压敏电阻区域下面的硅，而正面的集成电路和压敏电阻都不会被腐蚀，腐蚀深度 $350 \pm 10 \mu m$ ，硅槽 23，如图 10 所示；
- [0103] (3) 干法腐蚀掉背面的氮化硅和二氧化硅；
- [0104] (4) 将所述硅片背面与玻璃片 24 进行硅玻璃阳极键合，得到单片集成的压力传感器，如图 10 所示。
- [0105] 本发明方法中所用单项工艺，除已经作了详细描述的外，其他的，如清洗、氧化、沉积氮化硅、硅 / 玻键合、光刻、硅及硅氧化层、氮化硅的腐蚀、涂胶、除胶等的单项工艺、设备及化工材料、试剂均为本领域通用技术，不再详述。

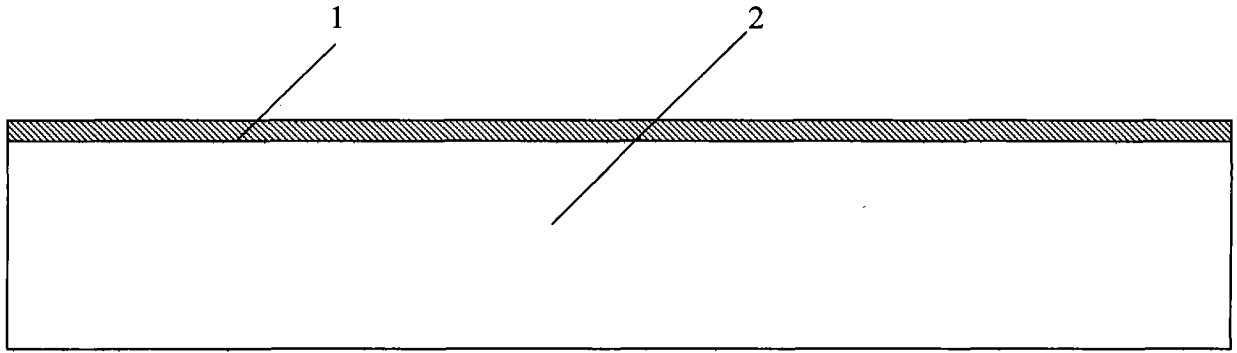


图 1

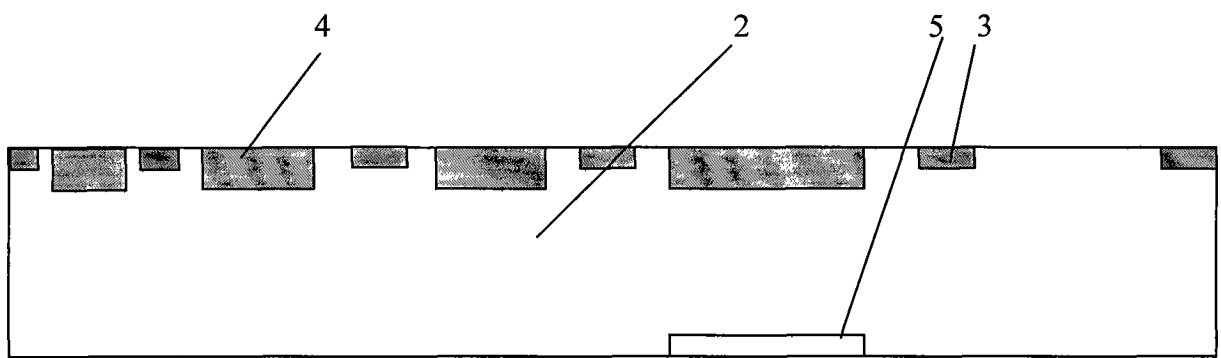


图 2

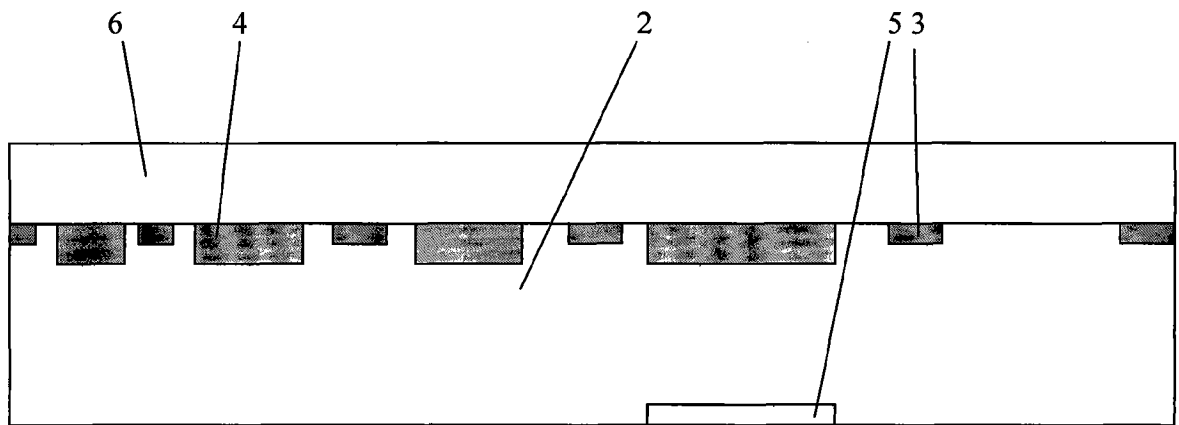


图 3

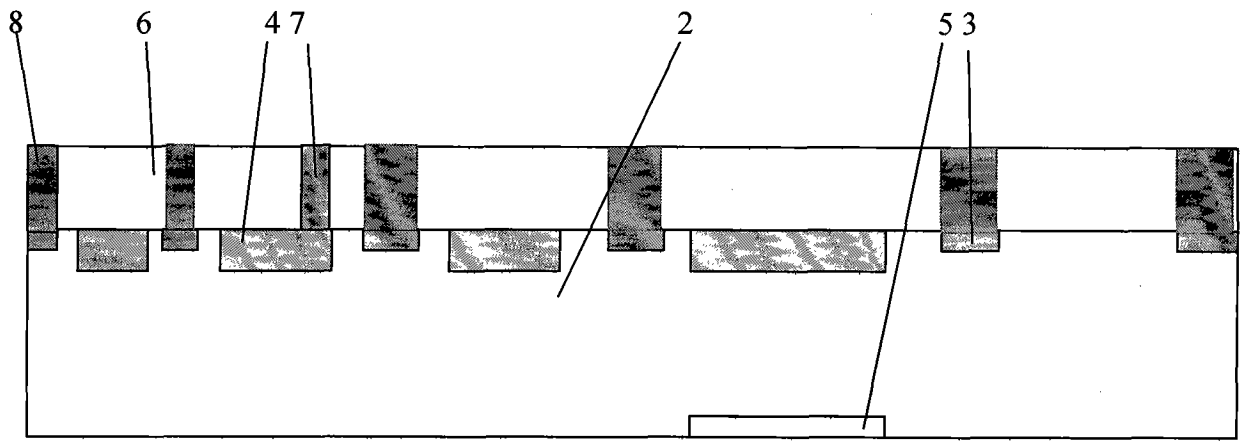


图 4

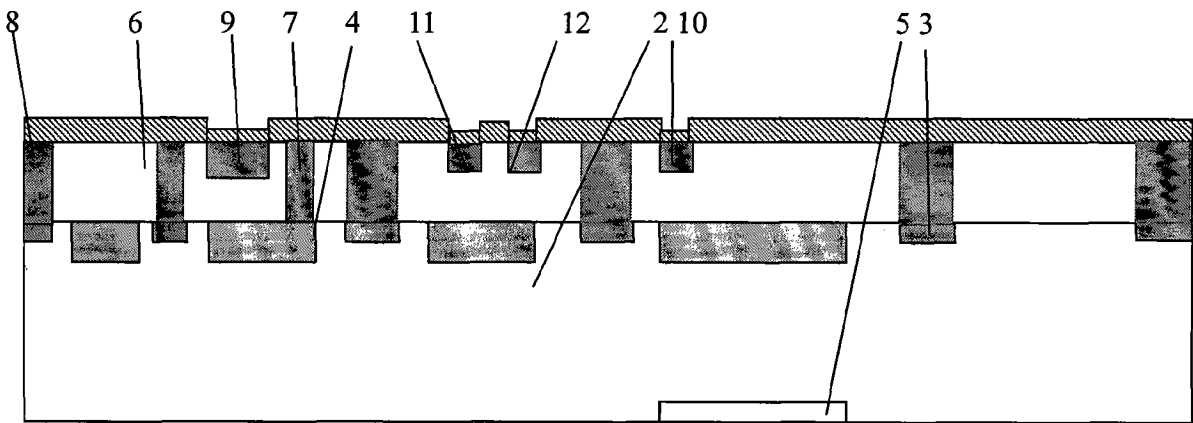


图 5

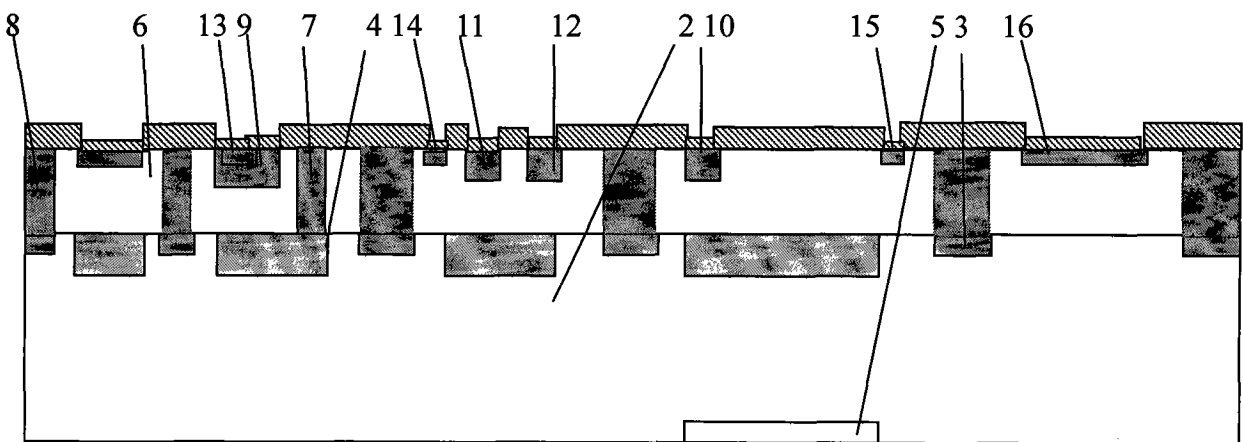


图 6

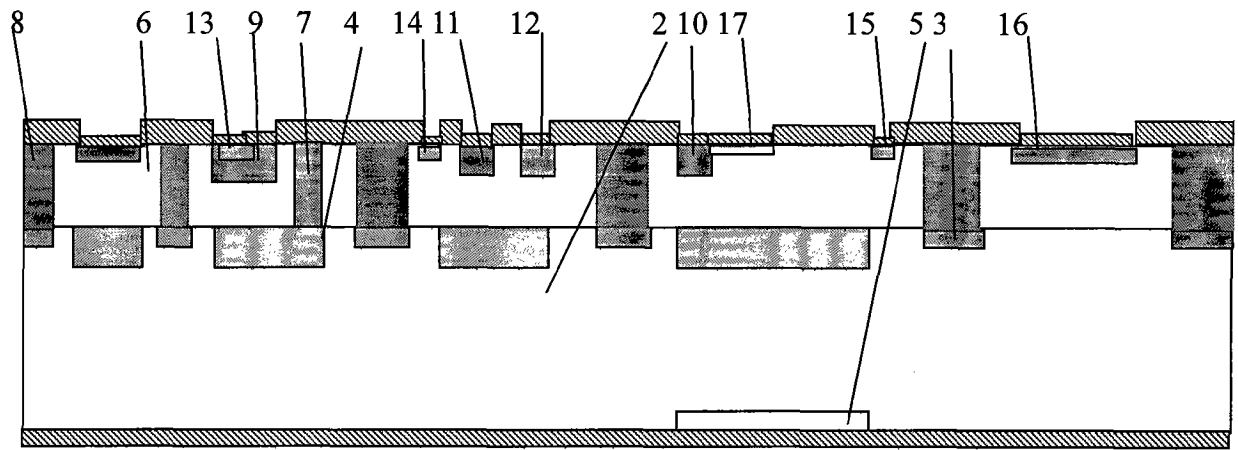


图 7

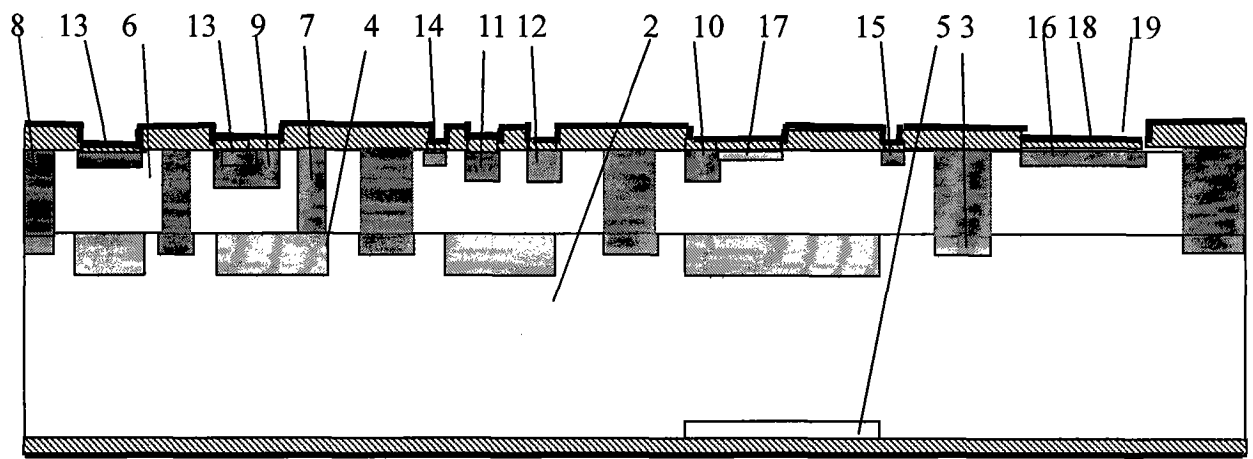


图 8

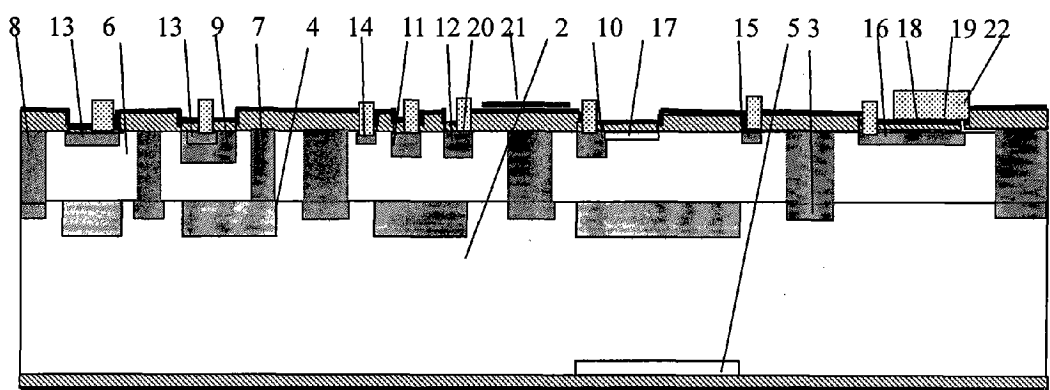


图 9

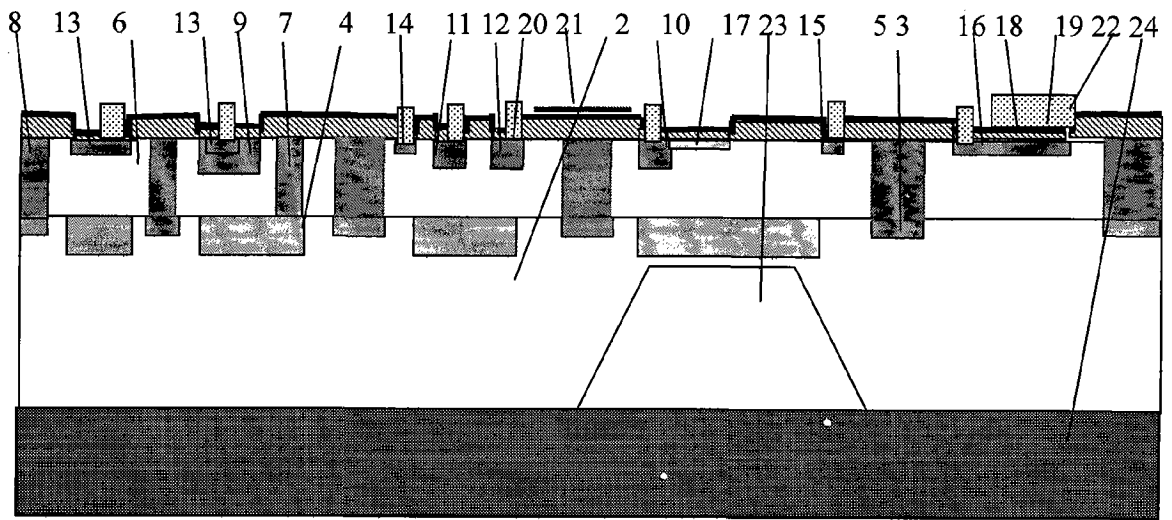


图 10