

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-60363

(P2006-60363A)

(43) 公開日 平成18年3月2日(2006.3.2)

(51) Int. Cl.	F I		テーマコード (参考)
H04B 5/02 (2006.01)	H04B	5/02	2C005
G06K 17/00 (2006.01)	G06K	17/00	F 5B035
G06K 19/07 (2006.01)	G06K	19/00	H 5B058
B42D 15/10 (2006.01)	G06K	19/00	N 5K012
	B42D	15/10 521	

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願2004-238151 (P2004-238151)
 (22) 出願日 平成16年8月18日 (2004.8.18)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (71) 出願人 000233295
 日立ハイブリッドネットワーク株式会社
 神奈川県横浜市戸塚区戸塚町393番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 中臺 浩
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 (72) 発明者 中嶋 康好
 神奈川県横浜市戸塚区戸塚町393番地 日立ハイブリッドネットワーク株式会社内

最終頁に続く

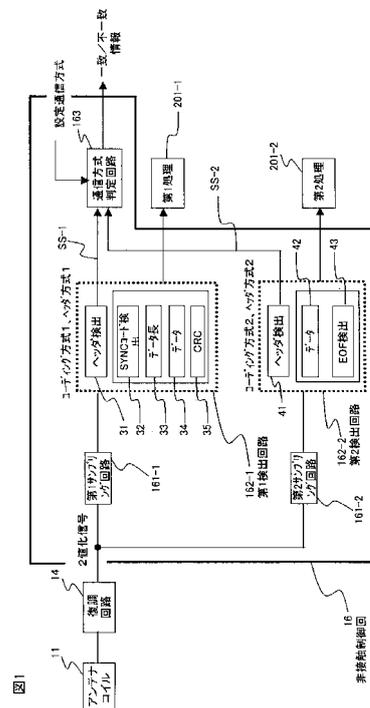
(54) 【発明の名称】 半導体集積回路及び非接触ICカード

(57) 【要約】

【課題】 複数の通信方式に対応可能な非接触ICカードにおいて、接続が確立されて実際に情報のやり取りが可能となるまでの時間短縮を図る。

【解決手段】 入力信号を復調可能な単一の復調回路(14)と、上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な複数のサンプリング回路(161-1, 161-2)と、それぞれ対応する上記サンプリング回路の出力信号についてのヘッダ検出を可能とする複数の検出回路(162-1, 162-2)と、それぞれ対応する上記検出回路の検出結果に基づいて所定のデータ処理を可能とする複数の処理回路(201-1, 201-2)と、上記複数の検出回路によるヘッダ検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路(163)とを設け、互いに異なる複数の通信方式に対応する処理を並行して行うことで、接続が確立されて実際に情報のやり取りが可能となるまでの時間短縮を図る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力信号を復調可能な復調回路と、

それぞれ上記復調回路の出力に共通結合され、且つ、上記復調回路の出力信号をそれぞれ所定のクロック信号に同期してサンプリング可能な複数のサンプリング回路と、

上記サンプリング回路に対応して配置され、且つ、それぞれ対応する上記サンプリング回路の出力信号についてのヘッダ検出を可能とする複数の検出回路と、

上記複数の検出回路に対応して配置され、且つ、それぞれ対応する上記検出回路の検出結果に基づいて所定のデータ処理を可能とする複数の処理回路と、

上記複数の検出回路によるヘッダ検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含んで成る半導体集積回路。 10

【請求項 2】

上記複数のサンプリング回路及び上記複数の検出回路はそれぞれ並列動作され、上記複数の処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される請求項 1 記載の半導体集積回路。

【請求項 3】

入力信号を復調可能な復調回路と、

上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第 1 サンプリング回路と、

上記第 1 サンプリング回路のサンプリング動作に並列して、上記第 1 サンプリング回路への入力と同じ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第 2 サンプリング回路と、 20

上記第 1 サンプリング回路の出力信号からヘッダ検出を可能とする第 1 検出回路と、

上記第 1 検出回路に対して並列動作され、上記第 2 サンプリング回路の出力信号からヘッダ検出を可能とする第 2 検出回路と、

上記第 1 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 1 処理回路と、

上記第 2 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 2 処理回路と、

上記第 1 検出回路及び上記第 2 検出回路による検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含み、 30

上記第 1 処理回路及び上記第 2 処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される半導体集積回路。

【請求項 4】

上記第 1 検出回路は上記第 1 サンプリング回路の出力信号からプリアンブル検出を行い、上記第 2 検出回路は上記第 2 サンプリング回路の出力信号から所定の開始フレームの検出を行う請求項 3 記載の半導体集積回路。

【請求項 5】

入力信号を復調可能な復調回路と、

上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第 1 サンプリング回路と、 40

上記第 1 サンプリング回路のサンプリング動作に並列して、上記第 1 サンプリング回路への入力と同じ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第 2 サンプリング回路と、

上記第 1 サンプリング回路の出力信号からヘッダ検出を可能とする第 1 検出回路と、

第 1 検出回路のサンプリング動作に並列して、上記第 1 サンプリング回路への入力と同じ上記第 2 サンプリング回路の出力信号からヘッダ検出を可能とする第 2 検出回路と、

上記第 1 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 1 処理回路と、

上記第 2 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 2 処理回路 50

と、

上記第 1 サンプリング回路及び上記第 2 サンプリング回路の出力信号から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含み、

上記第 1 処理回路及び上記第 2 処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される半導体集積回路。

【請求項 6】

上記通信方式判定回路は、ISO 14443 - A で規定された第 1 通信方式と、ISO 14443 - B で規定された第 2 通信方式とを判定する請求項 5 記載の半導体集積回路。

【請求項 7】

入力信号を復調可能な復調回路と、

上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第 1 サンプリング回路と、

上記第 1 サンプリング回路のサンプリング動作に並列して、上記第 1 サンプリング回路への入力と同じ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第 2 サンプリング回路と、

上記第 1 サンプリング回路の出力信号からヘッダ検出を可能とする第 1 検出回路と、

上記第 1 検出回路に対して並列動作され、上記第 1 サンプリング回路の出力信号からヘッダ検出を可能とする第 2 検出回路と、

上記第 1 検出回路及び上記第 2 検出回路に対して並列動作され、上記第 2 サンプリング回路の出力信号からヘッダ検出を可能とする第 3 検出回路と、

上記第 1 検出回路、上記第 2 検出回路、及び上記第 3 検出回路に対して並列動作され、上記第 2 サンプリング回路の出力信号からヘッダ検出を可能とする第 4 検出回路と、

上記第 1 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 1 処理回路と、

上記第 2 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 2 処理回路と、

上記第 3 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 3 処理回路と、

上記第 4 検出回路の検出結果を取り込んで所定のデータ処理を可能とする第 4 処理回路と、

上記第 1 検出回路、上記第 2 検出回路、上記第 3 検出回路、及び上記第 4 検出回路による検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含み、

上記第 1 処理回路、上記第 2 処理回路、上記第 3 処理回路、及び上記第 4 処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される半導体集積回路。

【請求項 8】

アンテナと、上記アンテナに接続された請求項 1 乃至 7 の何れか 1 項記載の半導体集積回路とを含む非接触 IC カード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、IC カード技術、特に、互いに異なる複数の通信方式に対応可能な非接触 IC カード及びそれに搭載される半導体集積回路に関する。

【背景技術】

【0002】

従来の非接触インタフェースを有するカードは、ISO 規格で制定されている ISO 14443 - A と、ISO 14443 - B や、日本 IC カード利用促進協議会 (JICSA) で規定されている高速処理用 IC カード方式 (「高速タイプ」と称される) 等多数の方式がある。近年、接触と非接触とのコンビネーションカードが普及しつつあり、非接触においても複数の異なる通信方式でのコンビネーションカードの需要がある。

10

20

30

40

50

【 0 0 0 3 】

複数の通信インタフェースの切替機能を持った非接触ICカードとリーダーライタ間において、通信方式を切り替えながら探索して接続を確立する非接触ICカード交信確立方法及びシステム装置の一例として、例えば特許文献1に記載されているように、非接触ICカードとリーダーライタ間の通信方式の確立に当り、外部からの変調信号を受信した時にその反復性から信号と雑音を区別して、前段で復調方式を後段で符号化方式をそれぞれ順次切り替えて整合させることによって、前記非接触ICカード又は前記リーダーライタからの信号と合致する通信方式を探索し、相互に通信を確立する技術が知られている。

【 0 0 0 4 】

また、特許文献2に記載されているように、外部との通信を行うための複数の情報伝達手段と、どの情報伝達手段を通して情報が伝達されたかを検知する識別手段と、情報伝達手段とデフォルトアプリケーションとの対応を設定したデフォルトアプリケーション管理テーブルを参照し、前記識別手段で検知した情報伝達手段に対応するデフォルトアプリケーション情報を取得して当該デフォルトアプリケーションを選択する制御手段とを備えた可搬情報処理装置が知られている。

10

【 0 0 0 5 】

【特許文献1】特開2003-233787号公報

【特許文献2】特開2003-044801号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 0 6 】

特許文献1に記載された技術によれば、通信方式を切り替えながら探索して接続を確立する方式を採用しているため、接続が確立されるまでに時間がかかることが、本発明者によって見いだされた。例えば複数の復調回路の入力側に配置された復調用セレクタによって復調回路の選択が行われ、その復調回路の選択毎に復調できるか否かの判別が行われ、この判別において復調できない場合には、次の復調回路が選択され、今度はその復調回路で復調できるか否かの判別が行われる。このような判別において復調できると判断された場合には、上記複数の復調回路の出力側に配置された符号化用セレクタによって、複数のデコード回路が順次選択され、その選択毎に入力データのデコードができるか否かの判別が行われることから、非接触ICカードとリーダーライタ間において、接続が確立して実際に情報のやり取りが可能となるまでに時間がかかる。

30

【 0 0 0 7 】

また、上記特許文献2によれば、CPUのOS実行部が外部端子(リーダーライタ)から送信されてくるコマンドの内容を解析する前に、その伝達手段(接触/非接触及び通信プロトコル)を識別し、且つ、その結果を通知する機能を持つ識別手段を備える。通信プロトコルの違いは、OSの下層にある通信モジュールが判別してOSに通知するようにしているが、通信プロトコルの違いの具体的な判別方法については記載されていない。

【 0 0 0 8 】

本発明の目的は、複数の通信方式に対応可能な非接触ICカードにおいて、接続が確立されて実際に情報のやり取りが可能となるまでの時間短縮を図るための技術を提供することにある。

40

【 0 0 0 9 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 0 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 1 】

すなわち、入力信号を復調可能な復調回路と、それぞれ上記復調回路の出力に共通結合

50

され、且つ、上記復調回路の出力信号をそれぞれ所定のクロック信号に同期してサンプリング可能な複数のサンプリング回路と、上記サンプリング回路に対応して配置され、且つ、それぞれ対応する上記サンプリング回路の出力信号についてのヘッダ検出を可能とする複数の検出回路と、上記複数の検出回路に対応して配置され、且つ、それぞれ対応する上記検出回路の検出結果に基づいて所定のデータ処理を可能とする複数の処理回路と、上記複数の検出回路によるヘッダ検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路とを設ける。

【 0 0 1 2 】

上記の手段によれば、単一の復調回路の出力信号が上記複数のサンプリング回路に入力され、上記複数のサンプリング回路の出力信号が、それぞれ対応する複数の検出回路に入力され、上記複数の検出回路の検出結果が、それぞれ対応する複数の処理回路に伝達されることから、互いに異なる複数の通信方式に対応する処理が並行して行われる。このことが、セクタを用いて順次回路選択を行う従来方式に比べて、接続が確立されて実際に情報のやり取りが可能となるまでの時間短縮を達成する。

10

【 0 0 1 3 】

このとき、上記複数のサンプリング回路及び上記複数の検出回路をそれぞれ並列動作させ、上記複数の処理回路を上記通信方式判定回路の判定結果に基づいて排他的に動作させることができる。

【 0 0 1 4 】

更に具体的な態様として、以下のように構成することができる。

20

【 0 0 1 5 】

入力信号を復調可能な復調回路と、上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第1サンプリング回路と、上記第1サンプリング回路のサンプリング動作に並列して、上記第1サンプリング回路への入力と同じ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第2サンプリング回路と、上記第1サンプリング回路の出力信号からヘッダ検出を可能とする第1検出回路と、上記第1検出回路に対して並列動作され、上記第2サンプリング回路の出力信号からヘッダ検出を可能とする第2検出回路と、上記第1検出回路の検出結果を取り込んで所定のデータ処理を可能とする第1処理回路と、上記第2検出回路の検出結果を取り込んで所定のデータ処理を可能とする第2処理回路と、上記第1検出回路及び上記第2検出回路による検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含み、上記第1処理回路及び上記第2処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される。このとき、上記第1検出回路は上記第1サンプリング回路の出力信号からプリアンブル検出を行い、上記第2検出回路は上記第2サンプリング回路の出力信号からSOF(Start Of Frame: 開始フレーム)検出を行う。

30

【 0 0 1 6 】

入力信号を復調可能な復調回路と、上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第1サンプリング回路と、上記第1サンプリング回路のサンプリング動作に並列して、上記第1サンプリング回路への入力と同じ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第2サンプリング回路と、上記第1サンプリング回路の出力信号からヘッダ検出を可能とする第1検出回路と、第1検出回路に対して並列動作され、上記第2サンプリング回路の出力信号からヘッダ検出を可能とする第2検出回路と、上記第1検出回路の検出結果を取り込んで所定のデータ処理を可能とする第1処理回路と、上記第2検出回路の検出結果を取り込んで所定のデータ処理を可能とする第2処理回路と、上記第1サンプリング回路及び上記第2サンプリング回路の出力信号から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含み、上記第1処理回路及び上記第2処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される。このとき、上記通信方式判定回路では、ISO14443-Aで規定された第1通信方式と、ISO14443-Bで規定された第2通信方式とを判定することができる。

40

50

【0017】

入力信号を復調可能な復調回路と、上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第1サンプリング回路と、上記第1サンプリング回路のサンプリング動作に並列して、上記第1サンプリング回路への入力と同じ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第2サンプリング回路と、上記第1サンプリング回路の出力信号からヘッダ検出を可能とする第1検出回路と、上記第1検出回路に対して並列動作され、上記第1サンプリング回路の出力信号からヘッダ検出を可能とする第2検出回路と、上記第1検出回路及び上記第2検出回路に対して並列動作され、上記第2サンプリング回路の出力信号からヘッダ検出を可能とする第3検出回路と、上記第1検出回路、上記第2検出回路、及び上記第3検出回路に対して並列動作され、上記第2サンプリング回路の出力信号からヘッダ検出を可能とする第4検出回路と、上記第1検出回路の検出結果を取り込んで所定のデータ処理を可能とする第1処理回路と、上記第2検出回路の検出結果を取り込んで所定のデータ処理を可能とする第2処理回路と、上記第3検出回路の検出結果を取り込んで所定のデータ処理を可能とする第3処理回路と、上記第4検出回路の検出結果を取り込んで所定のデータ処理を可能とする第4処理回路と、上記第1検出回路、上記第2検出回路、上記第3検出回路、及び上記第4検出回路による検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路と、を含み、上記第1処理回路、上記第2処理回路、上記第3処理回路、及び上記第4処理回路は、上記通信方式判定回路の判定結果に基づいて排他的に動作される。

10

【0018】

20

そして、上記構成の半導体集積回路を搭載して、互いに通信方式が異なる複数のリーダライタに対応可能な非接触ICカードを構成することができる。

【発明の効果】

【0019】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0020】

すなわち、複数の通信方式に対応可能な非接触ICカードにおいて接続が確立されるまでの時間短縮を図ることができる。

【発明を実施するための最良の形態】

30

【0021】

図6は、本発明にかかる非接触ICカードを含む非接触ICカードシステムが示される。この非接触ICカードシステムは、互いに通信方式が異なるリーダライタRW-001、RW-002と、上記リーダライタRW-001、RW-002との間で非接触による情報のやり取りを可能とする非接触ICカードCD-003とを含む。非接触ICカードCD-003は、リーダライタRW-001との間の通信方式T-001と、リーダライタRW-002との間の通信方式T-002との双方に対応する。特に制限されないが、通信方式T-001はISO14443-Bとされ、通信方式T-002は高速タイプとされる。ここで、高速タイプは、コーディング方式1(マンチェスタ)、パケットフォーマットのヘッダ方式1(プリアンブル)とされ、ISO14443-Bタイプは、コーディング方式2(NRZ)、パケットフォーマットのヘッダ方式2(SOF)とされる。

40

【0022】

図7は、上記非接触ICカードCD-003の全体的な構成例が示される。

【0023】

非接触ICカードCD-003は、特に制限されないが、アンテナコイル11、整流回路12、電源回路13、CPU20、復調回路14、変調回路15、非接触制御回路16、ROM(リード・オンリー・メモリ)17、RAM(ランダム・アクセス・メモリ)18、EEPROM(エレクトリカリ・イレーザブル・プログラマブル・リード・オンリー・メモリ)19、CPU(中央処理装置)を含み、上記アンテナコイル11を除いて、公知の半導体集積回路製造技術により単結晶シリコン基板などの一つの半導体基板に形成さ

50

れる。

【0024】

アンテナコイル11は、リーダライタRW-001又はRW-002との間の電磁誘導により、リーダライタRW-001又はRW-002側からの電源供給、及び各種情報のやり取りを可能とする。整流回路12は、上記アンテナコイル11で得られる誘導電流を整流する。この整流出力は電源回路13に供給される。電源回路13は、上記整流回路12の出力に基づいて、非接触ICカードCD-003における内部回路の動作電源電圧を形成する。復調回路14は、上記アンテナコイル14を介してリーダライタRW-001又はRW-002から伝達された変調信号を復調することによって2値化信号を出力する。この復調回路14から出力された2値化信号は後段の非接触制御回路16に伝達される。変調回路15は、所定の搬送波を、非接触制御回路16から伝達された信号に基づいて変調する。この変調回路15の出力信号は、上記アンテナコイル11を介してリーダライタRW-001又はRW-002に伝達される。非接触制御回路16は、所定の通信プロトコルに従って、リーダライタRW-001又はRW-002との間の非接触状態での情報交換を行うための各種制御を行う。ROM17には、CPU20で実行される基本プログラムであるOS(オペレーティング・システム)が格納される。RAM18は、データの一時的な記憶領域や上記CPU20での演算処理の作業領域などに利用される。EEPROM19は上記CPU20で実行されるアプリケーションプログラムが格納される。上記非接触制御回路16、ROM17、RAM18、EEPROM19及びCPU20は、バス21を介して相互に信号のやり取り可能に結合される。

10

20

【0025】

図1には、上記非接触制御回路16の構成例が示される。

【0026】

非接触制御回路16は、第1サンプリング回路161-1、第2サンプリング回路161-2、第1検出回路162-1、第2検出回路162-2、及び通信方式判定回路163を含んで成る。第1サンプリング回路161-1は、上記復調回路14の出力信号を所定のクロック信号に同期してサンプリングする。この第1サンプリング回路161-1の出力信号は、それに対応して配置された第1検出回路162-1に伝達される。第2サンプリング回路161-2は、上記復調回路14の出力信号を所定のクロック信号に同期してサンプリングする。この第2サンプリング回路161-2の出力信号は、それに対応して配置された第2検出回路162-2に伝達される。通信方式判定回路163は、上記第1検出回路162-1のヘッダ検出結果及び上記第2検出回路162-2のヘッダ検出結果から、予め設定された通信方式に合致するものを判定する。本例では、通信方式T-001はISO14443-Bとされ、通信方式T-002は高速タイプとされるため(図6参照)、それに対応して通信判定回路163では、ISO14443-Bタイプと、高速タイプとの判別が行われる。

30

【0027】

上記のように、高速タイプは、コーディング方式1(マンチェスタ)と、パケットフォーマットのヘッダ方式1(プリアンブル)とされ、ISO14443-Bタイプは、コーディング方式2(NRZ)、パケットフォーマットのヘッダ方式2(SOF)とされるため、第1検出回路162-1のヘッダ検出31においてプリアンブル検出が行われ、第2検出回路162-2のヘッダ検出においてSOF検出が行われる。

40

【0028】

例えば、図8に示されるように、高速タイプのリーダ信号R-1は、高速タイプヘッダであるプリアンブル(FM-1)を有しており、第1検出回路162-1のヘッダ検出31においてこのプリアンブル(FM-1)が検出された場合には、第1検出回路162-1のヘッダ検出結果SS-1がハイレベルにアサートされることによって、プリアンブル(FM-1)が検出されたことが、通信方式判定回路163に伝達される。このとき、第2検出回路162-2におけるヘッダ検出41の検出結果SS-2はローレベルの状態が維持される。

50

【0029】

それに対して、ISO14443-Bタイプのリーダ信号R-2は、ISO14443-BタイプのヘッダであるSOF(FM-2)を有しており、第2検出回路162-2におけるヘッダ検出41においてこのSOF(FM-2)が検出された場合には、第2検出回路162-2におけるヘッダ検出41の検出結果SS-2がハイレベルにアサートされることによって、SOF(FM-2)が検出されたことが、通信方式判定回路163に伝達される。このとき、第1検出回路162-1におけるヘッダ検出31の検出結果SS-1はローレベルの状態が維持される。

【0030】

上記通信方式判定回路163は、ヘッダ検出結果SS-1がハイレベルにアサートされた場合には、一致/不一致情報として「高速タイプ」に一致する旨の信号をCPU20に供給し、ヘッダ検出結果SS-2がハイレベルにアサートされた場合には、一致/不一致情報として「ISO14443-Bタイプ」に一致する旨の信号をCPU20に供給する。

10

【0031】

上記第1検出回路162-1においては、上記ヘッダ検出31の他に、SYNC(同期)コード検出32、データ長検出33、データ検出34、CRC(誤り訂正符号)検出35が行われ、その検出結果が第1処理回路201-1に伝達される。第1処理回路201-1は、特に制限されないが、CPU20において所定のプログラムが実行されることによって実現される処理手段とされる。また、上記第2検出回路162-1においては、上記ヘッダ検出41の他に、データ検出42、EOF(End Of Frame)検出43が行われ、その検出結果が第2処理回路201-2に伝達される。第2処理回路202-2は、特に制限されないが、CPU20において所定のプログラムが実行されることによって実現される処理手段とされる。

20

【0032】

ここで、図2に示されるように、上記第1サンプリング回路161-1と第2サンプリング回路161-2とが並列動作され、第1検出回路162-1と第2検出回路162-2とが並列動作されるのに対して、第1処理回路201-1での処理と、上記第2処理回路201-2での処理とは、図2に示されるように、上記通信方式判定回路163での判定結果に応じて排他的に行われる。すなわち、ヘッダ検出結果SS-1がハイレベルにアサートされた場合には、上記通信方式判定回路163からの一致/不一致情報として「高速タイプ」に一致する旨の信号がCPU20に供給され、このCPU20での制御により、第2処理回路201-2での処理の実行が禁止される。「高速タイプ」の通信方式でのデータ入力に対して、「ISO14443-Bタイプ」に対応する処理を第2処理回路201-2で行っても無駄となるからである。同様に、ヘッダ検出結果SS-2がハイレベルにアサートされた場合には、上記通信方式判定回路163からの一致/不一致情報として「ISO14443-Bタイプ」に一致する旨の信号がCPU20に供給され、このCPU20での制御により、第1処理回路201-1での処理の実行が禁止される。「ISO14443-Bタイプ」の通信方式でのデータ入力に対して、「高速タイプ」に対応する処理を第1処理回路201-1で行っても無駄となるからである。

30

40

【0033】

上記例によれば、以下の作用効果を得ることができる。

【0034】

(1)入力信号を復調可能な単一の復調回路14と、それぞれ上記復調回路の出力信号を所定のクロック信号に同期してサンプリング可能な第1サンプリング回路161-1、第2サンプリング回路16-2と、それぞれ対応する回路の出力信号についてのヘッダ検出を可能とする第1検出回路162-1、第2検出回路162-2と、それぞれ対応する上記検出回路の検出結果に基づいて所定のデータ処理を可能とする第1処理回路201-1、第2処理回路201-2と、上記複数の検出回路によるヘッダ検出結果から、予め設定された通信方式に合致するものを判定可能な通信方式判定回路163とを設け、サンプ

50

リング可能な第1サンプリング回路161-1と、第2サンプリング回路16-2とが並列動作され、第1検出回路162-1と、第2検出回路162-2とが並列動作されるため、従来技術のようにセレクタによって順次回路選択を行って適切な回路を決定する方式に比べると、接続が確立されて実際に情報のやり取りが可能となるまでの時間を短縮することができる。

【0035】

(2)第1処理回路201-1での処理と、上記第2処理回路201-2での処理とが、上記通信方式判定回路163での判定結果に応じて排他的に行われることにより、処理の無駄を省くことができる。

【0036】

別の構成例について説明する。

【0037】

図3に示される構成が、図1に示される構成と大きく相違するのは、第1サンプリング回路161-1の出力信号と、第2サンプリング回路161-2の出力信号とを通信方式判定回路163に供給し、この第1サンプリング回路161-1の出力信号と、第2サンプリング回路161-2の出力信号とに基づいて通信方式の判定を行う点である。例えば、図9に示されるように、ISO14443-Aタイプでは、RF動作磁界を瞬断させることでASK100%変調する方式が用いられ、ISO14443-Bタイプでは、ASK10%で変調する方式が用いられるため、この違いを、第1サンプリング回路161-1の出力信号と、第2サンプリング回路161-2の出力信号とに基づいて判別することができる。

10

20

【0038】

図4に示される構成が、図1に示されるのと大きく相違するのは、N(N=3,4,5,...)個のサンプリング回路161-1~161-Nが設けられ、それに対応してN個の検出回路162-1~162-N、及びN個の処理回路201-1~201-Nが設けられている点である。このようにすることで、互いに異なる、より多くの通信方式に対応可能な非接触ICカードを形成することができる。

【0039】

図5に示される構成が、図1に示されるのと大きく相違するのは、第1サンプリング161-1に対応して、第1検出回路162-1と第2検出回路162-2とが配置され、第2サンプリング回路161-2に対応して、第3検出回路162-3と第4検出回路162-4とが設けられている点である。尚、第1検出回路162-1、第2検出回路162-2、第3検出回路162-3、第4検出回路162-4には、それぞれ図1に示されるのと同様に処理回路が結合されるが、図5ではそれらが省略されている。

30

【0040】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるICカードに搭載される半導体集積回路に適用した場合について説明したが、本発明はそれに限定されない。

40

【0042】

本発明は、少なくとも入力信号を復調可能な単一の復調回路を備えることを条件に適用することができる。

【図面の簡単な説明】

【0043】

【図1】本発明にかかる非接触ICカードに搭載される半導体集積回路における主要部の構成例ブロック図である。

【図2】上記半導体集積回路の動作説明図である。

【図3】上記半導体集積回路における主要部の別の構成例ブロック図である。

50

【図4】上記半導体集積回路における主要部の別の構成例ブロック図である。

【図5】上記半導体集積回路における主要部の別の構成例ブロック図である。

【図6】上記非接触ICカードを含む非接触ICカードシステムの構成例説明図である。

【図7】上記半導体集積回路の構成例ブロック図である。

【図8】上記半導体集積回路において行われるヘッダ検出の説明図である。

【図9】上記半導体集積回路において行われるヘッダ検出の説明図である。

【符号の説明】

【0044】

11 アンテナ

12 整流回路

13 電源回路

14 復調回路

15 変調回路

16 非接触制御回路

161 - 1 第1サンプリング回路

161 - 2 第2サンプリング回路

161 - N 第Nサンプリング回路

162 - 1 第1検出回路

162 - 2 第2検出回路

162 - 3 第3検出回路

162 - 4 第4検出回路

162 - N 第N検出回路

163 通信方式判定回路

17 ROM

18 RAM

19 EEPROM

21 バス

RW - 001, RW - 002 リーダライタ

CD - 003 非接触ICカード

10

20

【 図 1 】

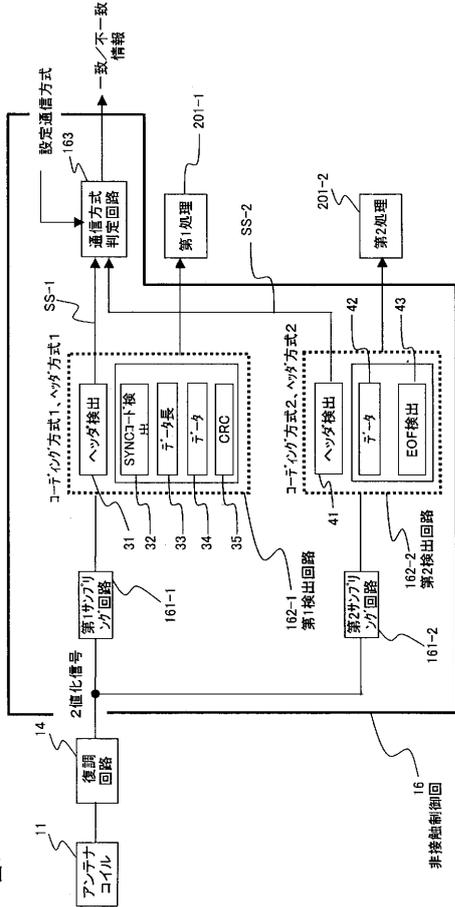


図1

【 図 2 】

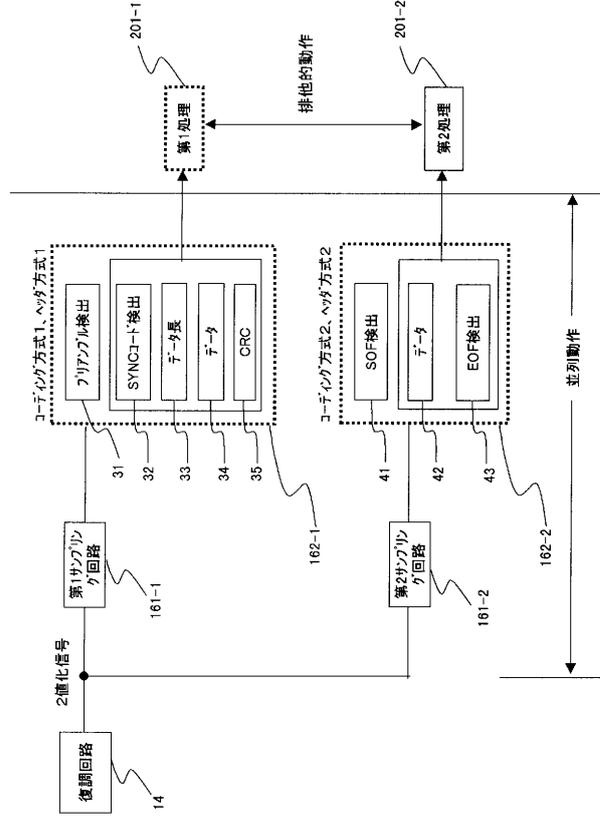


図2

【 図 3 】

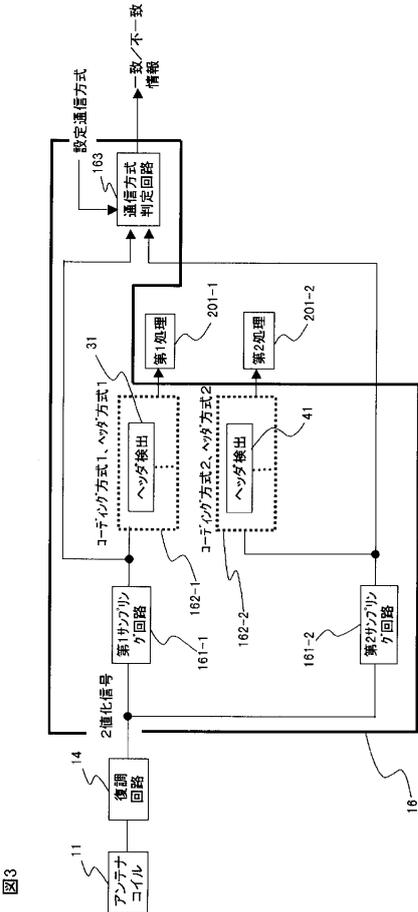


図3

【 図 4 】

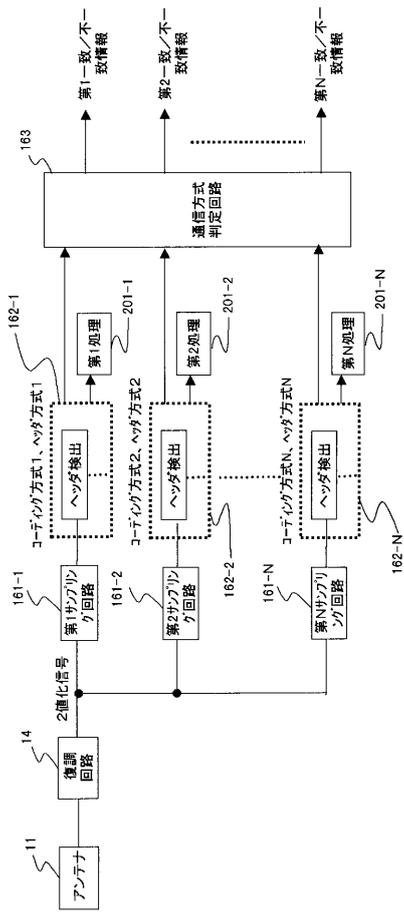
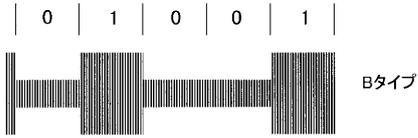
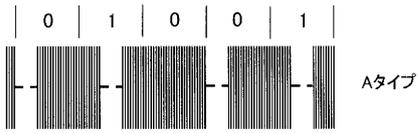


図4

【 図 9 】

図9



フロントページの続き

(72)発明者 山本 師久

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 柴田 利暁

神奈川県横浜市戸塚区戸塚町3-9-3番地 日立ハイブリッドネットワーク株式会社内

Fターム(参考) 2C005 MA20 NA08 SA06 SA27 SA30

5B035 AA02 BB09 CA22 CA23

5B058 CA17 CA23 KA21

5K012 AB18 AC06 AC11