

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-33379  
(P2008-33379A)

(43) 公開日 平成20年2月14日(2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/06 (2006.01)	G06F 12/06 523A	5B035
G06F 12/00 (2006.01)	G06F 12/06 515H	5B060
G11C 16/02 (2006.01)	G06F 12/06 525A	5B125
G06K 19/07 (2006.01)	G06F 12/06 540B	
	G06F 12/00 597U	

審査請求 未請求 請求項の数 42 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2004-326185 (P2004-326185)  
(22) 出願日 平成16年11月10日 (2004.11.10)

(71) 出願人 00005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100097445  
弁理士 岩橋 文雄  
(74) 代理人 100103355  
弁理士 坂口 智康  
(74) 代理人 100109667  
弁理士 内藤 浩樹  
(72) 発明者 中西 雅浩  
大阪府門真市大字門真1006番地 松下電器産業株式会社内  
(72) 発明者 井上 学  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

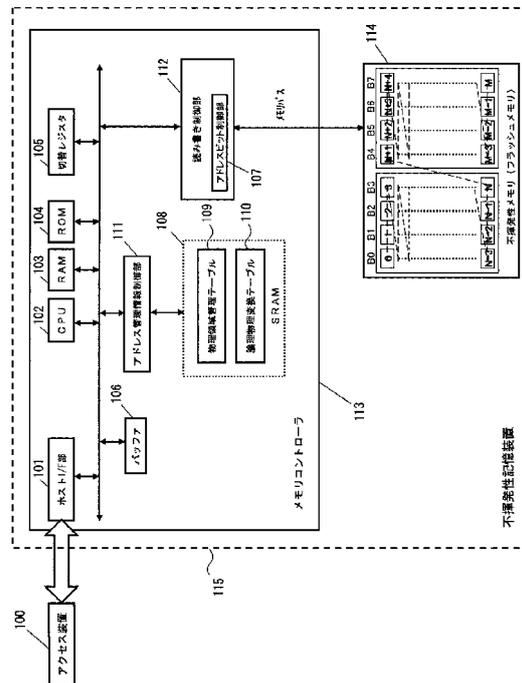
(54) 【発明の名称】 不揮発性記憶装置

(57) 【要約】

【課題】 高速アクセスあるいは省電力などの様々な要求（使用用途）に適応できる不揮発性記憶装置あるいはメモリコントローラを提供する。具体的には、フラッシュメモリの同時アクセス数（バンク数）を適応的に変更可能な不揮発性記憶装置を実現すること。

【解決手段】 メモリコントローラ113内部に切替レジスタ105を設け、アクセス装置100が当該レジスタを書き換えることによって不揮発性メモリ114の同時アクセス数を変更する。あるいは、不揮発性メモリ114内部に切替レジスタ105を設け、アクセス装置100の指示に応じてメモリコントローラ113が当該レジスタを書き換えることによって不揮発性メモリ114の同時アクセス数を変更してもよい。また、予め不揮発性記憶装置115内の不揮発性記憶デバイス（ROM104等）に記憶しておき、起動時にこれを読み出して切替レジスタ105に設定するようにしてもよい。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出すメモリコントローラであって、  
前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記外部のアクセス装置によって逐次設定される切替レジスタとを有し、  
前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とするメモリコントローラ。

**【請求項 2】**

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 1 記載のメモリコントローラ。

**【請求項 3】**

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 2 記載のメモリコントローラ。

**【請求項 4】**

不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性の主記憶メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記外部のアクセス装置によって逐次設定される切替レジスタを有し、

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶装置。

**【請求項 5】**

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 4 記載の不揮発性記憶装置。

**【請求項 6】**

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 5 記載の不揮発性記憶装置。

**【請求項 7】**

アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記外部のアクセス装置によって逐次設定される切替レジスタを有し、

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶システム。

**【請求項 8】**

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 7 記載の不揮発性記憶システム。

10

20

30

40

50

## 【請求項 9】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 8 記載の不揮発性記憶システム。

## 【請求項 10】

不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行うと共に前記外部のアクセス装置の指示に基づき前記不揮発性メモリの内前記切替レジスタに所定の値を設定する読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、

前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶装置。

## 【請求項 11】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき当該不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 10 記載の不揮発性記憶装置。

## 【請求項 12】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき当該不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 11 記載の不揮発性記憶装置。

## 【請求項 13】

アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、

前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行うと共に前記外部のアクセス装置の指示に基づき前記不揮発性メモリの内前記切替レジスタに所定の値を設定する読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、

前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶システム。

## 【請求項 14】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき当該不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 13 記載の不揮発性記憶システム。

## 【請求項 15】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき当該不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 14 記載の不揮発性記憶システム。

## 【請求項 16】

外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出すメモリコントローラであって、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモ

10

20

30

40

50

りのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリと、前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とするメモリコントローラ。

【請求項 17】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 16 記載のメモリコントローラ。

【請求項 18】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 17 記載のメモリコントローラ。

10

【請求項 19】

不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリと、前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、

20

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶装置。

【請求項 20】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 19 記載の不揮発性記憶装置。

【請求項 21】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 20 記載の不揮発性記憶装置。

30

【請求項 22】

アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリと、前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、

40

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶システム。

【請求項 23】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 22 記載の不揮発性記憶システム。

【請求項 24】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリ

50

を同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 2 3 記載の不揮発性記憶システム。

【請求項 2 5】

不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、リードオンリーメモリ ROM もしくは所定の物理ブロック内に特別領域を有し、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記不揮発性メモリ内の前記リードオンリーメモリ若しくは前記特別領域に記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶装置。

【請求項 2 6】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 2 5 記載の不揮発性記憶装置。

【請求項 2 7】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 2 6 記載の不揮発性記憶装置。

【請求項 2 8】

アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、リードオンリーメモリ ROM もしくは所定の物理ブロック内に特別領域を有し、

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記不揮発性メモリ内の前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、

前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶システム。

【請求項 2 9】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 2 8 記載の不揮発性記憶システム。

【請求項 3 0】

前記読み書き制御手段が、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 2 9 記載の不揮発性記憶システム。

【請求項 3 1】

不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコン

10

20

30

40

50

トローラによって逐次設定される切替レジスタを有し、  
前記メモリコントローラは、  
前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリとを有し、  
前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に前記切替レジスタに設定し、  
前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶装置。

【請求項 3 2】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 3 1 記載の不揮発性記憶装置。

【請求項 3 3】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 3 2 記載の不揮発性記憶装置。

【請求項 3 4】

アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、

前記不揮発性メモリは、  
それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、

前記メモリコントローラは、  
前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリとを有し、

前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に前記切替レジスタに設定し、

前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶システム。

【請求項 3 5】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 3 4 記載の不揮発性記憶システム。

【請求項 3 6】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 3 5 記載の不揮発性記憶システム。

【請求項 3 7】

不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、

前記不揮発性メモリは、  
それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、リードオンリーメモリもしくは所定の物理ブロック内に特別領域を有し、

前記メモリコントローラは、  
前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、  
前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に

10

20

30

40

50

前記切替レジスタに設定し、

前記不揮発性メモリは、前記リードオンリーメモリ若しくは前記特別領域に記憶されたパラメータを起動時に前記切替レジスタに設定すると共に、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶装置。

【請求項 38】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 37 記載の不揮発性記憶装置。

【請求項 39】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 38 記載の不揮発性記憶装置。

10

【請求項 40】

アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、

前記不揮発性メモリは、

それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、リードオンリーメモリもしくは所定の物理ブロック内に特別領域を有し、

20

前記メモリコントローラは、

前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、

前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に前記切替レジスタに設定し、

前記不揮発性メモリは、前記リードオンリーメモリ若しくは前記特別領域に記憶されたパラメータを起動時に前記切替レジスタに設定すると共に、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする不揮発性記憶システム。

【請求項 41】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリの同時アクセス数を制御することを特徴とする請求項 40 記載の不揮発性記憶システム。

30

【請求項 42】

前記不揮発性メモリが、前記切替レジスタに設定された値に基づき前記不揮発性メモリを同時にアクセスできるマルチバンク数を切り替えることを特徴とする請求項 41 記載の不揮発性記憶システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、書き換え可能な不揮発性メモリを備えた不揮発性記憶装置に関する。

40

【背景技術】

【0002】

書き換え可能な不揮発性メモリを備えた不揮発性記憶装置は、半導体メモリカードを中心にその需要が広まっている。また半導体メモリカードを使った不揮発性記憶システムは、デジタルスチルカメラやパーソナルコンピュータ等を中心にその需要が広まっている。半導体メモリカードには様々な種類のカードがあり、例えば SD (セキュアデジタル) メモリカードは、主記憶部であるフラッシュメモリと、それを制御するメモリコントローラ LSI とから構成されている。メモリコントローラ LSI は、デジタルスチルカメラ本体等のアクセス装置からの読み書き指示に応じて、フラッシュメモリに対する読み書き制御を行うデバイスである。主記憶部であるフラッシュメモリは、代表的なものに NAND

50

タイプやANDタイプがあるが、ひとつのメモリチップ内に、消去単位である物理ブロックが複数存在しており、またひとつの物理ブロック内に、書き込み単位であるページが複数存在している。

【0003】

近年、フラッシュメモリの低コスト化のニーズに伴い、物理ブロックサイズの大きなフラッシュメモリが主流になってきており、データ書き換え時におけるブロック間コピー（退避処理）のデータサイズが大きい為、退避処理に要する時間も増加し、記録パフォーマンス低下が著しくなっている。更に言えば、物理ブロックサイズとして128kByte以上のものが主流になりつつあり、アクセス装置の通常書き込み単位であるクラスタサイズ（例えば16kByte）より物理ブロックサイズの方が大きいため、ひとつのクラスタの書き換えにおいても、退避処理が発生してしまい、特に動画などのストリーム記録が困難となる。

10

【0004】

それを解決するために、フラッシュメモリチップ自体の機能として、様々な高速アクセス機能が提案されている。例えば、特許文献1に示すようなマルチバンク機能である。これは、同時に複数のブロックに書き込み/読み出し/消去ができる機能である。

【特許文献1】特開2001-266579号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

20

しかしながら、同時に書き込む数を増やすことによってアクセス速度が速くなるが、同時にアクティブとなるブロック数が増えるので、消費電力が増すといった別の課題も出てくる。アプリケーションによっては、電力を要しても高速アクセスを要求するもの、例えば業務用ムービカメラなどの用途がある反面、一方では、低速アクセスでも良いので電力を出来るだけ抑えたいもの、例えば携帯電話といったように、使用用途によってメモリカードに対する要求が異なる。従来はこれらの用途毎に最適なメモリカードを開発していたが、用途毎の開発は、開発費用面あるいは製造コスト面において、コストアップの要因となっていた。

【0006】

本発明は、要求の異なる様々な使用用途に適応できる不揮発性記憶装置、あるいはメモリコントローラを提供することを目的とする。具体的には、フラッシュメモリの同時アクセス数（バンク数）を適応的に変更可能な不揮発性記憶装置を実現することを目的とする。

30

【課題を解決するための手段】

【0007】

この目的を達成するために本発明の不揮発性記憶装置は、下記の4種類の手段をとるものである。

【0008】

1)メモリコントローラ内部に切替レジスタを設け、アクセス装置が当該レジスタを書き換えることによってフラッシュメモリの同時アクセス数を変更する。

40

【0009】

2)フラッシュメモリチップ内部に切替レジスタを設け、アクセス装置の指示に応じてメモリコントローラが当該レジスタを書き換えることによってフラッシュメモリの同時アクセス数を変更する。

【0010】

3)メモリコントローラ内部に切替レジスタを設け、また不揮発性記憶装置内の不揮発性記憶手段、即ちメモリコントローラ内のROMやフラッシュメモリ内のROMあるいはフラッシュメモリ自体に予めフラッシュメモリの同時アクセス数を記憶しておき、起動時に、メモリコントローラが当該不揮発性記憶手段からフラッシュメモリの同時アクセス数を当該レジスタに設定することにより、フラッシュメモリの同時アクセス数を変更する。

50

## 【 0 0 1 1 】

4)フラッシュメモリチップ内部に切替レジスタを設け、また不揮発性記憶装置内の不揮発性記憶手段、即ちメモリコントローラ内のROMやフラッシュメモリ内のROMあるいはフラッシュメモリ自体に予めフラッシュメモリの同時アクセス数を記憶しておき、起動時に、メモリコントローラが当該不揮発性記憶手段からフラッシュメモリの同時アクセス数を当該レジスタに設定することにより、フラッシュメモリの同時アクセス数を変更する。

## 【 発明の効果 】

## 【 0 0 1 2 】

上記1)及び2)の解決手段においては、アクセス装置の指示に応じて、フラッシュメモリの同時アクセス数を制御できる、即ち高速アクセス性を優先するか、あるいは省電力性を優先するかを、使用用途に応じて簡単に切り替えることができる。また、上記3)及び4)の解決手段においては、不揮発性記憶装置内に予め記憶された切替情報に応じて、フラッシュメモリの同時アクセス数を制御できる、即ち高速アクセス性を優先するか、あるいは省電力性を優先するかを、使用用途に応じて簡単に切り替えることができる。いずれの場合も、使用用途毎に最適な不揮発性記憶装置を開発する必要がなく、開発費用面あるいは製造コスト面で有益な技術である。

10

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 3 】

前述した解決手段において、上述の1)に関する発明は、請求項1～9に対応する。また2)に関する発明は、請求項10～15に対応する。また3)に関する発明は、請求項16～30に対応する。また4)に関する発明は、請求項31～42に対応する。

20

## 【 0 0 1 4 】

本発明の請求項1～3に係る発明は、不揮発性記憶装置内のメモリコントローラに関する発明であり、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出すメモリコントローラであって、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記外部のアクセス装置によって逐次設定される切替レジスタを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

30

## 【 0 0 1 5 】

この構成により、アクセス装置が、コントローラ内部に設けられた切替レジスタに逐次所定のパラメータを設定し、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

## 【 0 0 1 6 】

また、本発明の請求項4～6に係る発明は、不揮発性記憶装置に関する発明であり、不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記外部のアクセス装置によって逐次設定される切替レジスタを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

40

## 【 0 0 1 7 】

この構成により、アクセス装置が、コントローラ内部に設けられた切替レジスタに逐次所定のパラメータを設定し、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

## 【 0 0 1 8 】

50

また、本発明の請求項 7 ~ 9 に係る発明は、不揮発性記憶装置を用いた不揮発性記憶システムに関する発明であり、アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、前記不揮発性メモリは、それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記外部のアクセス装置によって逐次設定される切替レジスタを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

10

**【 0 0 1 9 】**

この構成により、アクセス装置が、コントローラ内部に設けられた切替レジスタに逐次所定のパラメータを設定し、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

**【 0 0 2 0 】**

また、本発明の請求項 1 0 ~ 1 2 に係る発明は、不揮発性記憶装置に関する発明であり、不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、前記不揮発性メモリは、それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行うと共に前記外部のアクセス装置の指示に基づき前記不揮発性メモリの内の前記切替レジスタに所定の値を設定する読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする。

20

**【 0 0 2 1 】**

この構成により、アクセス装置が指定したパラメータに基づき、メモリコントローラ内の読み書き制御手段が不揮発性メモリ内部に設けられた切替レジスタを設定し、不揮発性メモリが切替レジスタに設定された値に応じて不揮発性メモリの同時アクセス数を変更する。

30

**【 0 0 2 2 】**

また、本発明の請求項 1 3 ~ 1 5 に係る発明は、不揮発性記憶装置を用いた不揮発性記憶システムに関する発明であり、アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、前記不揮発性メモリは、それぞれが少なくとも 1 つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行うと共に前記外部のアクセス装置の指示に基づき前記不揮発性メモリの内の前記切替レジスタに所定の値を設定する読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする。

40

**【 0 0 2 3 】**

この構成により、アクセス装置が指定したパラメータに基づき、メモリコントローラ内の読み書き制御手段が不揮発性メモリ内部に設けられた切替レジスタを設定し、不揮発性メモリが切替レジスタに設定された値に応じて不揮発性メモリの同時アクセス数を変更する。

**【 0 0 2 4 】**

また、本発明の請求項 1 6 ~ 1 8 に係る発明は、不揮発性記憶装置内のメモリコントロ

50

ーラに関する発明であり、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出すメモリコントローラであって、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリと、前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

【0025】

この構成により、起動時において、メモリコントローラ内のリードオンリーメモリに予め記憶されたパラメータが自動的に切替レジスタに設定され、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

10

【0026】

また、本発明の請求項19～21に係る発明は、不揮発性記憶装置に関する発明であり、不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリと、前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

20

【0027】

この構成により、起動時において、メモリコントローラ内のリードオンリーメモリに予め記憶されたパラメータが自動的に切替レジスタに設定され、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

【0028】

また、本発明の請求項22～24に係る発明は、不揮発性記憶装置を用いた不揮発性記憶システムに関する発明であり、アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリと、前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

30

40

【0029】

この構成により、起動時において、メモリコントローラ内のリードオンリーメモリに予め記憶されたパラメータが自動的に切替レジスタに設定され、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

【0030】

また、本発明の請求項25～27に係る発明は、不揮発性記憶装置に関する発明であり、不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを

50

含む複数の物理ブロックから成り、リードオンリーメモリもしくは所定の物理ブロック内に特別領域を有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記不揮発性メモリ内の前記リードオンリーメモリ若しくは前記特別領域に記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

【0031】

この構成により、起動時において、不揮発性メモリ内のリードオンリーメモリ若しくは所定の物理ブロック内の特別領域内に予め記憶されたパラメータが自動的に切替レジスタに設定され、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

10

【0032】

また、本発明の請求項28～30に係る発明は、不揮発性記憶装置を用いた不揮発性記憶システムに関する発明であり、アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、リードオンリーメモリもしくは所定の物理ブロック内に特別領域を有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、前記不揮発性メモリ内の前記リードオンリーメモリに記憶されたパラメータを起動時に自動的に設定される切替レジスタとを有し、前記読み書き制御手段は、前記切替レジスタに設定された値に基づき前記不揮発性メモリのアクセス態様を切り替えることを特徴とする。

20

【0033】

この構成により、起動時において、不揮発性メモリ内のリードオンリーメモリ若しくは所定の物理ブロック内の特別領域内に予め記憶されたパラメータが自動的に切替レジスタに設定され、メモリコントローラ内の読み書き制御手段が前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

【0034】

また、本発明の請求項31～33に係る発明は、不揮発性記憶装置に関する発明であり、不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリとを有し、前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に前記切替レジスタに設定し、前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする。

30

40

【0035】

この構成により、起動時において、メモリコントローラ内のリードオンリーメモリに予め記憶されたパラメータが自動的に切替レジスタに設定され、不揮発性メモリが前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

【0036】

また、本発明の請求項34～36に係る発明は、不揮発性記憶装置を用いた不揮発性記憶システムに関する発明であり、アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、前記不揮発

50

性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段と、リードオンリーメモリROMとを有し、前記読み書き制御手段は、前記リードオンリーメモリROMに記憶されたパラメータを起動時に前記切替レジスタに設定し、前記不揮発性メモリは、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする。

【0037】

この構成により、起動時において、メモリコントローラ内のリードオンリーメモリに予め記憶されたパラメータが自動的に切替レジスタに設定され、不揮発性メモリが前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

10

【0038】

また、本発明の請求項37～39に係る発明は、不揮発性記憶装置に関する発明であり、不揮発性メモリと、メモリコントローラと、を有し、外部のアクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶装置であって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、リードオンリーメモリもしくは所定の物理ブロック内に特別領域を有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に前記切替レジスタに設定し、前記不揮発性メモリは、前記リードオンリーメモリ若しくは前記特別領域に記憶されたパラメータを起動時に前記切替レジスタに設定すると共に、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする。

20

【0039】

この構成により、起動時において、不揮発性メモリ内のリードオンリーメモリ若しくは所定の物理ブロック内の特別領域内に予め記憶されたパラメータが自動的に切替レジスタに設定され、不揮発性メモリが前記パラメータ値に応じて不揮発性メモリの同時アクセス数を変更する。

30

【0040】

また、本発明の請求項40～42に係る発明は、不揮発性記憶装置を用いた不揮発性記憶システムに関する発明であり、アクセス装置と、不揮発性メモリと、メモリコントローラと、を有し、前記アクセス装置から与えられるコマンドと論理アドレスに応じて不揮発性メモリにデータを書き込み、及び読み出す不揮発性記憶システムであって、前記不揮発性メモリは、それぞれが少なくとも1つのセクタを含む複数の物理ブロックから成り、前記メモリコントローラによって逐次設定される切替レジスタを有し、リードオンリーメモリもしくは所定の物理ブロック内に特別領域を有し、前記メモリコントローラは、前記不揮発性メモリに対して読み書き制御を行う読み書き制御手段と、前記不揮発性メモリのアクセス先であるアドレスの管理を行うアドレス管理情報制御手段とを有し、前記読み書き制御手段は、前記リードオンリーメモリに記憶されたパラメータを起動時に前記切替レジスタに設定し、前記不揮発性メモリは、前記リードオンリーメモリ若しくは前記特別領域に記憶されたパラメータを起動時に前記切替レジスタに設定すると共に、前記切替レジスタに設定された値に基づき当該不揮発性メモリのアクセス態様を切り替えることを特徴とする。

40

【0041】

この構成により、起動時において、不揮発性メモリ内のリードオンリーメモリ若しくは所定の物理ブロック内の特別領域内に予め記憶されたパラメータが自動的に切替レジスタに設定され、不揮発性メモリが前記パラメータ値に応じて不揮発性メモリの同時アクセス

50

数を変更する。

【0042】

以下、本発明の実施の形態について、図面を用いて説明する。

【0043】

(実施の形態)

図1は、本発明の実施の形態に於ける不揮発性記憶装置の実施方法を示したブロック図である。図1において、100はメモリコントローラ113を介して不揮発性メモリ114にユーザデータ(以降、単にデータとする)の読み書き命令と論理アドレスの送信とデータの送受信を行うアクセス装置、101はホストI/F部、102はメモリコントローラ113内全体の制御を行うCPU、103はCPU102のワーク用RAM、104はCPU102が実行するプログラムを格納したリードオンリーメモリ(ROM)、105は切替レジスタ、106はアクセス装置100から転送された各種データを記憶するバッファ、107はアドレスビット制御部、108はSRAM、109は不揮発性メモリ114内において消去単位である物理ブロックの状態、即ち有効なデータが記憶されているかどうか等のステータスフラグを記憶する物理領域管理テーブル、110はアクセス装置100が転送した論理アドレスを不揮発性メモリ114内の物理アドレスに変換する論理物理変換テーブル、111は物理領域管理テーブル109と論理物理変換テーブル110に基づいて不揮発性メモリ114のアドレスを管理するアドレス管理情報制御部、112は不揮発性メモリ114の読み書き等を行う読み書き制御部、113は構成要素の101から112をまとめたメモリコントローラ、114はフラッシュメモリ等で実現した不揮発性メモリ、115はメモリコントローラ113と不揮発性メモリ114をまとめた不揮発性記憶装置である。

10

20

【0044】

図2は、不揮発性メモリ114のアクセス形態を示した説明図である。同図(A)は高速モード時でのアクセス形態を表す。一方(B)は省電力モード時でのアクセス形態を表す。図2において物理ブロック0~Mが8個のバンク(B0~B7)に均等に配列されており、各バンクは独立に読み書き及び消去できる。バンクB0~B3をプレーン0、バンクB4~B7をプレーン1とする。不揮発性メモリ114はメモリコントローラ113とI/Oバス及び各種制御ラインで接続されている。

【0045】

図3は、アドレスビット制御部107を示した回路図である。図3において、300及び301はセレクトである。

30

【0046】

図4は、メモリコントローラ113内部のアドレスと不揮発性メモリ114内部でのアドレスの関係を表したビットマップである。同図(A)は高速モード時での関係であり、(B)は省電力モード時での関係を表す。

【0047】

表1は、不揮発性メモリ114のアドレスマップを示す表である。表1において、I/O1~I/O8は8ビットのI/Oバスのビット配列を表す。1st Cycleから5th Cycleはメモリコントローラ113が不揮発性メモリ114にアドレス指定する際の順番を表し、1st Cycleから順にアドレス指定することとなる。Column Addressは物理ブロックを構成するページ内の各バイトを指定するアドレスである。なおページはデータ領域が2kByte、管理領域が64Byte、合計2112Byteからなる。Row Addressは各ページを指定するアドレスであり、通常A14~A12の3ビット分はバンクB0~B7を指定する。具体的には、表2に示す関係となる。

40

【0048】

【表 1】

		I/O8	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	
1st cycle	CA1	A7	A6	A5	A4	A3	A2	A1	A0	Column
2nd cycle	CA2	L	L	L	L	A11	A10	A9	A8	Address
3rd cycle	RA1	A19	A18	A17	A16	A15	A14	A13	A12	Row
4th cycle	RA2	A27	A26	A25	A24	A23	A22	A21	A20	Address
5th cycle	RA3	L	L	L	L	L	A30	A29	A28	

10

【 0 0 4 9 】

【表 2】

A14	A13	A12	選択されるバンク
0	0	0	B0
0	0	1	B1
0	1	0	B2
0	1	1	B3
1	0	0	B4
1	0	1	B5
1	1	0	B6
1	1	1	B7

20

30

【 0 0 5 0 】

以上のように構成された、本発明の実施の形態における、不揮発性記憶装置について、以下図 1 ~ 4 及び表 1 を用いて、その動作について説明する。基本的な読み書き制御やアドレス管理制御については一般的に知られている動作と同様であるので、特徴的な動作についてのみ説明する。特徴的な構成要件は切替レジスタ 105 とアドレスビット制御部 107 である。切替レジスタ 105 はアクセス装置 100 が指定するパラメータを一時的に記憶するものであり、例えば S R A M やフリップフロップなどの回路素子で実現することができる。電源 ON 直後、即ち起動時においては、切替レジスタ 105 は値 0 にリセットされた状態となっている。この値は、読み書き制御部 112 内のアドレスビット制御部 107 に転送され、セクタ 300 と 301 のセレクト入力 S に入力される。セレクト入力 S は値 0 の時に A 入力を、値 1 の時に B 入力を選択するものとする。従って起動時においては、セクタ 300 は a [ 30 : 15 ] を選択し、セクタ 301 は a 14 を選択し、それぞれ表 1 に示した不揮発性メモリの Row Address の A [ 30 : 15 ] 及び A 14 に設定される。a [ 13 : 12 ] は切替レジスタ 105 のパラメータ値に関わらず、常に A [ 13 : 12 ] に接続されることになる。図 4 ( A ) は前述した動作に対応したアドレスの関係図である。即ちメモリコントローラ 113 でのアドレス a [ 30 : 12 ] は、そのまま不揮発性メモリ 114 内部でのアドレス ( Row Address ) の A [ 30

40

50

: 12]に対応する。図2(A)は前述した動作に対応したアクセス形態を表したものである。即ちメモリコントローラ113がアドレスの小さい方から大きい方に順にアクセスした場合は、破線矢印で示したアクセス順となる。従って起動時において、アクセス装置100が切替レジスタ105に何も設定しない場合は、図2(A)に示したように、8バンク全てを使用する形態でアクセスされることとなり、高速にアクセスすることが可能となる。但し、8個の物理ブロックを同時にアクセスすることになるので、消費電力(ピーク電力)が大きくなってしまふ。

#### 【0051】

次に、起動後、アクセス装置100が切替レジスタ105に値1を設定した場合について説明する。図3において、切替レジスタ105に設定されたパラメータ値(値1)がセレクトラ300及び301のセレクト入力Sに入力され、B入力を選択することとなる。セレクトラ300はa[29:14]を選択し、セレクトラ301はa30を選択し、それぞれ表1に示した不揮発性メモリのRow AddressのA[30:15]及びA14に設定される。a[13:12]は切替レジスタ105のパラメータ値に関わらず、常にA[13:12]に接続されることになる。図4(B)は前述した動作に対応したアドレスの関係図である。図2(B)は前述した動作に対応したアクセス形態を表したものである。即ちメモリコントローラ113がアドレスの小さい方から大きい方に順にアクセスした場合は、実線矢印で示したアクセス順となる。即ちメモリコントローラ113がアドレスの小さい方から順にアクセスした場合、4バンク毎に使用する形態でアクセスされることとなり、図2(A)と比較すると低速ではあるが、同時にアクティブとなる物理ブロック数が少ない分、消費電力(ピーク電力)を小さく抑えることが可能となる。

#### 【0052】

なお、切替レジスタ105及びアドレスビット制御部107は不揮発性メモリ114内部にあっても構わない。この場合は、メモリコントローラ113はアクセス装置100からの切替指定に応じて、不揮発性メモリ114内部の切替レジスタに所定のパラメータ値を設定する。不揮発性メモリ114は、メモリコントローラ113がメモリバスを介して指定したアドレスa[30:12]に対して、その内部にあるアドレスビット制御部によって、図4に示すビット操作によってアドレスを変換することができる。

#### 【0053】

また、アクセス装置100が、高速モード/省電力モードを切り替えるのではなく、予め不揮発性記憶装置115内の不揮発性記憶デバイス、例えばROM104や不揮発性メモリ114のある物理ブロック内に、高速モード/省電力モードを切り替える為のパラメータ値を記憶しておき、起動時に当該パラメータを切替レジスタ105に読み込むようにしてもよい。また不揮発性メモリ114内部にROMを実装しておき、当該ROMにパラメータを記憶しておき、メモリコントローラ113からの指示に応じて当該ROMからパラメータを読み出すようにしてもよい。

#### 【0054】

なお、本発明の実施の形態においては、8バンク/4バンクの切替を説明したが、任意の数Xバンク/Yバンク(XはYの倍数)に拡張することは比較的容易であり、本発明に含まれるものとする。

#### 【産業上の利用可能性】

#### 【0055】

本発明にかかる不揮発性記憶装置は、使用用途、例えば高速性を重要視する用途、あるいは省電力を重視する用途等に応じて、適応的にフラッシュメモリのアクセス形態を簡単に切り替え制御できるものであり、静止画記録再生装置や動画記録再生装置等のポータブルAV機器、あるいは携帯電話等のポータブル通信機器の記録媒体として有益である。

#### 【図面の簡単な説明】

#### 【0056】

【図1】本発明の実施の形態に於ける不揮発性記憶装置の実施方法を示したブロック図

【図2】(A)高速モード時における、不揮発性メモリ114のアクセス形態を示した説

10

20

30

40

50

明図、(B)省電力モード時における、不揮発性メモリ114のアクセス形態を示した説明図

【図3】アドレスビット制御部107を示した回路図

【図4】(A)高速モード時における、メモリコントローラ113内部のアドレスと不揮発性メモリ114内部のアドレスの関係を表したビットマップ図、(B)省電力モード時における、メモリコントローラ113内部のアドレスと不揮発性メモリ114内部のアドレスの関係を表したビットマップ図

【符号の説明】

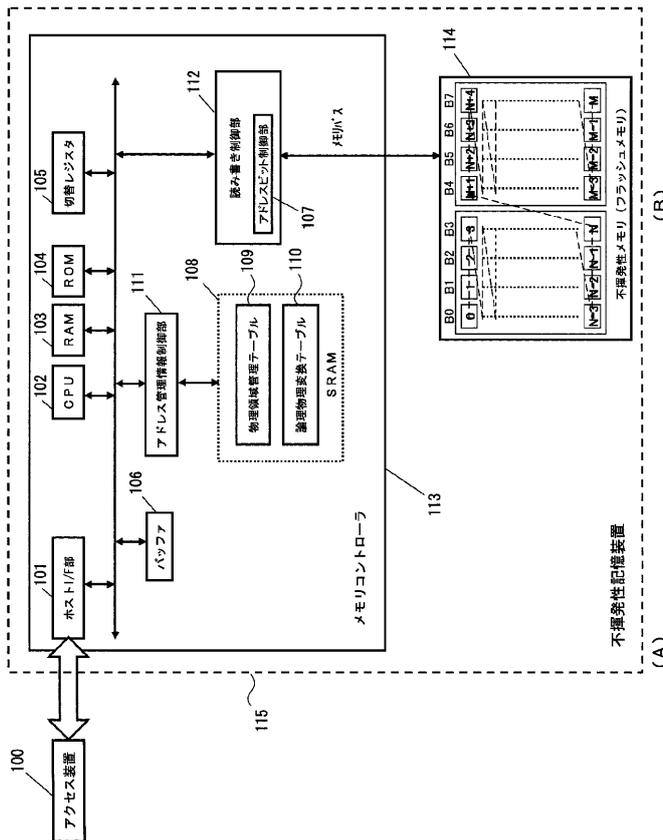
【0057】

- 100      アクセス装置
- 101      ホストI/F部
- 102      CPU
- 103、108      RAM
- 104      ROM
- 105      切替レジスタ
- 106      バッファ
- 107      アドレスビット制御部
- 109      物理領域管理テーブル
- 110      論理物理変換テーブル
- 111      アドレス管理情報制御部
- 112      読み書き制御部
- 113      メモリコントローラ
- 114      不揮発性メモリ(フラッシュメモリ等)
- 115      不揮発性記憶装置

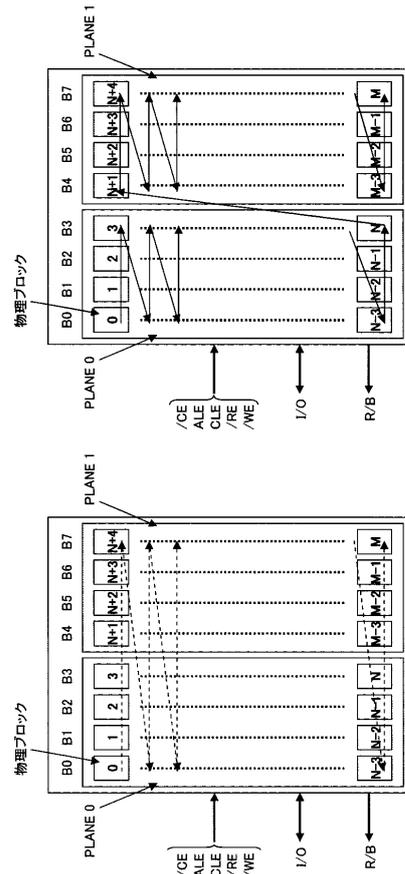
10

20

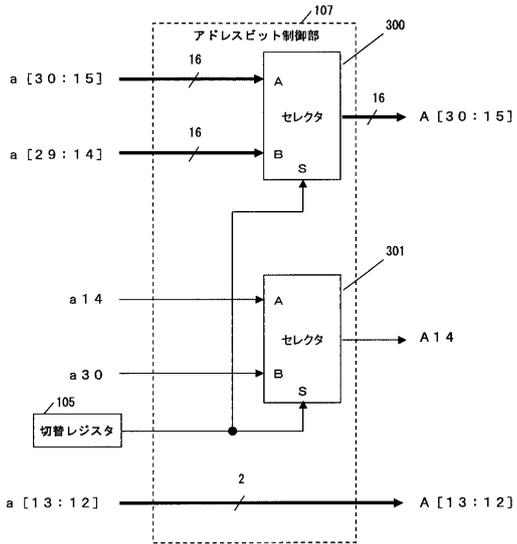
【図1】



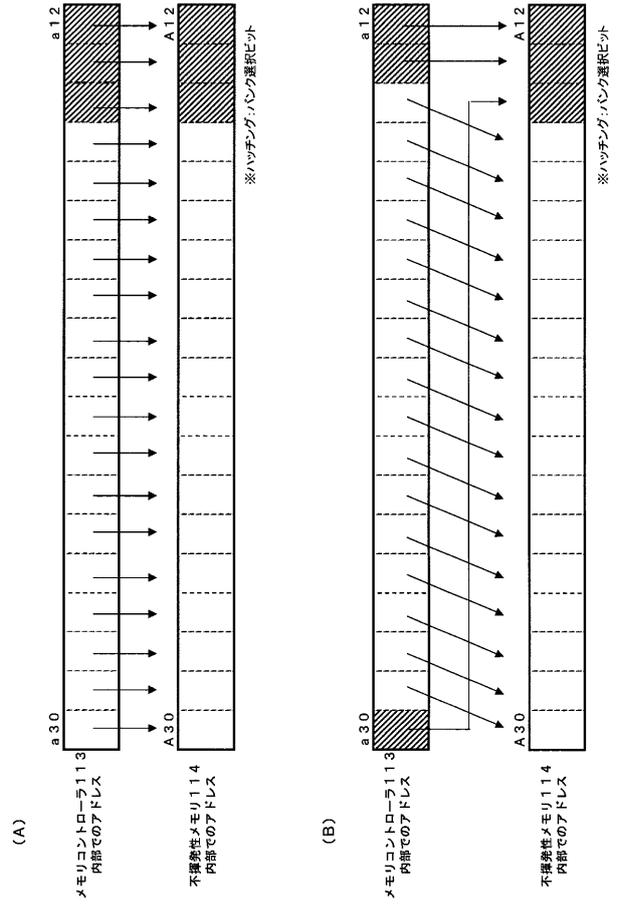
【図2】



【図3】



【図4】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
 G 1 1 C 17/00 6 1 3  
 G 0 6 K 19/00 N

(72)発明者 外山 昌之  
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 泉 智紹  
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 笠原 哲志  
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 田村 和明  
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 松野 公則  
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5B035 AA02 AA05 AA06 BB09 CA11 CA13 CA29  
 5B060 HA02  
 5B125 BA01 CA01 CA04 CA08 DA05 DD01 DD04 EA07 EF09