

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6747156号  
(P6747156)

(45) 発行日 令和2年8月26日(2020.8.26)

(24) 登録日 令和2年8月11日(2020.8.11)

(51) Int.Cl.		F I			
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F	9/30	308Z
<b>H05B</b>	<b>33/02</b>	<b>(2006.01)</b>	G09F	9/30	338
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09F	9/30	365
			H05B	33/02	
			H05B	33/14	A

請求項の数 10 (全 19 頁)

(21) 出願番号 特願2016-155048 (P2016-155048)  
 (22) 出願日 平成28年8月5日(2016.8.5)  
 (65) 公開番号 特開2018-22116 (P2018-22116A)  
 (43) 公開日 平成30年2月8日(2018.2.8)  
 審査請求日 令和1年6月13日(2019.6.13)

(73) 特許権者 519380923  
 天馬微電子有限公司  
 中華人民共和国広東省深▲セン▼市電華区  
 民治街道北駅社区留仙大道天馬大▲カ▼1  
 918  
 (74) 代理人 100114557  
 弁理士 河野 英仁  
 (72) 発明者 松枝 洋二郎  
 神奈川県川崎市中原区下沼部1753番地  
 NLTテクノロジー株式会社内  
 (72) 発明者 高取 憲一  
 神奈川県川崎市中原区下沼部1753番地  
 NLTテクノロジー株式会社内

審査官 村川 雄一

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

非矩形形状の表示領域内に、第1方向と第2方向とに沿って配列された、複数の画素と、  
 前記第1方向に沿う第1画素群に接続し前記第1方向に沿う走査線と、  
 前記第1方向に沿う第2画素群に接続し前記表示領域内で前記第1方向に沿う第1配線  
 と、前記表示領域内で前記第2方向に沿う第2配線とを含む交差走査線と、  
 前記第1画素群又は第2画素群に含まれる複数の画素からなり前記第2方向に沿う第3  
 画素群に接続し前記第2方向に沿うデータ線と、  
 前記表示領域の外周辺部において、前記走査線と対向する第1辺部に配置され、前記走  
 査線に走査信号を出力し更に前記交差走査線の第2配線を介して前記第1配線に走査信号  
 を出力する走査回路群と、  
 前記外周辺部において前記第1辺部と対向する第2辺部に配置され、前記走査信号が入  
 力される画素の発光輝度に応じたデータ信号を前記データ線に出力するデータ信号回路群  
 と  
 を備える表示装置。

【請求項2】

第1～第p (pは2以上の整数)の走査線と、  
 第1～第q (qは2以上の整数)の交差走査線とを備え、  
 前記第1～第pの走査線の各々は、前記第2方向に向けて順次配置され、  
 前記第1～第qの交差走査線の第1配線の各々は、前記第2方向に向けて順次配置され

前記走査回路群は、 $(p + q)$  個の走査回路を含み、  
 $p$  個の走査回路の各々は、前記第 1 辺部における、前記第 2 配線に対向する第 3 辺部に  
 、前記第 1 ~ 第  $p$  の走査線の各々に対応して配置され、  
 $q$  個の走査回路の各々は、前記第 1 辺部における、前記第 3 辺部に対向する第 4 辺部に  
 、前記第 1 ~ 第  $q$  の交差走査線の第 2 配線の各々に対応して配置される  
 請求項 1 に記載の表示装置。

【請求項 3】

第  $i$  ( $i$  は 1 以上、 $q$  未満の整数) の交差走査線の第 2 配線の長さは、第  $i + 1$  の交差  
 走査線の第 2 の配線の長さよりも短く、前記第  $i$  の交差走査線の第 1 配線の長さは、前記  
 第  $i + 1$  の交差走査線の第 1 の配線の長さよりも長い  
 請求項 2 に記載の表示装置。

10

【請求項 4】

前記表示領域を第 1 ~ 第 4 象限に分けた場合において、  
 前記第 1 象限と前記第 2 象限とに前記第 1 ~ 第  $p$  の走査線が配置され、  
 前記第 3 象限と前記第 4 象限とに前記第 1 ~ 第  $q$  の交差走査線の第 1 配線が配置される  
 請求項 3 に記載の表示装置。

【請求項 5】

前記第 3 辺部は、前記表示領域の第 2 象限の外周辺部であって、  
 前記第 4 辺部は、前記表示領域の第 1 象限の外周辺部であって、  
 前記第 2 辺部は、前記表示領域の第 3 象限と第 4 象限との外周辺部である  
 請求項 4 に記載の表示装置。

20

【請求項 6】

前記画素は、有機発光層を含む発光部と、容量と前記容量の電圧に応じた電流を前記発  
 光部に流す駆動トランジスタとを含む画素回路とを有し、  
 前記画素回路は基板面に層状に形成され、前記発光部は、前記画素回路が形成された層  
 の上側に形成され、  
 層状に形成された前記画素回路において、前記駆動トランジスタに含まれるソースとド  
 レインの少なくとも 1 つに接続する配線が形成される配線層に前記第 2 配線と前記デー  
 タ線とが形成され、前記容量の金属電極が形成される層に前記走査線と前記第 1 配線とが形  
 成される  
 請求項 1 に記載の表示装置。

30

【請求項 7】

前記画素は、有機発光層を含む発光部と、容量と前記容量の電圧に応じた電流を前記発  
 光部に流す駆動トランジスタとを含む画素回路とを有し、  
 前記画素回路は基板面に層状に形成され、前記発光部は、前記画素回路が形成された層  
 の上側に形成され、  
 層状に形成された前記画素回路において、前記駆動トランジスタに含まれるソースとド  
 レインの少なくとも 1 つに接続する配線が形成される配線層に前記データ線が形成され、  
 前記容量の第 1 金属電極が形成される層に前記走査線と前記第 1 配線とが形成され、前記  
 容量の第 2 金属電極が形成される層に前記第 2 配線が形成される  
 請求項 1 に記載の表示装置。

40

【請求項 8】

前記第  $q$  の走査線に走査信号を出力する走査回路は、第 1 の交差走査線に走査信号を出力  
 する走査回路に、前記第  $q$  の走査線を介して、走査開始タイミングを示すタイミング信  
 号を出力する  
 請求項 3 に記載の表示装置。

【請求項 9】

前記走査線は、さらに、前記第 2 方向に伸びる第 3 配線を含む  
 請求項 1 に記載の表示装置。

50

## 【請求項 10】

前記交差走査線は、前記第 1 配線と前記第 2 配線とを接続する接続部を含み、前記接続部は、前記表示領域内に配置され、

前記走査回路群は、前記走査線に接続する走査回路と、前記交差走査線の第 2 配線に接続する走査回路とを含み、

前記走査線に接続する走査回路と、前記交差走査線の第 2 配線に接続する走査回路との間に、前記第 1 画素群が配置される、請求項 1 に記載の表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は、表示装置に関する。

## 【背景技術】

## 【0002】

近年、表示領域が円形といった非矩形の表示装置が製品化されている（特許文献 1）。表示領域が非矩形の表示装置では、デマルチプレクサ（DeMUX）を使用した部分ドライバ内蔵型が主流となっている。部分ドライバ内蔵型では、DeMUX 回路と走査ドライバ回路とを、表示装置を構成する表示パネルの外周部に配置する。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2008 - 292995 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

表示領域が非矩形の表示装置では、DeMUX 回路と走査ドライバ回路とが外周部の一部領域に集中する場合がある。なお、この一部領域は、表示領域の外周部において、ドライバ IC が配置される側の領域である。その結果、かかる領域に対応する額縁が広がる。一方、額縁を狭くして表示領域を相対的に広くすることが好ましい。

本開示の一側面は、表示領域が非矩形形状の表示装置において、額縁を狭くすることを目的とする。

## 【課題を解決するための手段】

## 【0005】

本開示の一側面の表示装置は、非矩形形状の表示領域内に、第 1 方向と第 2 方向とに沿って配置された、複数の画素と、前記第 1 方向に沿う第 1 画素群に接続し前記第 1 方向に沿う走査線と、前記第 1 方向に沿う第 2 画素群に接続し前記第 1 方向に沿う第 1 配線と、前記第 2 方向に沿う第 2 配線とを含む交差走査線と、前記第 2 方向に沿う第 3 画素群に接続し前記第 2 方向に沿うデータ線と、前記表示領域の外周辺部において、前記走査線と対向する第 1 辺部に配置され、前記走査線に走査信号を出力し更に前記交差走査線の第 2 配線を介して前記第 1 配線に走査信号を出力する走査回路群と、前記外周辺部において前記 1 辺部と対向する第 2 辺部に配置され、前記走査信号が入力される画素の発光輝度に応じたデータ信号を前記データ線に出力するデータ信号回路群とを備える。

## 【発明の効果】

## 【0006】

本開示の一側面によれば、表示領域が非矩形形状の表示装置において、額縁を狭くすることが可能となる。

## 【図面の簡単な説明】

## 【0007】

【図 1】表示装置の外観を示す平面図である。

【図 2】方向及び象限の定義を示す説明図である。

【図 3】走査線、データ線の配置例を示す平面図である。

10

20

30

40

50

【図4】図3の部分拡大図である。

【図5】走査線、データ線の配置例を分けて記載した平面図である。

【図6】データドライバブロックの構成例を示す回路ブロック図である。

【図7】画素に含まれる画素回路の一例を示す回路図である。

【図8】表示部の断面図の一例である。

【図9】表示部の断面図の一例である。

【図10】走査線の配置例を示す平面図である。

【図11】走査線の配置例を示す平面図である。

【図12】走査線の配置例を示す平面図である。

【図13】画素に含まれる画素回路の他の例を示す回路図である。

10

【発明を実施するための形態】

【0008】

(実施の形態1)

以下、実施の形態について図面を参照して詳細に説明する。なお、明細書、特許請求の範囲における“第1”、“第2”等の序数は、要素間の関係を明確にするため、および要素間の混同を防ぐために付している。したがって、これらの序数は、要素を数的に限定しているものではない。

【0009】

また、非矩形は、矩形(四角形)以外の形状を示す。非矩形には、三角形、五角形以上の多角形を含む。非矩形には、円形、楕円形、星形、ハート形、くさび形を含む。

20

【0010】

以下の説明においては、表示領域が非矩形の一例として、表示領域が円形の表示装置について説明する。特に、発光素子として、OLED(Organic Light Emitting Diode、有機発光ダイオード)を用いるOLED表示装置について説明する。

【0011】

図1は表示装置1の外観を示す平面図である。表示装置1は基板10、表示部11、ドライバIC14を含む。基板10はガラス基板等の透光性基板である。表示部11は基板10上に形成してある。表示部11の外周縁部には、TFT(Thin Film Transistor)回路配置領域12が設けてある。TFT回路配置領域12の外周縁部には、ガラスフリットシール部13が設けてある。

30

【0012】

図2は方向及び象限の定義を示す説明図である。以下の説明においては、表示装置1における2つの方向を定義する。また、表示部11の表示領域Qに対して、4つの領域Q1からQ4を定義する。更にまた、TFT回路配置領域12に4つの領域を定義する。図2に示すように、表示部11の表示領域と平行な平面において、直行する2つの軸を定義する。2つの軸をx軸とy軸とする。x軸方向を第1方向とする。y軸方向を第2方向とする。第1方向に沿うとは、第1方向に対して例えば平行であることを言う。第2方向に沿うとは、第2方向に対して例えば平行であることを言う。

【0013】

40

図2に示すように、表示部11に対して定義するよう象限は、2本の仮想線により4つの領域に分けられている。一方の仮想線は第1方向の線である。他方の仮想線は第2方向の線である。2本の仮想線は、表示部11の中心で交差している。右上から反時計回りで、第1象限Q1、第2象限Q2、第3象限Q3、第4象限Q4とする。

【0014】

図2に示すように、TFT回路配置領域12の外周辺部を4つの領域(実質3つ領域)に分ける。表示部11の第1象限Q1及び第2象限Q2の外周辺部に位置するTFT回路配置領域12の一部の領域を第1辺部A1とする。表示部11の第3象限Q3及び第4象限Q4の外周辺部に位置するTFT回路配置領域12の一部の領域を第2辺部A2とする。また、第1辺部A1を、更に2つの領域に分ける。第1辺部A1のうち、第2象限Q2

50

の外周辺部に位置する領域を第3辺部A3とする。第1辺部A1のうち、第1象限Q1の外周辺部に位置する領域を第4辺部A4とする。

【0015】

図3は走査線、データ線の配置例を示す平面図である。図4は図3の部分拡大図である。図4は図3に示す領域40を拡大したものである。図5は走査線、データ線の配置例を分けて記載した平面図である。図5Aは走査線の配置例を示している。図5Bはデータ線の配置例を示している。図4に示すように、表示装置1の表示部11は、x軸方向とy軸方向とに沿って配列された複数の画素111を有する。複数の画素111は行列状に配列してある。画素111の行方向の配列数は、最大6m個(mは2以上の整数)である。画素111の列方向の配列数は、最大2n個(nは1以上の整数)である。上述の第1方向は行方向である。上述の第2方向は列方向である。なお、画素111の行方向の配列数は、最大6m個、列方向の配列数は2n個とした。しかし、これは一例であり、それに限らない。行方向の配列数の最大値が6の倍数でなくても良い。列方向の配列数も2の倍数でなくてもよい。

10

【0016】

表示装置1のTFT回路配置領域12には、2n個の走査ドライバブロックS1からS2nが配置してある。2n個の走査ドライバブロックS1からS2nは、第1象限Q1及び第2象限Q2の外周辺部である第1辺部A1に配置してある。2n個の走査ドライバブロックS1からS2nのうち、n個の走査ドライバブロックS1からSnは、第2象限Q2の外周辺部である第3辺部A3に配置してある。残りのn個の走査ドライバブロックSn+1からS2nは、第1象限Q1の外周辺部である第4辺部A4に配置してある。走査ドライバブロックSn+1からS2nは、走査回路群の一例である。

20

【0017】

TFT回路配置領域12には、m個のデータドライバブロックDM1からDMmが配置してある。データドライバブロックDM1からDMmは、走査信号が入力される画素の発光輝度に応じたデータ信号をデータ線に出力するデータ信号回路群の一例である。m個のデータドライバブロックDM1からDMmは、第3象限Q3及び第4象限Q4の外周辺部である第2辺部A2に配置してある。データ線は第2方向に沿っている。データ線のそれぞれは、第2方向に沿う複数の画素(第3画素群)に接続している。

【0018】

表示部11には、第1方向に沿う走査線SL1からSLnがn本配置してある。走査線SL1からSLnは第2方向に向けて順次配置してある。走査線SL1からSLnのうち、隣接する2本の走査線は、所定の間隔で配置されている。走査線SL1からSLnは、それぞれ走査ドライバブロックS1からSnと接続している。走査ドライバブロックS1からSnそれぞれは、走査線SL1からSLnそれぞれに走査信号を出力する。走査方向は、SL1、SL2、SL3、...、SL2nの順である。したがって、走査ドライバブロックS1、S2、S3、...、S2nの順に、走査信号を出力する。走査線SL1からSLnのそれぞれは、第1方向に沿う複数の画素(第1画素群)と接続している。

30

【0019】

表示部11には、第1方向に沿う第1配線SMn+1からSM2nがn本配置してある。第1配線SMn+1からSM2nは第2方向に向けて順次配置してある。第1配線SMn+1からSM2nの隣接する2本の第1配線は、所定の間隔で配置してある。第1配線SMn+1は走査線SLnの次に配置してある。第1配線SMn+1からSM2nの中で、第1配線SMn+1が最も長い。第1配線SMn+2は、第1配線SMn+1よりも短い。第1配線SMn+3は、第1配線SMn+2よりも短い。第1配線SMn+1からSM2nは第2方向に向かって、順次、短くなっている。そして、第1配線SM2nが最も短くなっている。第1配線SMn+1からSM2nそれぞれは、第1方向に沿う複数の画素(第2画素群)と接続している。

40

【0020】

表示部11には、第2方向に沿う第2配線San+1からSa2nがn本配置してある

50

。第2配線  $S_{a n + 1}$  から  $S_{a 2 n}$  は第1方向に向けて、第2配線  $S_{a 2 n}$ 、第2配線  $S_{a 2 n - 1}$ 、...、第2配線  $S_{a n + 1}$  のように、順次配置してある。第2配線  $S_{a n + 1}$  から  $S_{a 2 n}$  の隣接する2本の第2配線は、所定の間隔で配置してある。第2配線  $S_{a n + 1}$  から  $S_{a 2 n}$  の中で、第2配線  $S_{a 2 n}$  が最も長い。第2配線  $S_{a 2 n - 1}$  は第2配線  $S_{a 2 n}$  よりも短い。第2配線  $S_{a 2 n - 2}$  は第2配線  $S_{a 2 n - 1}$  よりも短い。第2配線  $S_{a 2 n}$  から  $S_{a n + 1}$  は第1の方向に向かって、順次、短くなっている。そして、第2配線  $S_{a n + 1}$  が最も短くなっている。

【0021】

第1配線  $S_{M n + 1}$  から  $S_{M 2 n}$  は、接続部  $V_{n + 1}$  から  $V_{2 n}$  で、第2配線  $S_{a n + 1}$  から  $S_{a 2 n}$  それぞれと電氣的に接続している。ここで、接続部  $V_{n + 1}$  により、接続された第1配線  $S_{M n + 1}$ 、第2配線  $S_{a n + 1}$  を合わせて、交差走査線  $S_{L n + 1}$  と呼ぶ。したがって、表示部11には、 $n$ 本の交差走査線  $S_{L n + 1}$  から  $S_{L 2 n}$  が配置してある。第2配線  $S_{a n + 1}$  から  $S_{a 2 n}$  は、それぞれ走査ドライバブロック  $S_{n + 1}$  から  $S_{2 n}$  と接続している。走査ドライバブロック  $S_{n + 1}$  から  $S_{2 n}$  それぞれは、第2配線  $S_{a n + 1}$  から  $S_{a 2 n}$  それぞれを介して、第1配線  $S_{M n + 1}$  から  $S_{M 2 n}$  に走査信号を出力する。

10

【0022】

交差走査線  $S_{L n + 1}$  は第1配線  $S_{M n + 1}$  と第2配線  $S_{a n + 1}$  とを含む。交差走査線  $S_{L n + 2}$  は第1配線  $S_{M n + 2}$  と第2配線  $S_{a n + 2}$  とを含む。第1配線  $S_{M n + 2}$  は、第1配線  $S_{M n + 1}$  よりも短い。それに対して、第2配線  $S_{a n + 2}$  は第2配線  $S_{a n + 1}$  よりも長い。それぞれの差分値は略同じ値となっている。同様に、他の隣接する2つの交差走査線においても、第1配線の差分値と第2配線との差分値とが略同じ値となっている。その結果、交差走査線  $S_{L n + 1}$  から  $S_{L 2 n}$  それぞれの配線の全長は、略同じ値となっている。

20

【0023】

交差走査線  $S_{L n + 1}$  を第1の交差走査線、交差走査線  $S_{L n + 1}$  を第2の交差走査線、交差走査線  $S_{L 2 n}$  を第 $n$ の交差走査線とする。第 $i$  ( $1$ 以上、 $n + 1$ 未満の整数)の交差走査線の第2配線  $S_{M n + i}$  の長さは、第 $i + 1$ の交差走査線の第2配線  $S_{M n + i + 1}$  よりも短く、第 $i$ の交差走査線の第1配線  $S_{a n + i}$  の長さは、第 $1 + 1$ の交差走査線の第1配線  $S_{a n + i + 1}$  よりも長い。

30

【0024】

表示装置1では、第1象限と第2象限とに第1から第 $p$ の走査線が配置されている。第1から第 $p$ の走査線の一例は、走査線  $S_{L 1}$  から  $S_{L n}$  である。第3象限と第4象限とに第1から第 $q$ の交差走査線の第1配線が配置されている。第1から第 $q$ の交差走査線の一例は、交差走査線  $S_{L n + 1}$  から  $S_{L 2 n}$  である。

【0025】

図6はデータドライバブロック  $DM 1$  から  $DM m$  の構成例を示す回路ブロック図である。データドライバブロック  $DM 1$  から  $DM m$  は、ドライバIC14が出力したデータ信号を分配するデマルチプレクサを含む回路ブロックである。 $D_n$  はドライバIC14が出力したデータ信号が入力される配線である。 $X_{6 n}$  から  $X_{6 n + 5}$  はデータ信号の出力配線である。図6に示すデマルチプレクサは、1本の入力を6本の出力に分配する1対6のデマルチプレクサである。デマルチプレクサには  $T 1$  から  $T 6$  の制御入力配線が設けてある。デマルチプレクサはスイッチトランジスタ  $Tr$  を含む。各スイッチトランジスタ  $Tr$  は、各出力配線、各制御入力配線と対応している。各スイッチトランジスタ  $Tr$  のソース/ドレインは、データ信号の入力配線  $D_n$  と接続している。制御入力配線  $T 1$  から  $T 6$  は、各スイッチトランジスタ  $Tr$  のゲートと接続している。各スイッチトランジスタ  $Tr$  のドレイン/ソースは、出力配線  $X_{6 n}$  から  $X_{6 n + 5}$  に接続している。制御入力配線  $T 1$  から  $T 6$  により、スイッチトランジスタ  $Tr$  の1つがオンとなる。デマルチプレクサは、オンとなったスイッチトランジスタ  $Tr$  に対応する出力配線から、入力したデータ信号を出力する。

40

50

## 【0026】

図3、図5において、データドライバブロックDM1からDMmそれぞれは、1本のデータ線のみが記載されている。上述したように、データドライバブロックDM1からDMmは1対6のデマルチプレクサを含むので、データドライバブロックDM1からDMmそれぞれは、6本のデータ線が接続されている。本実施の形態において、データドライバブロックはm個あるから、表示部11全体で、6m本のデータ線が設けてある。

## 【0027】

図6に示すデマルチプレクサは、LTFS(Low Temperature Poly-Silicon)を用いたTFT(Thin Film Transistor)をスイッチトランジスタTrとしている。また、図6に示すデマルチプレクサは、TFTを2層メタルで作成した例である。

10

## 【0028】

図6に示すように、データドライバブロックDM1からDMmは、少なくとも1本の入力配線、6本の出力配線、6本の制御入力配線を含む。そのため、データドライバブロックDM1からDMmの周囲は、多数の配線が存在する。したがって、関連技術による表示装置のように、データドライバブロックと、走査ドライバブロックとを近傍に配置するためには、それらを配置できる十分なTFT回路配置領域12が必要となる。それに対して、本実施の形態の表示装置1では、走査ドライバブロックS1からSnを第1辺部A1に配置している。また、走査ドライバブロックSn+1からS2nも第1辺部A1に配置している。走査ドライバS1からS2nに接続する走査線を交差走査線としたことにより、そのような配置を可能としている。一方、データドライバブロックDM1からDMmを第1辺部A1と対向する第2辺部A2に配置している。そのため、走査ドライバブロックS1からS2n、データドライバブロックDM1からDMmを配置するための領域を小さくすることが可能となる。

20

## 【0029】

図7は画素111に含まれる画素回路の一例を示す回路図である。画素回路は、OLED、駆動トランジスタTr1、スイッチトランジスタTr2、保持容量C1を含む。画素回路には、正電源VDD、負電源VSS、映像信号Vdataおよび走査信号Scanが入力される。映像信号Vdataは、データドライバブロックDM1からDMmのそれぞれから対応する画素回路へ出力される。走査信号Scanは、走査ドライバブロックS1からS2nのそれぞれから対応する画素回路へ出力される。映像信号Vdataは、スイッチトランジスタTr2のソース電極に入力される。走査信号Scanは、スイッチトランジスタTr2のゲート電極に入力される。正電源VDDは保持容量C1の第1の電極および駆動トランジスタTr1のソース電極に接続されている。負電源VSSは、OLEDのカソード電極に接続されている。スイッチトランジスタTr2のドレイン電極は、保持容量C1の第2の電極および駆動トランジスタTr1のゲート電極に接続されている。駆動トランジスタのドレイン電極は、OLEDのアノード電極に接続されている。

30

## 【0030】

各画素回路に対して、走査信号Scanおよび映像信号Vdataの電圧が印加される。走査線が走査ドライバブロックS1からS2nのいずれかにより選択されている場合、すなわち走査信号ScanがONである場合には、スイッチトランジスタTr2がONになり、スイッチトランジスタTr2のドレイン電極から映像信号Vdataに応じた電圧が出力される。

40

## 【0031】

スイッチトランジスタTr2のドレイン電極の出力電圧と正電源VDDとの間の電位差Vgsに応じた電流を、駆動トランジスタTr1はOLEDに供給する。その結果、OLEDは電流に比例した輝度で発光する。走査信号ScanがOFFになった後は、保持容量Cに蓄積された電荷により駆動トランジスタTr1の電位差Vgsが維持され、OLEDは発光を継続する。

## 【0032】

50

図8は表示部11の断面図の一例である。図8は、表示部11のうちの一つのOLED素子LTを含む部分を、画像を表示する面に対して垂直な面で切断した断面図である。図8の左下部分には、トランジスタTが形成されている。図8の右下部分には、保持容量Cが形成されている。トランジスタTと保持容量Cの上には、OLED素子LTが形成されている。ここで示す断面は、トランジスタT、保持容量C、OLED素子LTが、どのような階層構造で形成されるかを、単に示しているものである。トランジスタTは、例えば、OLED素子LTを駆動する第1トランジスタTr1である。

【0033】

基板10上には、下地絶縁膜21が積層されている。下地絶縁膜21上には、ポリシリコン層22が形成されている。ポリシリコン層22上には、ゲート絶縁膜23が形成されている。ゲート絶縁膜23上には、第1金属層24が積層されている。第1金属層24は、モリブデン(Mo)等で形成する。第1金属層24上には、層間絶縁膜25が積層されている。層間絶縁膜25上には、第2金属層26が積層されている。第2金属層26は、モリブデン(Mo)等の高融点金属で形成する。第2金属層26の一部はコンタクトホールを介して、ポリシリコン層22と物理的及び電氣的に接続している。第2金属層26上には、パッシベーション膜27が形成されている。パッシベーション膜27は無機絶縁膜である。パッシベーション膜27上には、平坦化層28が積層されている。

【0034】

平坦化層28上には、アノード電極32、OLEDデバイス33、カソード電極34、キャップ層35が積層されている。アノード電極32はTFT回路出力接続部51に接続されている。TFT回路出力接続部51は、トランジスタTのドレイン/ソースと接続されている。平坦化層28及びアノード電極32それぞれの一部と、OLEDデバイス33及びカソード電極34それぞれの一部との間には、素子分離膜31が形成されている。素子分離膜31は有機膜である。素子分離膜31は、矩形の孔を有する絶縁性の層である。素子分離膜31は、TFT回路出力接続部51及びアノード電極32の縁を覆い、アノード電極32の中央部を覆わない。

【0035】

キャップ層35上には空隙41を間に挟んで、封止ガラス42が配置されている。封止ガラス42上には、1/4波長位相差板43及び偏光板44が配置されている。

【0036】

OLED素子LTは、アノード電極32の素子分離膜31に覆われていない部分及びその上側に積層された部分のOLEDデバイス33、カソード電極34、キャップ層35である。

【0037】

アノード電極32の中央部及び素子分離膜31に設けられた孔の縁の上側は、OLEDデバイス33で覆われている。OLEDデバイス33は、電圧が印加されると第1色、第2色または第3色のいずれかの色で発光する有機化合物の層である。

【0038】

表示装置1は複数の画素を有する。画素は有機発光層を含む発光部と、容量と容量の電圧に応じた電流を発光部に流す駆動トランジスタを含む画素回路を有する。発光部の一例は、OLED素子LTである。容量の一例は、保持容量Cである。駆動トランジスタの一例は、駆動トランジスタTr1である。

【0039】

OLEDデバイス33の上側は、カソード電極34が設けられている。カソード電極34は表示部11に含まれる各OLED素子LTを連続して覆う透明電極である。すなわち、カソード電極34は隣接するOLED素子LTの各々に共通して設けられた電極である。

【0040】

カソード電極34の上側に、キャップ層35が設けられている。キャップ層35は、カソード電極34と同様に各OLED素子LTを連続して覆う層である。キャップ層35は

10

20

30

40

50

、屈折率の高い透明な材料製の層である。

【0041】

空隙41には乾燥空気が封入してある。キャップ層35、空隙41及び封止ガラス42は、OLEDデバイス33のカソード電極34が湿気等により劣化する事及び外力により破損する事を防ぐ保護層の役割を果たす。

【0042】

表示装置1の画素回路は基板面に層状に形成され、発光部は、画素回路が形成された層の上側に形成されている。

【0043】

図8に示す表示部11の構造は、金属層を2層含む2層メタル構造である。図8に示す2層メタル構造では、走査線SL1からSLnは第1金属層24で形成する。交差走査線SLn+1からSL2nの第1配線SMn+1からSM2nも、第1金属層24で形成する。交差走査線SLn+1からSL2nの第2配線Sa1からSanは、第2金属層26で形成する。データ線DL1からDL6mは、第2金属層26で形成する。

10

【0044】

図8に示す2層メタル構造では、保持容量Cはトランジスタと同様な構造となっている。保持容量Cは所謂、MOS容量である。保持容量Cの上電極とトランジスタのゲート電極とは、同じ第1金属層24からなる。保持容量Cの下電極とトランジスタのチャンネル層とは、同じポリシリコン層22からなる。保持容量Cの下電極となるポリシリコン層22は、不純物が添加されたドーブ層である。

20

【0045】

2層メタル構造では、駆動トランジスタに含まれるソース/ドレインの少なくとも1つに接続する配線が形成される配線層に第2配線とデータ線が形成される。配線層の一例は第2金属層26である。また、容量の金属電極が形成される層に走査線と第1配線とが形成される。容量の金属電極が形成される層の一例は、第1金属層24である。

【0046】

図8に示す2層メタル構造では、ポリシリコン層22の形成後に、第1金属層24を形成する前に、ポリシリコン層22に不純物を添加する必要がある。第1金属層24を形成後に、不純物を添加する処理をした場合、第1金属層24が覆っているポリシリコン層22の一部には、不純物が添加されない。ポリシリコン層22において、不純物が添加できていない部分は、真性半導体となる。真性半導体は抵抗値が高い。そのため、保持容量Cは機能しない。

30

【0047】

また、ゲート絶縁膜23は所定の厚さ以上とする。ゲート絶縁膜23を薄くすると、ゲート電極とチャンネル層とが電氣的に接続してしまい、トランジスタが機能しなくなるからである。

【0048】

本実施の形態は以下の効果を奏する。走査ドライバブロックS1からS2nを第1辺部A1に配置している。一方、データドライバブロックDM1からDMmを第1辺部A1と対向する第2辺部A2に配置している。このように、走査ドライバブロックS1からS2nとデータドライバブロックDMからDMmとは、別々の領域に配置している。すなわち、本実施の形態では、表示画面の周辺に均等にドライバブロックを配置して一部領域(ドライバIC14に近い領域)にドライバブロックが集中して配置されるのを抑制している。具体的には、ドライバIC14に近い領域にデータドライバブロックDM1からDMmを配置し、この領域には走査ドライバブロックS1からS2nを配置しない。そのため、この領域におけるドライバブロックの配置領域を狭くすることができるので、表示装置1の額縁をより狭くすることが可能となる。

40

【0049】

交差走査線SLn+1からSL2nそれぞれの配線の全長は、略同じ値となっている。それにより、交差走査線SLn+1からSL2nそれぞれの配線容量にばらつきが少ない

50

。したがって、交差走査線  $SL_{n+1}$  から  $SL_{2n}$  それぞれに接続された画素  $111$  を同じ条件で駆動することが可能となる。

【0050】

(実施の形態2)

実施の形態2は、表示部  $11$  を3層メタル構造で形成する形態に関する。3層メタル構造とは、金属層を3層含む構造である。図9は表示部  $11$  の断面図の一例である。実施の形態1と同様な構成については、同じ符号を付し、説明を省略する。

【0051】

本実施の形態においては、第1金属層  $24$  上に形成される層間絶縁膜  $25$  が第1の層間絶縁膜  $251$  と第2の層間絶縁膜  $252$  との2つの層になっている。第1の層間絶縁膜  $251$  と第2の層間絶縁膜  $252$  との間には、第3金属層  $29$  が形成されている。第3金属層  $29$  は、モリブデン ( $Mo$ ) 等で形成する。第3金属層  $29$  の一部は、保持容量  $C$  の下電極と対向する上電極となっている。

10

【0052】

本実施の形態においては、走査線  $SL_1$  から  $SL_n$  は第1金属層  $24$  で形成する。交差走査線  $SL_{n+1}$  から  $SL_{2n}$  の第1配線  $SM_{n+1}$  から  $SM_{2n}$  も、第1金属層  $24$  で形成する。交差走査線  $SL_{n+1}$  から  $SL_{2n}$  の第2配線  $sa_1$  から  $sa_n$  は、第3金属層  $29$  で形成する。データ線  $DL_1$  から  $DL_{6m}$  は、第2金属層  $26$  で形成する。

【0053】

3層メタル構造では、駆動トランジスタに含まれるソース/ドレインの少なくとも1つに接続する配線が形成される配線層にデータ線が形成される。配線層の一例は、第2金属層  $26$  である。容量の第1金属電極が形成される層に走査線と第1配線とが形成される。容量の第1金属電極が形成される層の一例は、第1金属層  $24$  である。容量の第2金属電極が形成される層に第2配線が形成される。容量の第2金属電極が形成される層の一例は、第3金属層  $29$  である。

20

【0054】

本実施の形態は、実施の形態1の奏する効果に加えて、以下の効果を奏する。保持容量  $C$  は第1金属層  $24$ 、第3金属層  $29$ 、第1の層間絶縁膜  $251$  により構成される。第1トランジスタ  $Tr_1$  を正常の機能させるためには、層間絶縁膜  $25$  の厚さを所定以上とすることはできない。本実施の形態では層間絶縁膜  $25$  は第1の層間絶縁膜  $251$  と第2の層間絶縁膜  $252$  とで構成している。そのため、第2の層間絶縁膜  $252$  を厚くすることで、第1の層間絶縁膜  $251$  を薄くすることが可能となる。保持容量  $C$  はデータ信号として印加される電圧に耐えられれば良い。そのため、第1の層間絶縁膜  $251$  は必要最低限の厚さとすることが可能である。その結果、保持容量  $C$  の単位面積あたりの容量を増やすことが可能である。その結果、保持容量  $C$  に構成するのに必要な面積を小さくできる。よって、画素回路を構成するための必要面積が減少する。したがって、表示部  $11$  の高精細化が可能となる。

30

【0055】

また、金属層が2層から3層に増えることにより、配線を配置する層が増える。よって、2層と同じ面積で、2層よりも複雑な回路を作成可能となる。

40

【0056】

データ線  $DL_1$  から  $DL_{6m}$  は、第2金属層  $26$  で形成する。第2トランジスタ  $Tr_2$  のソース/ドレインを第2金属層  $26$  で構成すれば、ソース/ドレインと接続するデータ線  $DL_1$  から  $DL_m$  が同じ金属層となるからである。それより、配線が設計し易くなる。また、同じ層に成ることにより、第2トランジスタ  $Tr_2$  への配線が短くなり、データの遅延時間を短くすることが可能となる。

【0057】

交差走査線  $SL_{n+1}$  から  $SL_{2n}$  の第2配線  $sa_1$  から  $sa_n$  は、第3金属層  $29$  で形成している。第3金属層  $29$  は、第1金属層  $24$  と同等な配線抵抗で生成することが可能となる。交差走査線  $SL_{n+1}$  から  $SL_{2n}$  は、すべて配線長が略同じであるため、遅

50

延時間を揃えることが可能となる。もし走査線の遅延時間のばらつきがあると、画素内でデータを書き込むスイッチングトランジスタがオフする際に生じる突き抜け電圧がこの遅延時間の大きさに依存するため、OLEDに電流を供給する駆動トランジスタTr1の電流増幅率を決定するVgs電位が遅延時間の差によって変化してしまい、表示画面の輝度にムラを生じることになってしまう。

【0058】

(実施の形態3)

本実施の形態は、走査ドライバブロックS1からS2nの連続動作を円滑に行う形態に関する。上述したように、走査ドライバブロックS1からS2nは順次、走査信号を出力する。走査ドライバブロックは一般的にはシフトレジスタ型が用いられており、前段の走査ドライバブロックの出力信号が、後段の走査ドライバブロックの入力信号となる。

10

【0059】

上述の実施形態では、走査ドライバブロックS1からSnは、走査信号の出力順に並んでおり、順番が前後する走査ドライバブロックは隣接している。同様に、走査ドライバブロックSn+1からS2nは、走査信号の出力順に並んでおり、順番が前後する走査ドライバブロックは隣接している。走査信号の出力順が最後の走査ドライバブロックS2nと最初の走査ドライバブロックS1とも隣接している。したがって、これらのブロック間では、出力信号を後段の入力信号として接続するのは容易である。

しかしながら、走査ドライバブロックSnと走査ドライバブロックSn+1とは、表示部11を間に挟んで対向する位置にある。そのため、走査信号を伝達するために周辺部に長い配線が必要となる。その結果、表示部11の配線設計での大きな負担となる。本実施の形態は、この点についての対策を行う。

20

【0060】

図10は走査線の配置例を示す平面図である。図10ではデータ線の記載は省略している。図10において、上述の実施の形態と同様な構成については、同じ符号を付し、説明を省略する。本実施の形態では、走査ドライバブロックSnから走査ドライバブロックSn+1への走査信号の伝達に走査線SLnを利用する。走査線SLnと走査ドライバブロックSn+1とを結ぶ連絡配線Bが設けてある。走査線SLnの一端は走査ドライバブロックSnと接続されている。走査線SLnの他端は走査ドライバブロックSn+1と比較的に近い位置にある。したがって、連絡配線Bのための領域の確保は容易である。

30

【0061】

表示装置1において、第qの走査線に走査信号を出力する走査回路は、第1の交差走査線に走査信号を出力する走査回路に、第qの走査線を介して、走査開始タイミングを示すタイミング信号を出力する。第qの走査線の一例は、SLnである。第qの走査線に走査信号を出力する走査回路の一例は、走査ドライバブロックSnである。第1の交差走査線に走査信号を出力する走査回路の一例は、走査ドライバブロックSn+1である。

【0062】

本実施の形態においては、走査ドライバブロックSnから走査ドライバブロックSn+1への送信に走査線SLnを用いる。それにより、走査信号を伝達するための新たな配線を節約することが可能となる。

40

【0063】

(実施の形態4)

本実施の形態は、遅延時間のずれを改善する形態に関する。表示装置1においては、走査信号の立ち上がりにより、画素回路のスイッチトランジスタ(図7では第2トランジスタTr2)がオンとなり、データ信号の電圧に応じた電荷が保持容量に蓄積される。ここで、走査信号が立ち上がってから、スイッチトランジスタがONになるまで、遅延がある。ここでは、この遅延の時間を遅延時間という。遅延時間が発生するのは、表示装置1の大型化・高精細化に伴い、走査線は長くなっているからである。また走査線は、交差する信号線も多い。そのため、スイッチトランジスタのON抵抗、寄生容量が大きくなるため、スイッチトランジスタのゲートに入力される走査信号の波形が鈍る。その結果、

50

遅延時間が発生する。

【 0 0 6 4 】

上述の実施の形態では、走査ドライバブロック  $S_1$  から  $S_n$  に接続する走査線  $SL_1$  から  $SL_n$  は、だんだん長くなっている。そのため、配線容量が増加するから、遅延時間が徐々に長くなる傾向となる。一方、走査ドライバブロック  $S_{n+1}$  から  $S_{2n}$  に接続する走査線  $SL_{n+1}$  から  $SL_{2n}$  は配線長が略同一なので、遅延時間の変化を抑制することが可能となっている。

【 0 0 6 5 】

そこで、本実施の形態においては、走査ドライバブロック  $S_1$  から  $S_n$  にも、走査線  $SL_{n+1}$  から  $SL_{2n}$  と同じように第 2 方向に沿う配線を追加する。それにより、走査線のすべての線長を均一とする。

10

【 0 0 6 6 】

図 1 1 は走査線の配置例を示す平面図である。図 1 1 において、上述の実施の形態と同様な構成については、同じ符号を付し、説明を省略する。本実施の形態において、走査ドライバブロック  $S_1$  から  $S_n$  それぞれには、第 1 の方向に沿う第 1 配線  $SM_1$  から  $SM_n$  それぞれが接続されている。第 1 配線  $SM_1$  から  $SM_n$  は上述の実施の形態の走査線  $SL_1$  から  $SL_n$  と対応する。走査ドライバブロック  $S_1$  から  $S_n$  それぞれには、さらに、第 2 の方向に沿う第 2 配線  $sa_1$  から  $sa_n$  がそれぞれ接続されている。

【 0 0 6 7 】

第 1 配線  $SM_1$  から  $SM_n$  において、第 1 配線  $SM_1$  が最も短い。第 1 配線  $SM_2$  は第 1 配線  $SM_1$  より長い。第 1 配線  $SM_3$  は第 1 配線  $SM_2$  より長い。第 1 配線  $SM_1$ 、第 1 配線  $SM_2$ 、第 1 配線  $SM_3$ 、... の順で長くなる。第 1 配線  $SM_n$  が最も長い。一方、第 2 配線  $sa_1$  から  $sa_n$  において、第 2 配線  $sa_1$  が最も長い。第 2 配線  $sa_2$  は第 2 配線  $sa_1$  より短い。第 2 配線  $sa_1$ 、第 2 配線  $sa_2$ 、第 2 配線  $sa_3$ 、... の順で短くなる。第 2 配線  $sa_n$  が最も短い。以上のように構成したことにより、走査ドライバブロック  $S_1$  に接続される第 1 配線  $SM_1$  と第 2 配線  $sa_1$  との線長の合計は、走査ドライバブロック  $S_2$  に接続される第 1 配線  $SM_2$  と第 2 配線  $sa_2$  との線長の合計とほぼ等しくなる。他の走査ドライバブロックに接続される第 1 配線と第 2 配線との線長の合計もほぼ等しくなる。更にまた、これらの線長の合計は、走査ドライバブロック  $S_{n+1}$  から  $S_{2n}$  それぞれに接続されている走査線  $SL_{n+1}$  から  $SL_{2n}$  それぞれともほぼ等しい。走査ドライバブロック  $S_1$  から  $S_{2n}$  が走査信号を出力する配線の配線長は、すべてほぼ等しい値である。

20

30

【 0 0 6 8 】

本実施の形態は、上述の実施の形態が奏する効果に加えて、次の効果を奏する。走査ドライバブロック  $S_1$  から  $S_{2n}$  が走査信号を出力する配線の容量はほぼ等しいので、遅延時間もほぼ等しくなる。その結果、遅延時間のばらつきを抑制することが可能となる。

【 0 0 6 9 】

(実施の形態 5)

本実施の形態は、すべての走査線が第 1 の方向に沿う第 1 配線と、第 2 の方向に沿う第 2 配線とから構成される交差走査線となる形態に関する。図 1 2 は走査線の配置例を示す平面図である。図 1 2 において、上述の実施の形態と同様な構成については、同じ符号を付し、説明を省略する。

40

【 0 0 7 0 】

本実施の形態において、走査ドライバブロック  $S_1$  に接続する走査線  $SL_1$  は、第 1 の方向に沿う第 1 配線  $SM_1$ 、第 2 の方向に沿う第 2 配線  $sa_1$  を含む。第 1 配線  $SM_1$  と第 2 配線  $sa_1$  は配線接続部  $V_1$  により接続されている。同様に走査ドライバブロック  $S_2$  から  $S_n$  それぞれに接続する走査線  $SL_2$  から  $SL_n$  は、それぞれ第 1 方向に沿う第 1 配線  $SM_2$  から  $SM_n$ 、第 2 の方向に沿う第 2 配線  $sa_2$  から  $sa_n$  を含む。第 1 配線  $SM_2$  から  $SM_n$  それぞれと、第 2 配線  $sa_2$  から  $sa_n$  それぞれとは、配線接続部  $V_2$  から  $V_n$  それぞれにより接続されている。走査ドライバブロック  $S_{n+1}$  から  $S_{2n}$  に接続

50

される走査線  $SL_{n+1}$  から  $SL_{2n}$  は上述の実施の形態と同様である。

【0071】

第1方向に沿う第1配線  $SM_1$  から  $SM_{2n}$  は、第1方向に沿って配列された第2画素群に接続している。第2方向に沿って配列された第1画素群は、第2方向に沿うデータ線に接続している。

【0072】

実施の形態4と同様に、第1配線  $SM_1$  から  $SM_n$  において、第1配線  $SM_1$  が最も短い。第1配線  $SM_n$  が最も長い。第1配線  $SM_1$ 、第1配線  $SM_2$ 、第1配線  $SM_3$ 、... の順で長くなる。一方、第2配線  $sa_1$  から  $sa_n$  において、第2配線  $sa_1$  が最も長い。第2配線  $sa_n$  が最も短い。第2配線  $sa_1$ 、第2配線  $sa_2$ 、第2配線  $sa_3$ 、... の順で短くなる。以上のように構成したことにより、走査線  $SL_1$  から  $SL_n$  のいずれの線長もほぼ等しい。同様に、走査線  $SL_{n+1}$  から  $SL_{2n}$  のいずれの線長もほぼ等しい。そして、走査線  $SL_1$  から  $SL_{2n}$  のいずれの線長もほぼ等しい。そのため、各走査線の配線容量はほぼ等しくなり、遅延時間もほぼ等しくなる。その結果、遅延時間のばらつきを抑制することが可能となる。

【0073】

本実施の形態は、上述の実施の形態が奏する効果に加えて、つぎの効果を奏する。すべての走査線を第1配線と第2配線からなる構成としたので、第2配線を第1の方向に沿って均一に配置できる。それにより、第2配線の配置についての困難性が軽減される。

【0074】

画素回路は図7に示した回路に限らない。図13は画素111に含まれる画素回路の他の例を示す回路図である。画素回路は、OLED、駆動トランジスタ  $Tr_1$ 、スイッチトランジスタ  $Tr_2$ 、リセットトランジスタ  $Tr_3$ 、保持容量  $C$  を含む。画素回路には、正電源  $VDD$ 、負電源  $VSS$ 、映像信号  $Vdata$ 、走査信号1である  $Scan(N)$ 、走査信号2である  $Scan(N-1)$  およびリセット信号  $Vre$  が入力される。映像信号  $Vdata$  は、データドライバブロック  $DM_1$  から  $DM_m$  のそれぞれから対応する画素回路に出力される。走査信号1である  $Scan(N)$  は、 $N$  番目の走査ドライバブロック  $SN$  から出力される。走査信号2である  $Scan(N-1)$  は、 $N-1$  番目の走査ドライバ  $SN-1$  から出力される。

【0075】

映像信号  $Vdata$  は、スイッチトランジスタ  $Tr_2$  のソース電極に入力される。リセット信号  $Vre$  は、リセットトランジスタ  $Tr_3$  のソース電極に入力される。

【0076】

走査信号1である  $Scan(N)$  は、スイッチトランジスタ  $Tr_2$  のゲート電極に入力される。走査信号2である  $Scan(N-1)$  は、リセットトランジスタ  $Tr_3$  のゲート電極に入力される。正電源  $VDD$  は保持容量  $C$  の第1の電極および駆動トランジスタ  $Tr_1$  のソース電極に接続されている。負電源  $VSS$  は、OLEDのカソード電極に接続されている。

【0077】

スイッチトランジスタ  $Tr_2$  のドレイン電極は、保持容量  $C$  の第2の電極および駆動トランジスタ  $Tr_1$  のゲート電極に接続されている。駆動トランジスタ  $Tr_1$  のドレイン電極は、リセットトランジスタ  $Tr_3$  のドレイン電極と共に、OLEDのアノード電極に接続されている。

【0078】

映像信号  $Vdata$  は、それぞれのOLEDを発光させる明るさに対応した、黒電位から白電位までの間の電圧である。図7の画素回路と図13の画素回路とで異なる点は、リセットトランジスタ  $Tr_3$  によりOLEDのアノード電極をリセットする機能の有無である。リセットトランジスタ  $Tr_3$  は、OLEDにおけるアノード電極とカソード電極との間の電圧を順方向状態（アノード電極の電圧がカソード電極の電圧よりも高い）でなく、バイアス0の状態、または、逆方向状態（アノード電極の電圧がカソード電極の電圧より

10

20

30

40

50

も低い)とする事で、O L E Dの発光を停止するために用いられる。

【0079】

具体的には、リセットトランジスタTr3は、走査信号1であるScan(N)がオンとなる直前に、走査信号2であるScan(N-1)により、オンとなる。リセットトランジスタTr3がオンになると、リセット信号VreがO L E Dのカソード電極に印加される。リセット信号Vreは例えば負電源VSSと同じ電位または負電源VSSより低い電位とされる。その結果、O L E Dはダイオードの逆方向領域となり、発光しなくなる。

【0080】

このように、リセットTFTを用いて、O L E Dの発光を停止する事により、黒レベルを低くすることが出来る。また、しばしば見られるサブ画素間のクロストークを改善することが出来る。

10

【0081】

画素回路として、図7に示すものを採用するか、図13に示すものを採用するかにより、ドライバIC14、データドライバブロックDM1からDMm、走査ドライバブロックS1からS2nの構成を変更することは、適宜可能である。なお、図13に示す画素回路では、同じ画素回路に2種類のScan信号が入力される構成(1つの画素回路に2本の走査信号線が配線される構成)となる。したがって、走査ドライバブロックS1からS2nのそれぞれは、2本の走査信号線に接続し、2本の走査信号線に異なる信号を出力する。このような変更についても、適宜可能である。

【0082】

20

各実施の形態で記載されている技術的特徴(構成要件)はお互いに組み合わせ可能であり、組み合わせることにより、新しい技術的特徴を形成することができる。

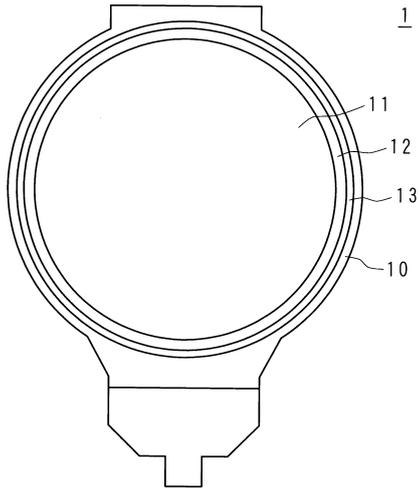
今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味では無く、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

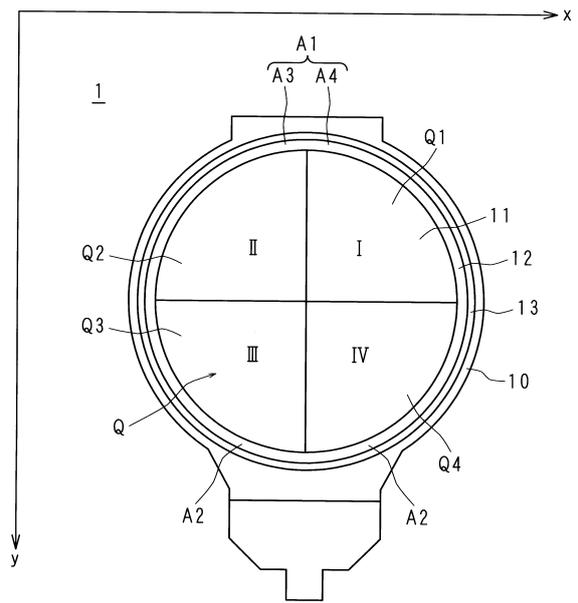
【0083】

1	表示装置	
10	基板	30
11	表示部	
12	TFT回路配置領域	
B	連絡配線	
C	保持容量	
DL1 ~ DL6m	データ線	
DM1 ~ DMm	データドライバブロック	
A1	第1辺部	
A2	第2辺部	
A3	第3辺部	
A4	第4辺部	40
Q1	第1象限	
Q2	第2象限	
Q3	第3象限	
Q4	第4象限	
S1 ~ S2n	走査ドライバブロック	
SL1 ~ SLn	走査線	
SLn+1 ~ SL2n	交差走査線	
SM1 ~ SM2n	第1配線	
Sa1 ~ Sa2n	第2配線	

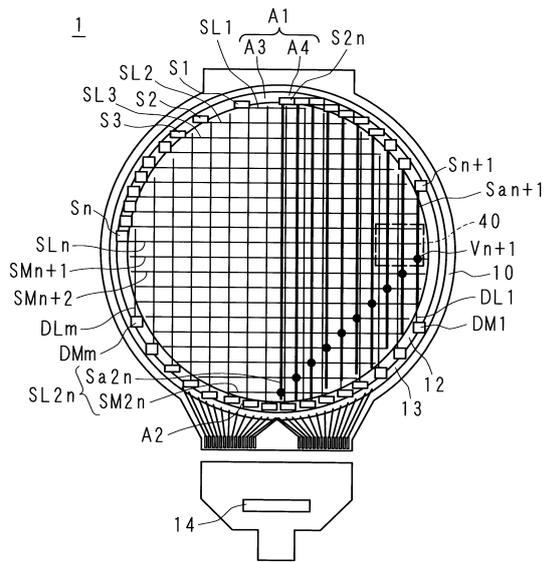
【図1】



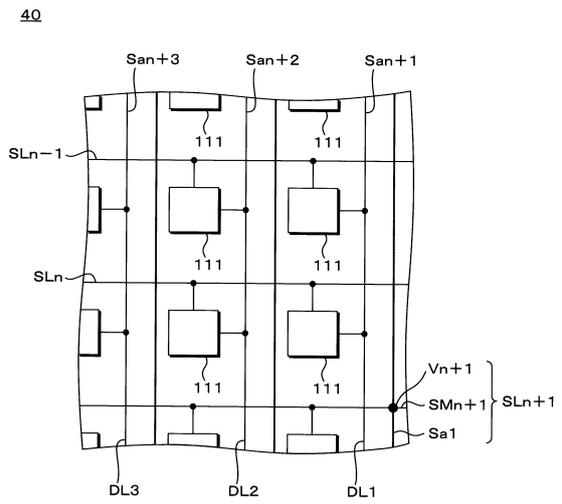
【図2】



【図3】



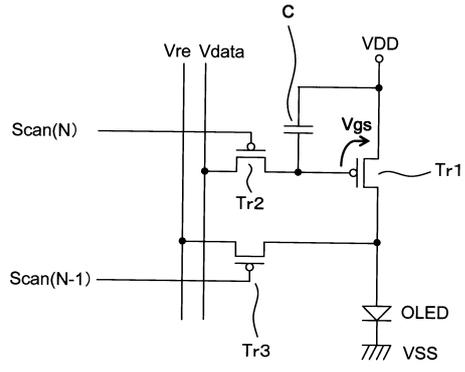
【図4】







【 図 13 】



## フロントページの続き

(56)参考文献 特開2008-216894(JP,A)  
米国特許出願公開第2014/0043306(US,A1)  
特開2008-292995(JP,A)  
特開2009-122636(JP,A)  
特開2009-134246(JP,A)  
特表2008-502023(JP,A)  
特表2008-501138(JP,A)  
特開平11-305681(JP,A)  
特開2011-043774(JP,A)  
特開2003-058075(JP,A)  
特開2003-066474(JP,A)  
米国特許出願公開第2015/0228702(US,A1)  
国際公開第08/062575(WO,A1)  
韓国公開特許第10-2005-0074727(KR,A)

## (58)調査した分野(Int.Cl., DB名)

G09F9/00-9/46  
H01L27/32  
H05B33/00-33/28  
G09G3/00-3/08;3/12-3/16;3/19-3/26;  
3/30-3/34;3/38  
G02F1/133;1/1333;1/1334;1/1337;  
1/1343-1/1345;1/1339-1/1341;  
1/135;1/1347