

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5666077号  
(P5666077)

(45) 発行日 平成27年2月12日(2015.2.12)

(24) 登録日 平成26年12月19日(2014.12.19)

(51) Int. Cl. F I  
**G 1 1 C 11/4076 (2006.01)** G 1 1 C 11/34 3 5 4 C  
**G 1 1 C 11/407 (2006.01)** G 1 1 C 11/34 3 6 2 S

請求項の数 12 (全 24 頁)

<p>(21) 出願番号 特願2007-175843 (P2007-175843)</p> <p>(22) 出願日 平成19年7月4日(2007.7.4)</p> <p>(65) 公開番号 特開2009-15952 (P2009-15952A)</p> <p>(43) 公開日 平成21年1月22日(2009.1.22)</p> <p>審査請求日 平成22年6月16日(2010.6.16)</p> <p>前置審査</p>	<p>(73) 特許権者 513192281                  ビーエスフォー ルクスコ エスエイアー                  ルエル                  PS4 Luxco S. a. r. l.                  ルクセンブルク大公国エルー 2 1 2 1、ル                  クセンブルク、ヴァル デ ボン マラデ                  ス 2 0 8</p> <p>(74) 代理人 100115738                  弁理士 鷲頭 光宏</p> <p>(74) 代理人 100121681                  弁理士 緒方 和文</p> <p>(74) 代理人 100130982                  弁理士 黒瀬 泰之</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 アドレスカウンタ及びこれを有する半導体記憶装置、並びに、データ処理システム

(57) 【特許請求の範囲】

【請求項 1】

それぞれアドレス信号の対応するビットを保持する複数のラッチ回路群と、前記複数のラッチ回路群を制御する第1及び第2のコマンドカウンタとを備え、

前記ラッチ回路群は、入力ゲートと出力ゲートを備える複数のラッチ回路が並列接続されており、

前記第1のコマンドカウンタは、第1の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記入力ゲートのいずれかを導通させる第1のモードと、前記第1の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる複数の前記入力ゲートを導通させる第2のモードとを有し、

前記第2のコマンドカウンタは、第2又は第3の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記出力ゲートのいずれかを導通させる第1のモードと、前記第2の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記出力ゲートのいずれかを導通させるとともに、前記第3の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記出力ゲートのいずれかを導通させる第2のモードとを有しており、

前記アドレス信号の最大蓄積数を第1の数とする場合には前記第1のモードが選択され、前記アドレス信号の最大蓄積数を前記第1の数とは異なる第2の数とする場合には前記第2のモードが選択され、これにより、前記第1及び第2のモードのいずれかを選択することによって、前記アドレス信号のそれぞれ対応する最大蓄積数を実現されることを特徴

とするアドレスカウンタ。

【請求項 2】

外部コマンドの最小入力サイクルが第 1 の値である場合には前記第 1 のモードが選択され、前記外部コマンドの最小入力サイクルが前記第 1 の値よりも大きい第 2 の値である場合には前記第 2 のモードが選択されることを特徴とする請求項 1 に記載のアドレスカウンタ。

【請求項 3】

それぞれの前記ラッチ回路群に含まれる複数のラッチ回路、並びに、これらに対応する前記入力ゲート及び前記出力ゲートは、少なくとも第 1 及び第 2 のグループに分かれており、

10

前記第 1 のコマンドカウンタが前記第 2 のモードである場合、前記第 1 の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記入力ゲートのうち、それぞれ前記第 1 及び第 2 のグループに属する 2 つの前記入力ゲートを導通させ、

前記第 2 のコマンドカウンタが前記第 2 のモードである場合、前記第 2 の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記出力ゲートのうち、前記第 1 のグループに属するいずれかの前記出力ゲートを導通させるとともに、前記第 3 の内部コマンドにตอบสนองしてそれぞれの前記ラッチ回路群に含まれる前記出力ゲートのうち、前記第 2 のグループに属するいずれかの前記出力ゲートを導通させることを特徴とする請求項 1 又は 2 に記載のアドレスカウンタ。

【請求項 4】

20

前記ラッチ回路群は 2 m 個のラッチ回路を含んでおり、

前記第 1 及び第 2 のコマンドカウンタは、いずれも、前記第 1 のモードである場合は 2 m カウント可能な 1 つのカウンタとして機能し、前記第 2 のモードである場合はそれぞれ m カウント可能な 2 つのカウンタとして機能することを特徴とする請求項 1 乃至 3 のいずれか一項に記載のアドレスカウンタ。

【請求項 5】

前記第 1 及び第 2 のコマンドカウンタは、いずれも、シフトレジスタが循環接続されたリングカウンタ構造を有していることを特徴とする請求項 1 乃至 4 のいずれか一項に記載のアドレスカウンタ。

【請求項 6】

30

前記第 1 の内部コマンドは、少なくともリードコマンド又はライトコマンドの発行にตอบสนองして生成され、

前記第 2 の内部コマンドは、前記第 1 の内部コマンドに対して第 1 のレイテンシが経過した後に生成され、

前記第 3 の内部コマンドは、前記第 1 の内部コマンドに対して第 2 のレイテンシが経過した後に生成されることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のアドレスカウンタ。

【請求項 7】

メモリセルアレイと、データ入出力端子と、前記データ入出力端子を介して入力されたライトデータを第 1 のデータバスに供給する第 1 のデータ選択回路と、前記第 1 のデータバス上のライトデータを前記メモリセルアレイに供給する第 2 のデータ選択回路と、請求項 1 乃至 6 のいずれか一項に記載のアドレスカウンタとを備え、

40

前記第 2 のコマンドカウンタが前記第 1 のモードである場合、前記出力ゲートを通過したアドレス信号は前記第 1 及び第 2 のデータ選択回路に供給され、

前記第 2 のコマンドカウンタが前記第 2 のモードである場合、前記第 2 の内部コマンドにตอบสนองして前記出力ゲートを通過したアドレス信号は前記第 1 のデータ選択回路に供給され、前記第 3 の内部コマンドにตอบสนองして前記出力ゲートを通過したアドレス信号は前記第 2 のデータ選択回路に供給されることを特徴とする半導体記憶装置。

【請求項 8】

バースト長を設定するためのモードレジスタをさらに備え、

50

前記第1のデータ選択回路は、前記データ入出力端子に接続されたFIFO回路群と、前記データ入出力端子を介して連続的に入力され又は連続的に出力するkビットのデータを並列に入出力する転送回路と、前記転送回路と前記FIFO回路群との間でデータ転送を行う第2のデータバスとを含んでおり、

前記転送回路は、前記モードレジスタに設定可能な最小バースト長をj (< k)とした場合、前記バースト長にかかわらず前記第2のデータバスを用いたデータの転送をjビット単位で行うことを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】

前記メモリセルアレイは複数のグループに分割されており、

前記メモリアレイの前記複数のグループからそれぞれkビットのデータを出力するメインアンプをさらに備え、

前記転送回路は、前記メインアンプから出力された前記kビットのデータの中から、グループごとにjビットのデータを選択し、選択したjビットのデータを前記第2のデータバスを介して前記FIFO回路群に供給することを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】

前記転送回路は、前記モードレジスタに設定されたバースト長がkである場合には、同一グループに属する前記メモリアレイから読み出された前記kビットのデータをjビットずつ、前記第2のデータバスを介して順次前記FIFO回路群に供給することを特徴とする請求項9に記載の半導体記憶装置。

【請求項11】

前記転送回路は、前記モードレジスタに設定されたバースト長がjである場合には、異なるグループに属する前記メモリアレイから読み出されたjビットのデータを前記第2のデータバスを介して順次前記FIFO回路群に供給することを特徴とする請求項9又は10に記載の半導体記憶装置。

【請求項12】

請求項7乃至11のいずれか一項に記載の半導体記憶装置と、データプロセッサと、ROMと、ストレージデバイスと、I/Oデバイスを備え、これらがシステムバスにより相互に接続されていることを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はアドレスカウンタ及びこれを有する半導体記憶装置に関し、特に、ポイントシフト型FIFO回路を用いたアドレスカウンタ及びこれを有する半導体記憶装置に関する。また、本発明はこのような半導体記憶装置を含むデータ処理システムに関する。

【背景技術】

【0002】

シンクロナスDRAM (Synchronous Dynamic Random Access Memory) に代表される同期式メモリ装置は、パーソナルコンピュータのメインメモリなどに広く利用されている。同期式メモリ装置は、コントローラより供給されるクロック信号に同期してデータを入出力することから、より高速なクロックを使用することによって、データ転送レートを高めることが可能である。

【0003】

しかしながら、シンクロナスDRAMにおいても、DRAMコアはあくまでアナログ動作であり、極めて微弱な電荷をセンス動作により増幅する必要がある。そのため、リードコマンドが発行されてから、最初のデータを出力するまでの時間を短縮することはできず、リードコマンドが発行されてから所定の遅延時間が経過した後、外部クロックに同期して最初のデータが出力される。

【0004】

リード動作時におけるこの遅延時間は一般に「CASレイテンシ」と呼ばれ、クロック

10

20

30

40

50

周期の整数倍に設定される。例えば、CASレイテンシが5 (CL = 5) であれば、外部クロックに同期してリードコマンドを取り込んだ後、5周期後の外部クロックに同期して最初のデータが出力される。つまり、5クロック後に最初のデータが出力されることになる。

【0005】

このような遅延は、ライト動作時においても必要である。ライト動作時においては、ライトコマンドが発行された後、所定の遅延時間が経過してから、外部クロックに同期してデータを連続的に入力する必要がある。ライト動作時におけるこの遅延時間は一般に「CASライトレイテンシ」と呼ばれ、クロック周期の整数倍に設定される。例えば、CASライトレイテンシが5 (CWL = 5) であれば、外部クロックに同期してライトコマンド

10

【0006】

このようにして取り込まれたライトデータは、メモリ装置の内部に設けられたリードライトバスや、カラムスイッチなどを經由してメモリセルに書き込まれる。このため、メモリ装置の内部においてもアドレス信号を適切に遅延させ、各回路に対して適切なタイミングでアドレス信号を供給する必要がある。このような目的から、同期式メモリ装置においては、アドレス信号を所定の時間だけ遅延させるFIFO回路が用いられる。このようなFIFO回路は、一般に「アドレスカウンタ」と呼ばれる。

【0007】

アドレス信号を遅延させる最も簡単な方法は、シフトレジスタ型のFIFO回路を用いることである。しかしながら、この方法ではシフトレジスタの必要段数がレイテンシに比例することから、レイテンシが大きくなればなるほど、回路規模がそのまま増大するという問題があった。レイテンシは、クロックの周波数が高くなるほど大きくなる傾向があることから、同期式メモリ装置の高速化に伴うレイテンシの増大は避けられない。

20

【0008】

シフトレジスタ型よりも回路規模の小さいFIFO回路としては、特許文献1及び非特許文献1に記載されたポイントシフト型FIFO回路が知られている。ポイントシフト型FIFO回路とは、入力ゲート及び出力ゲートを備える複数のラッチ回路が並列接続された構造を有し、入力ゲートのいずれか及び出力ゲートのいずれかを導通させることによって、ラッチした信号の出力タイミングを任意に設定することが可能なFIFO回路である。

30

【0009】

ポイントシフト型FIFO回路に必要なラッチ回路の数は、レイテンシと同数ではなく、遅延させるアドレス信号の最大蓄積数によって定義されるため、シフトレジスタを用いる場合よりも回路規模を小さくすることが可能である。

【特許文献1】特開2007-102936号公報

【非特許文献1】Ho Young Song、外15名、"A 1.2Gb/s/pin Double Data Rate SDRAM with On-Die-Termination", ISSCC 2003/SESSION 17/SRAM AND DRAM/PAPER 17.8、(米国)、IEEE、2003年、p.314

40

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述の通り、同期式メモリ装置においては、内部の各回路に対するアドレス供給のタイミングが異なる。このため、ポイントシフト型FIFO回路を用いてアドレスカウンタを構成すると、ポイントシフト型FIFO回路内にラッチ回路群を複数セット用意する必要が生じる。

【0011】

より具体的に説明すると、データ入出力端子を介して入力されたライトデータは、データ入出力回路からカラムスイッチなどを經由してメモリセルに供給されるため、アドレス

50

信号の供給も基本的にこの順に行う必要がある。このため、データ入出力回路にアドレス信号を供給するためのラッチ回路群と、カラムスイッチにアドレス信号を供給するためのラッチ回路群とが別個に必要となってしまう。

【0012】

しかも、上述の通り、1セットのラッチ回路群に必要なラッチ回路の数は、アドレス信号の最大蓄積数によって定義されるため、コマンドの最小入力周期( $t_{CCD}$ )が小さい場合には、その分回路規模が大きくなるという問題があった。

【0013】

本発明はこのような問題を解決すべくなされたものであって、本発明の目的は、ポイントシフト型FIFO回路を用いた改良されたアドレスカウンタを提供することである。

10

【0014】

また、本発明の他の目的は、ポイントシフト型FIFO回路を用いたアドレスカウンタであって、回路規模を縮小可能なアドレスカウンタを提供することである。

【0015】

また、本発明のさらに他の目的は、このようなアドレスカウンタを有する半導体記憶装置を提供することである。

【0016】

また、本発明のさらに他の目的は、このような半導体記憶装置を有するデータ処理システムを提供することである。

【課題を解決するための手段】

20

【0017】

本発明によるアドレスカウンタは、それぞれアドレス信号の対応するビットを保持する複数のラッチ回路群と、複数のラッチ回路群を制御する第1及び第2のコマンドカウンタとを備え、ラッチ回路群は、入力ゲートと出力ゲートを備える複数のラッチ回路が並列接続されており、第1のコマンドカウンタは、第1の内部コマンドにตอบสนองしてそれぞれのラッチ回路群に含まれる入力ゲートのいずれかを導通させる第1のモードと、第1の内部コマンドにตอบสนองしてそれぞれのラッチ回路群に含まれる複数の入力ゲートを導通させる第2のモードとを有し、第2のコマンドカウンタは、第2又は第3の内部コマンドにตอบสนองしてそれぞれのラッチ回路群に含まれる出力ゲートのいずれかを導通させる第1のモードと、第2の内部コマンドにตอบสนองしてそれぞれのラッチ回路群に含まれる出力ゲートのいずれかを導通させるとともに、第3の内部コマンドにตอบสนองしてそれぞれのラッチ回路群に含まれる出力ゲートのいずれかを導通させる第2のモードとを有していることを特徴とする。

30

【0018】

本発明による半導体記憶装置は、メモリセルアレイと、データ入出力端子と、データ入出力端子を介して入力されたライトデータを第1のデータバスに供給する第1のデータ選択回路と、第1のデータバス上のライトデータをメモリセルアレイに供給する第2のデータ選択回路と、上記のアドレスカウンタとを備え、第2のコマンドカウンタが第1のモードである場合、出力ゲートを通過したアドレス信号は、第1及び第2のデータ選択回路に供給され、第2のコマンドカウンタが第2のモードである場合、第2の内部コマンドにตอบสนองして出力ゲートを通過したアドレス信号は第1のデータ選択回路に供給され、第3の内部コマンドにตอบสนองして出力ゲートを通過したアドレス信号は第2のデータ選択回路に供給されることを特徴とする。

40

【0019】

本発明によるデータ処理システムは、上記の半導体記憶装置を含む。

【0020】

本発明による半導体記憶装置は、バースト長を設定するためのモードレジスタをさらに備え、第1のデータ選択回路は、データ入出力端子に接続されたFIFO回路群と、データ入出力端子を介して連続的に入力され又は連続的に出力するkビットのデータを並列入出力する転送回路と、転送回路と前記FIFO回路群との間でデータ転送を行う第2のデータバスとを含んでおり、転送回路は、モードレジスタに設定可能な最小バースト長を

50

$j (< k)$ とした場合、バースト長にかかわらず第2のデータバスを用いたデータの転送を  $j$  ビット単位で行うことが好ましい。

【0021】

この場合、メモリセルアレイは複数のグループに分割されており、メモリアレイの複数のグループからそれぞれ  $k$  ビットのデータを出力するメインアンプをさらに備え、転送回路は、メインアンプから出力された  $k$  ビットのデータの中から、グループごとに  $j$  ビットのデータを選択し、選択した  $j$  ビットのデータを第2のデータバスを介してFIFO回路群に供給することが好ましい。

【0022】

転送回路は、モードレジスタに設定されたバースト長が  $k$  である場合には、同一グループに属するメモリアレイから読み出された  $k$  ビットのデータを  $j$  ビットずつ、第2のデータバスを介して順次FIFO回路群に供給する。一方、モードレジスタに設定されたバースト長が  $j$  である場合には、異なるグループに属するメモリアレイから読み出された  $j$  ビットのデータを第2のデータバスを介して順次FIFO回路群に供給する。

10

【発明の効果】

【0023】

このように、本発明によるアドレスカウンタは、ポイントシフト型FIFO回路の構成を有しており、複数のラッチ回路群をひとまとまりで使用する第1のモードと、複数のラッチ回路群を分割して使用する第2のモードを有している。したがって、 $tCCD$  が小さい場合には第1のモードを選択し、 $tCCD$  が大きい場合には第2のモードを選択することにより、アドレスカウンタの回路規模を縮小することが可能となる。

20

【発明を実施するための最良の形態】

【0024】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0025】

図1は、本発明の好ましい第1の実施形態による半導体記憶装置の主要部の構成を示すブロック図である。図1には、本実施形態による半導体記憶装置の特徴部分であるカラム系回路及びデータ系回路のみを示し、ロウ系回路などについては省略してある。

【0026】

30

図1に示すように、本実施形態による半導体記憶装置は、メモリセルアレイ10と、外部端子であるデータ入出力端子DQ、アドレス端子ADD及びコマンド端子CMDを有している。ライト動作を行う場合には、コマンド端子CMDを介してライトコマンドを発行するとともに、アドレス端子ADDを介して所望のアドレス信号を入力し、さらに、所定のレイテンシが経過した後、データ入出力端子DQにライトデータを供給する。

【0027】

アドレス端子ADDを介して入力されるアドレス信号(カラムアドレス)2は、アドレスカウンタ20に取り込まれ、コマンド端子CMDを介して入力されるコマンド信号4は、コマンドデコーダ30によってデコードされる。デコード結果である内部コマンド6はアドレスカウンタ20に供給され、これによってアドレスカウンタ20の動作が制御される。アドレスカウンタ20に取り込まれたアドレス信号2は、コマンドデコーダ30による制御のもと、所定のタイミングでカラム選択回路40及びI/O回路50に供給される。

40

【0028】

I/O回路50は、データ入出力端子DQを介して入力されたライトデータをデータバス60に供給する回路であり、本発明における「第1のデータ選択回路」に相当する。図示しないが、I/O回路50には、入力バッファ及び出力バッファの他、バースト入力されるライトデータをシリアル/パラレル変換する回路などが含まれている。

【0029】

また、カラム選択回路40は、データバス60上のライトデータをメモリセルアレイ1

50

0に供給する回路であり、本発明における「第2のデータ選択回路」に相当する。図示しないが、カラム選択回路40には、カラムスイッチやカラムデコーダなどが含まれている。

【0030】

図2は、アドレスカウンタ20の回路図である。

【0031】

図2に示すように、アドレスカウンタ20はポイントシフト型FIFO回路の構成を有しており、複数のラッチ回路群21a-1~21a-n, 21b-1~21b-nと、これらラッチ回路群21a-1~21a-n, 21b-1~21b-nを制御するコマンドカウンタ22, 23を備える。

10

【0032】

ラッチ回路群21a-1~21a-nは、それぞれアドレス信号2の対応する1ビットを保持する回路である。同様に、ラッチ回路群21b-1~21b-nは、それぞれアドレス信号2の対応する1ビットを保持する回路である。したがって、ラッチ回路群の数(=2n)は、ラッチするアドレス信号2のビット数の2倍に等しい。

【0033】

図2に示すように、ラッチ回路群21a-1~21a-nは、複数のラッチ回路25a-1~25a-mが並列接続された構成を有している。ラッチ回路25a-1~25a-mには、それぞれ入力ゲート26a-1~26a-mと、出力ゲート27a-1~27a-mが接続されている。同様に、ラッチ回路群21b-1~21b-nは、複数のラッチ回路25b-1~25b-mが並列接続された構成を有している。ラッチ回路25b-1~25b-mには、それぞれ入力ゲート26b-1~26b-mと、出力ゲート27b-1~27b-mが接続されている。一つのラッチ回路群に含まれるラッチ回路の数(=m)は、アドレス信号2の最大蓄積数Xに応じて設定される。

20

【0034】

アドレス信号2の最大蓄積数Xは、半導体記憶装置の動作モードによって異なる。本実施形態では、第1のモードに設定された場合は最大蓄積数X=2mであり、第2のモードに設定された場合は最大蓄積数X=mである。具体的には、DDR(ダブルデータレート)型のシンクロナスDRAMの場合、アディティブレイテンシをAL、CASライトレイテンシをCWL、バースト長をBL、コマンドの最小入力サイクルをtCCDとすると、

30

$$X = 1 + \{ AL + CWL + (BL / 2) + 2 \} / tCCD$$

$$AL = 10$$

$$CWL = 8$$

$$BL = 4$$

$$tCCD = 2$$

とすると、

X=12となる。一方、第2のモードにおいて、

$$AL = 10$$

$$CWL = 8$$

$$BL = 8$$

$$tCCD = 4$$

とすると、

X=6となる。したがって、例えばアドレス信号2のビット数(=n)が16ビットであれば、192個(=12×16)のラッチ回路が必要となる。

40

【0035】

コマンドカウンタ22は、内部コマンド6aに应答してカウント動作を行う回路であり、コマンドカウンタ23は、内部コマンド6b, 6cに应答してカウント動作を行う回路である。

【0036】

50

内部コマンド6 aは、リードコマンド又はライトコマンドの発行にตอบสนองして生成される内部コマンドである。これに対し、内部コマンド6 b, 6 cは、内部コマンド6 aに対して所定のレイテンシをもって生成される内部コマンドである。内部コマンド6 bのレイテンシは、図1に示したI/O回路50へのアドレス供給タイミングに基づいて定められ、内部コマンド6 cのレイテンシは、図1に示したカラム選択回路40へのアドレス供給タイミングに基づいて定められる。

【0037】

図3は、コマンドカウンタ22の回路図である。

【0038】

図3に示すように、コマンドカウンタ22は、シフトレジスタ28 a - 1 ~ 28 a - m, 28 b - 1 ~ 28 b - mが循環接続されたリングカウンタ構造を有している。これらシフトレジスタ28 a - 1 ~ 28 a - m, 28 b - 1 ~ 28 b - mには内部コマンド6 aが共通に供給される。

【0039】

また、コマンドカウンタ22には、マルチプレクサ24 - 1, 24 - 2が設けられており、モード信号MODEが第1のモードであることを示している場合には、入力ノード1が選択される。その結果、シフトレジスタ28 a - 1 ~ 28 a - m及び28 b - 1 ~ 28 b - mが1つのリングカウンタとして機能する。つまり、2mカウント可能な1つのカウンタとして機能する。これに対し、モード信号MODEが第2のモードであることを示している場合には、入力ノード2が選択される。その結果、シフトレジスタ28 a - 1 ~ 28 a - mが1つのリングカウンタとして機能し、シフトレジスタ28 b - 1 ~ 28 b - mが1つのリングカウンタとして機能する。つまり、それぞれmカウント可能な2つのカウンタとして機能する。

【0040】

第2のモードにおいて循環接続されるシフトレジスタ28 a - 1 ~ 28 a - mの数 (= m) は、一つのラッチ回路群21 aに含まれるラッチ回路の数と一致しており、各シフトレジスタの出力が対応する入力ゲートに供給される。同様に、第2のモードにおいて循環接続されるシフトレジスタ28 b - 1 ~ 28 b - mの数 (= m) も、一つのラッチ回路群21 bに含まれるラッチ回路の数と一致しており、各シフトレジスタの出力が対応する入力ゲートに供給される。具体的には、シフトレジスタ28 a - 1 ~ 28 a - mの出力はそれぞれ入力ゲート26 a - 1 ~ 26 a - mに供給され、シフトレジスタ28 b - 1 ~ 28 b - mの出力は、それぞれ入力ゲート26 b - 1 ~ 26 b - mに供給される。

【0041】

第1のモードが選択されている場合、これらシフトレジスタ28 a - 1 ~ 28 a - m, 28 b - 1 ~ 28 b - mには、いずれか一つのシフトレジスタに活性レベル(例えばハイレベル)がラッチされ、他のシフトレジスタには非活性レベル(例えばローレベル)がラッチされている。したがって、第1のモードが選択されている場合には、コマンドカウンタ22は、それぞれのラッチ回路群21 a - 1 ~ 21 a - n, 21 b - 1 ~ 21 b - nに含まれる入力ゲート26 a - 1 ~ 26 a - m, 26 b - 1 ~ 26 b - mのいずれかを導通させる。

【0042】

これに対し、第2のモードが選択されている場合、シフトレジスタ28 a - 1 ~ 28 a - mのいずれか一つに活性レベルがラッチされ、シフトレジスタ28 b - 1 ~ 28 b - mのいずれか一つに活性レベルがラッチされる。したがって、第2のモードが選択されている場合には、コマンドカウンタ22は、それぞれのラッチ回路群21 a - 1 ~ 21 a - nに含まれる入力ゲート26 a - 1 ~ 26 a - mのいずれかを導通させるとともに、それぞれのラッチ回路群21 b - 1 ~ 21 b - nに含まれる入力ゲート26 b - 1 ~ 26 b - mのいずれかを導通させる。つまり、第2のモードが選択されている場合、コマンドカウンタ22は2つの入力ゲートを導通させる。

【0043】

10

20

30

40

50



そして、内部コマンド6 aが供給されると、コマンドカウンタ2 2内において、活性レベルをラッチしているシフトレジスタの位置が移動することから、導通状態となる入力ゲートが切り替えられる。

【0044】

図4は、コマンドカウンタ2 3の回路図である。

【0045】

図4に示すように、コマンドカウンタ2 3は、上述したコマンドカウンタ2 2と類似の構成を有している。つまり、シフトレジスタ2 9 a - 1 ~ 2 9 a - m, 2 9 b - 1 ~ 2 9 b - mが循環接続されたリングカウンタ構造を有している。

【0046】

コマンドカウンタ2 3には、マルチプレクサ2 4 - 3, 2 4 - 4が設けられており、モード信号MODEが第1のモードであることを示している場合には、入力ノード1が選択される。その結果、シフトレジスタ2 9 a - 1 ~ 2 9 a - m及び2 9 b - 1 ~ 2 9 b - mが1つのリングカウンタとして機能する。つまり、2 mカウント可能な1つのカウンタとして機能する。これに対し、モード信号MODEが第2のモードであることを示している場合には、入力ノード2が選択される。その結果、シフトレジスタ2 9 a - 1 ~ 2 9 a - mが1つのリングカウンタとして機能し、シフトレジスタ2 9 b - 1 ~ 2 9 b - mが1つのリングカウンタとして機能する。つまり、それぞれmカウント可能な2つのカウンタとして機能する。

【0047】

さらに、コマンドカウンタ2 3にはマルチプレクサ2 4 - 5が設けられている。マルチプレクサ2 4 - 5は、シフトレジスタ2 9 a - 1 ~ 2 9 a - m, 2 9 b - 1 ~ 2 9 b - mに供給する内部コマンドを切り替えるための回路であり、モード信号MODEが第1のモードであることを示している場合には、内部コマンド6 b又は6 cが出力ノード1, 2から共通に出力され、モード信号MODEが第2のモードであることを示している場合には、内部コマンド6 bが出力ノード1から出力され、内部コマンド6 cが出力ノード2から出力される。

【0048】

第2のモードにおいて循環接続されるシフトレジスタ2 9 a - 1 ~ 2 9 a - mの数 (= m) は、一つのラッチ回路群2 1 aに含まれるラッチ回路の数と一致しており、各シフトレジスタの出力が対応する出力ゲートに供給される。同様に、第2のモードにおいて循環接続されるシフトレジスタ2 9 b - 1 ~ 2 9 b - mの数 (= m) も、一つのラッチ回路群2 1 bに含まれるラッチ回路の数と一致しており、各シフトレジスタの出力が対応する出力ゲートに供給される。具体的には、シフトレジスタ2 9 a - 1 ~ 2 9 a - mの出力はそれぞれ出力ゲート2 7 a - 1 ~ 2 7 a - mに供給され、シフトレジスタ2 9 b - 1 ~ 2 9 b - mの出力は、それぞれ出力ゲート2 7 b - 1 ~ 2 7 b - mに供給される。

【0049】

第1のモードが選択されている場合、これらシフトレジスタ2 9 a - 1 ~ 2 9 a - m, 2 9 b - 1 ~ 2 9 b - mには、いずれか一つのシフトレジスタに活性レベル(例えばハイレベル)がラッチされ、他のシフトレジスタには非活性レベル(例えばローレベル)がラッチされている。したがって、第1のモードが選択されている場合には、コマンドカウンタ2 3は、それぞれのラッチ回路群2 1 a - 1 ~ 2 1 a - n, 2 1 b - 1 ~ 2 1 b - nに含まれる出力ゲート2 7 a - 1 ~ 2 7 a - m, 2 7 b - 1 ~ 2 7 b - mのいずれかを導通させる。

【0050】

これに対し、第2のモードが選択されている場合、シフトレジスタ2 9 a - 1 ~ 2 9 a - mのいずれか一つに活性レベルがラッチされ、シフトレジスタ2 9 b - 1 ~ 2 9 b - mのいずれか一つに活性レベルがラッチされる。したがって、第2のモードが選択されている場合には、コマンドカウンタ2 3は、それぞれのラッチ回路群2 1 a - 1 ~ 2 1 a - nに含まれる出力ゲート2 7 a - 1 ~ 2 7 a - mのいずれかを導通させるとともに、それぞ

10

20

30

40

50

れのラッチ回路群 2 1 b - 1 ~ 2 1 b - n に含まれる入力ゲート 2 7 b - 1 ~ 2 7 b - m のいずれかを導通させる。つまり、第 2 のモードが選択されている場合、コマンドカウンタ 2 3 は 2 つの出力ゲートを導通させる。

【 0 0 5 1 】

そして、内部コマンド 6 b , 6 c が供給されると、コマンドカウンタ 2 3 内において、活性レベルをラッチしているシフトレジスタの位置が移動することから、導通状態となる入力ゲートが切り替えられる。

【 0 0 5 2 】

図 2 に戻って、ラッチ回路群 2 1 a - 1 ~ 2 1 a - n , 2 1 b - 1 ~ 2 1 b - n の出力は、ゲート回路 7 0 を介してマルチプレクサ 8 0 の入力ノード 1 に供給されるとともに、直接マルチプレクサ 8 0 の入力ノード 2 に供給される。マルチプレクサ 8 0 は、モード信号 MODE が第 1 のモードであることを示している場合には入力ノード 1 を選択し、モード信号 MODE が第 2 のモードであることを示している場合には入力ノード 2 を選択する。これにより、モード信号 MODE が第 1 のモードであることを示している場合、ラッチ回路群 2 1 a - 1 ~ 2 1 a - n , 2 1 b - 1 ~ 2 1 b - n の出力は、アドレス信号 2 a , 2 b として共通に出力され、モード信号 MODE が第 2 のモードであることを示している場合、ラッチ回路群 2 1 a - 1 ~ 2 1 a - n 及び 2 1 b - 1 ~ 2 1 b - n の出力は、それぞれアドレス信号 2 a , 2 b として個別に出力される。

10

【 0 0 5 3 】

次に、アドレスカウンタ 2 0 の動作について説明する。

20

【 0 0 5 4 】

図 5 は、第 1 のモードが選択されている場合におけるアドレスカウンタ 2 0 の動作を説明するためのタイミング図である。

【 0 0 5 5 】

上述の通り、第 1 のモードが選択されている場合、コマンドカウンタ 2 2 , 2 3 はいずれも 2 m カウント可能なカウンタとして機能する。図 5 に示す例では、アドレスカウンタ 2 0 に入力されるアドレス信号 2 の変化に連動して、コマンドカウンタ 2 2 , 2 3 のカウント値が 1 , 2 , 3 , 4 . . . と変化している。コマンドカウンタ 2 2 のカウント値が 1 ~ m である場合には、入力ゲート 2 6 a - 1 , 2 6 a - 2 , 2 6 a - 3 , 2 6 a - 4 . . . が順次導通し、コマンドカウンタ 2 2 のカウント値が m + 1 ~ 2 m である場合には、入力ゲート 2 6 b - 1 , 2 6 b - 2 , 2 6 b - 3 , 2 6 b - 4 . . . が順次導通する。その結果、アドレス信号 2 の値 A , B , C , D . . . は、ラッチ回路 2 5 a - 1 , 2 5 a - 2 . . . 2 5 b - 1 , 2 5 b - 2 . . . に順次ラッチされることになる。つまり、アドレスカウンタ 2 0 には、最大 2 m 個のアドレスが蓄積される。

30

【 0 0 5 6 】

第 1 のモードが選択されている場合には、内部コマンド 6 b , 6 c の発生タイミングは同時である（或いは、いずれか一方のみ活性化する）。このため、コマンドカウンタ 2 3 のカウント値も所定のレイテンシを持って 1 , 2 , 3 , 4 . . . と変化する。図 5 に示す例では、内部コマンド 6 a に対する内部コマンド 6 b 又は 6 c のレイテンシは L 1 であり、したがって、コマンドカウンタ 2 2 が所定のカウント値を示してから、L 1 時間経過した後に、コマンドカウンタ 2 3 が当該カウント値を示すことになる。

40

【 0 0 5 7 】

このため、ラッチ回路 2 5 a - 1 , 2 5 a - 2 . . . 2 5 b - 1 , 2 5 b - 2 . . . にラッチされたアドレス信号 2 は、ラッチされてから L 1 時間経過後にアドレス信号 2 a , 2 b として同時に出力される。

【 0 0 5 8 】

このように、第 1 のモードが選択されている場合には、アドレス信号 2 a , 2 b の発生タイミングは同時となるが、その代わりに、アドレス信号 2 の蓄積数を 2 m 個に拡大することが可能となる。このため、t C C D が小さい場合において特に有効である。

【 0 0 5 9 】

50

図6は、第2のモードが選択されている場合におけるアドレスカウンタ20の動作を説明するためのタイミング図である。

【0060】

上述の通り、第2のモードが選択されている場合、コマンドカウンタ22, 23はいずれもmカウント可能な2つのカウンタとして機能する。図6においては、コマンドカウンタ22のうち、シフトレジスタ28a-1~28a-mからなる部分をコマンドカウンタ22aと表記し、シフトレジスタ28b-1~28b-mからなる部分をコマンドカウンタ22bと表記している。同様に、コマンドカウンタ23のうち、シフトレジスタ29a-1~29a-mからなる部分をコマンドカウンタ23aと表記し、シフトレジスタ29b-1~29b-mからなる部分をコマンドカウンタ23bと表記している。

10

【0061】

図6に示す例では、アドレスカウンタ20に入力されるアドレス信号2の変化に連動して、コマンドカウンタ22a, 22bのカウント値は同時に変化している。これは、コマンドカウンタ22a, 22bともに、内部コマンド6aにตอบสนองしてカウント動作を行っているからである。一方、コマンドカウンタ23a, 23bのカウント値は個別に変化している。これは、コマンドカウンタ23aは内部コマンド6bにตอบสนองしてカウント動作を行い、コマンドカウンタ23bは内部コマンド6cにตอบสนองしてカウント動作を行っているからである。

【0062】

コマンドカウンタ22aのカウント値は、入力ゲート26a-1~26a-mの枝番号に対応しており、したがって、入力ゲート26a-1, 26a-2...が順次導通する。同様に、コマンドカウンタ22bのカウント値は、入力ゲート26b-1~26b-mの枝番号に対応しており、したがって、入力ゲート26b-1, 26b-2...が順次導通する。その結果、アドレス信号2の値Aはラッチ回路25a-1, 25b-1にラッチされ、アドレス信号2の値Bはラッチ回路25a-2, 25b-2にラッチされることになる。つまり、アドレスカウンタ20には、最大m個のアドレスが蓄積される。

20

【0063】

第2のモードが選択されている場合には、内部コマンド6b, 6cの発生タイミングは個別である。このため、コマンドカウンタ23a, 23bのカウント値も、それぞれ内部コマンド6b, 6cにตอบสนองして、所定のレイテンシを持って1, 2, 3, 4...と変化する。

30

【0064】

コマンドカウンタ23aのカウント値は、出力ゲート27a-1~27a-mの枝番号に対応しており、コマンドカウンタ23bのカウント値は、出力ゲート27b-1~27b-mの枝番号に対応している。したがって、ラッチ回路25a-1, 25b-1にラッチされたアドレス信号の値Aは、コマンドカウンタ23aのカウント値が1を指すとアドレス信号2aとして出力され、コマンドカウンタ23bのカウント値が1を指すとアドレス信号2bとして出力されることになる。

【0065】

図6に示す例では、内部コマンド6aに対する内部コマンド6bのレイテンシはL2であり、したがって、コマンドカウンタ22aが所定のカウント値を示してから、L2時間経過した後に、コマンドカウンタ23aが当該カウント値を示すことになる。同様に、内部コマンド6aに対する内部コマンド6cのレイテンシはL3であり、したがって、コマンドカウンタ22bが所定のカウント値を示してから、L3時間経過した後に、コマンドカウンタ23bが当該カウント値を示すことになる。

40

【0066】

このため、ラッチ回路25a-1, 25a-2...25b-1, 25b-2...にラッチされたアドレス信号2は、ラッチされてからL2時間経過後にアドレス信号2aとして出力され、ラッチされてからL3時間経過後にアドレス信号2bとして出力される。

50

## 【0067】

このように、第2のモードが選択されている場合には、アドレス信号2の蓄積数がm個に制限されるが、その代わりに、アドレス信号2a, 2bの発生タイミングを個別に制御することが可能となる。

## 【0068】

このように、本実施形態によるアドレスカウンタは、複数のラッチ回路群をひとまとまりで使用する場合と、複数のラッチ回路群を2つに分割して使用する第2のモードを有している。このため、tCCDが小さい場合、アドレス信号2a, 2bの発生タイミングを同時とすることによってアドレスカウンタの回路規模を縮小することが可能となる。しかも、ラッチ回路数の削減により消費電力が低減されるとともに、アドレス信号2の負荷が減少することから、アクセスを高速化することも可能となる。

10

## 【0069】

次に、本発明の好ましい第2の実施形態について説明する。

## 【0070】

図7は、本発明の好ましい第2の実施形態による半導体記憶装置の主要部の構成を示すブロック図である。図7には、本実施形態による半導体記憶装置の特徴部分であるカラム系回路及びデータ系回路のみを示し、ロウ系回路などについては省略してある。

## 【0071】

本実施形態による半導体記憶装置は、DDR3型のシンクロナスDRAMであり、プリフェッチ数は8ビットである。また、バースト長(BL)については、少なくともBL = 4, BL = 8を選択可能であり、最小バースト長はBL = 4である。

20

## 【0072】

図7に示すように、本実施形態による半導体記憶装置は、大部分の回路が2つのグループ(グループGAとグループGB)に分割されている。但し、アドレスカウンタ121、モードレジスタ122、FIFO回路群123についてはグループ化されておらず、2つのグループに対して共通に設けられている。

## 【0073】

アドレスカウンタ121の出力であるカラムアドレスのうち、アドレス信号2aは時分割転送回路107A, 107B及びFIFO回路群123に供給され、アドレス信号2bはアドレスラッチ回路102A, 102Bに供給される。本実施形態においては、時分割転送回路107A, 107B及びFIFO回路群123が、図1に示したI/O回路50に相当する。

30

## 【0074】

アドレスカウンタ121の出力であるカラムアドレスは、グループGA, GBに共通に供給される。このため、カラムアドレス配線は1組でよい。カラムアドレスは、コマンドデコーダ101A, 101Bの制御により、アドレスラッチ回路102A, 102Bのいずれか一方にラッチされる。これにより、カラムアドレスはグループGA, GBのいずれか一方に対して有効となる。

## 【0075】

グループGAに供給されたカラムアドレスは、アドレスラッチ回路102A, プリデコーダ103A, Yデコーダ104Aへと供給され、カラムスイッチ105Aを制御する。カラムスイッチ105Aには、メモリアレイ100Aから読み出されたデータが供給されており、Yデコーダ104Aによる制御により、選択されたデータがメインアンプ106Aに供給される。メインアンプ106Aの出力は、時分割転送回路107Aに供給される。グループGBに関しても同様である。

40

## 【0076】

このようなグループ化を行っているのは、プリフェッチ数が8ビットであるDDR3型のシンクロナスDRAMにおいて、tCCD = 2を実現するためである。ここで、DDR3型のシンクロナスDRAMにおいてtCCD = 2を実現する意義について説明する。

## 【0077】

50

DDR3型のシンクロナスDRAMでは、リード時においてDRAMコアから8ビットのデータを一度に読み出し、これら8ビットのデータをプリフェッチ回路にて一時的に保持した後、外部へバースト出力する。逆にライト時には、外部からバースト入力された8ビットのデータをプリフェッチ回路にて一時的に保持した後、これら8ビットのデータをDRAMコアに一度に書き込む。このような動作を行うため、シンクロナスDRAMでは、プリフェッチ数は基本的に最小バースト長として定義される。

【0078】

しかしながら、より高速なデータ転送レートを実現するためには、必然的にプリフェッチ数を増やす必要がある。このため、プリフェッチ数を最小バースト長として定義すると、従来のシンクロナスDRAMとの互換性が確保できなくなってしまう。DDR3型のシンクロナスDRAMの例で言えば、最小バースト長を8に設定すると、DDR2型のシンクロナスDRAMにて可能であったバースト長 = 4の動作を行うことができなくなり、互換性が失われてしまう。

10

【0079】

このような問題を解決する方法として、「バーストチョップ機能」が提案されている。バーストチョップ機能とは、リードコマンド発行時やライトコマンド発行時において、バースト動作が途中で停止するよう、あらかじめ指定する機能である。したがって、DDR3型のシンクロナスDRAMにバーストチョップ機能を搭載した例を想定すると、リードコマンド発行時やライトコマンド発行時における指定によって、バースト長 = 8をバースト長 = 4として利用することができる。これにより、プリフェッチ数が増大しても、従来の製品（DDR2型）に対する互換性を確保することが可能となる。

20

【0080】

しかしながら、バーストチョップ機能は、あくまでバースト動作を途中で停止させる機能であることから、コマンドの入力サイクルを短縮できるわけではない。つまり、プリフェッチ数が8ビットであるDDR3型のシンクロナスDRAMでは、4クロックごとにコマンドを受け付けることが可能であるが ( $t_{CCD} = 4$ )、バーストチョップ時においては、前半の2クロックで入出力動作が完了し、後半の2クロックは待ち時間となってしまう。つまり、バーストチョップ機能を用いてバースト長を4ビットに短縮したとしても、これによりコマンドの入力サイクルが2クロック ( $t_{CCD} = 2$ ) に短縮されるわけではなく、コマンドの入力サイクルは4クロックのままである。このため、バーストチョップを行うとデータの転送効率が悪化するという問題があった。

30

【0081】

このような問題を解決する方法として、コマンドデコーダやアドレスカウンタを2組設け、両者を2クロック分ずらして動作させる方法が考えられる。しかしながら、この方法ではカラムアドレス配線やデータバスの数が2倍となることから、チップ面積が大幅に増大してしまう。例えば、同時に入出力するデータが16ビットであるチップ ( $\times 16$ 品) を想定すると、プリフェッチ数が8の場合、通常のチップであればデータバスの数は128本 ( $= 16 \times 8$ ) であるのに対し、上記のチップにおいては128本のデータバスが2組、つまり256本も必要となってしまう。

【0082】

しかもこの方法では、バースト長 = 8に設定した場合には一方の回路のみを動作させればよいが、バースト長 = 4に設定した場合には両方の回路を動作させる必要が生じる。このため、バースト長 = 4に設定すると、データバスなどの充放電電流がバースト長 = 8の場合の2倍となり、消費電力が増大するという問題もあった。

40

【0083】

このように、DDR3型のシンクロナスDRAMにおいて  $t_{CCD} = 2$  を実現するためには、様々な課題が存在する。本実施形態は、このような課題を解決しつつ、DDR3型のシンクロナスDRAMにおいて  $t_{CCD} = 2$  を実現するものである。

【0084】

但し、 $t_{CCD}$ が短縮されると、アドレスカウンタ121に蓄積すべきカラムアドレス

50

数が増大する。具体的には、

$AL = 10$

$CWL = 8$

$BL = 4$

$tCCD = 2$

とすると、

蓄積数  $X = 12$  となり、 $tCCD = 4$  である場合と比べて、アドレスカウンタの回路規模はほぼ倍となる。このため、本実施形態ではアドレスカウンタの回路規模を縮小する必要性が特に高い。

【0085】

本実施形態においても、アドレスカウンタ 121 は図 2 に示した回路構成を有している。したがって、例えばアドレス信号 2 のビット数 ( $= n$ ) が 16 ビットであれば、192 個 ( $= 12 \times 16$ ) のラッチ回路が必要となる。さらに、コマンドカウンタ 22, 23 もそれぞれ図 3 及び図 4 に示した回路構成を有しており、それぞれ 12 個 ( $= X$ ) のシフトレジスタによって構成されていることから、合計で 216 個 ( $= 192 + 12 \times 2$ ) のラッチ回路又はシフトレジスタが用いられることになる。

【0086】

これに対し、通常のポイントシフト型 FIFO 回路を用いた場合を想定すると、アドレス信号 2a のビット数を 5 ビット、アドレス信号 2b のビット数を 16 ビットとすると、必要なラッチ回路数は  $X \times (16 + 5)$  となることから、252 個のラッチ回路が必要となる。さらに、内部コマンド 6a ~ 6c に対応してそれぞれ 12 ビットのコマンドカウンタが必要となることから、これらを加えると、合計で 288 個 ( $= 252 + 36$ ) のラッチ回路又はシフトレジスタが必要となる。したがって、本発明を適用することにより、約 25% 程度回路規模が縮小されることが分かる。

【0087】

以下、本実施形態による半導体記憶装置について、リード動作に関わる部分に注目して説明を進める。

【0088】

図 8 は、メインアンプ 106A, 106B からデータ入出力端子 DQ までの回路をより詳細に示す回路図である。図 8 に示す回路は、1 つのデータ入出力端子 DQ に関する部分であり、したがって、同時に入出力するビット数分だけ同じ回路が必要となる。例えば、同時に入出力するデータが 16 ビットであるチップ ( $\times 16$  品) であれば、図 8 に示す回路が 16 台必要となる。

【0089】

図 8 に示すように、メインアンプ 106A、106B からは、いずれもプリフェッチ数と同数である 8 ビットのデータが出力される。これらデータの列アドレスは上位ビットが共通であり、下位 3 ビットのみが異なる。メインアンプ 106A、106B 内に示した 3 ビットの値は、列アドレスの下位 3 ビットを指している。メインアンプ 106A, 106B は、相補形式である信号を単一信号に変換する役割を有している。

【0090】

メインアンプ 106A、106B の出力は、それぞれ時分割転送回路 107A, 107B に供給される。時分割転送回路 107A は、4 台のマルチプレクサ 211A ~ 214A と、8 台のスイッチ 221A ~ 228A と、4 台のバッファ 231A ~ 234A と、4 台のスイッチ 241A ~ 244A とを備えている。時分割転送回路 107B も同様の回路構成を有している。

【0091】

マルチプレクサ 211A ~ 214A は、メインアンプ 106A より供給される 2 ビットのデータとスイッチ 221A ~ 228A との対応関係を切り替える回路である。その切り替えはプリフェッチアドレス PA によって制御される。例えば、マルチプレクサ 211A に関して言えば、下位 3 ビットが「000」であるデータをスイッチ 221A 又はスイッ

10

20

30

40

50

チ 2 2 2 A に出力し、下位 3 ビットが「1 0 0」であるデータをスイッチ 2 2 2 A 又はスイッチ 2 2 1 A に出力する。時分割転送回路 1 0 7 B に含まれるマルチプレクサ 2 1 1 B ~ 2 1 4 B についても同様である。

【 0 0 9 2 】

図 8 に示すように、スイッチ 2 2 1 A , 2 2 3 A , 2 2 5 A , 2 2 7 A の出力はそのままデータバス RWBS に供給される一方、スイッチ 2 2 2 A , 2 2 4 A , 2 2 6 A , 2 2 8 A の出力は、それぞれ 2 3 1 A ~ 2 3 4 A 及びスイッチ 2 4 1 A ~ 2 4 4 A を介してデータバス RWBS に供給される。スイッチ 2 2 1 A ~ 2 2 8 A は制御信号 0 に応答して導通する回路であり、スイッチ 2 4 1 A ~ 2 4 4 A は制御信号 1 に応答して導通する回路である。したがって、制御信号 0 , 1 のタイミングに基づき、メインアンプ 1 0 6 A より供給される 8 ビットのデータを 4 ビットずつ時分割してデータバス RWBS に供給することができる。上記の構成及び動作は、時分割転送回路 1 0 7 B においても同様である。

10

【 0 0 9 3 】

また、データバス RWBS は、時分割転送回路 1 0 7 A , 1 0 7 B に対して共通に設けられている。このため、データバス RWBS の本数は 4 本である。したがって、 $\times 16$  品であればデータバス RWBS の本数は 64 本 ( $= 4 \times 16$ ) となり、従来に比べて本数が削減されている。つまり、バーストチョップを行うタイプの半導体記憶装置であれば、データバス RWBS が 128 本 ( $= 8 \times 16$ ) 必要であることから、 $1/2$  に削減されている。さらに、コマンドデコーダやアドレスカウンタを単純に 2 組設けるタイプの半導体記憶装置であれば、既に説明したようにデータバス RWBS が 256 本 ( $= 8 \times 16 \times 2$ ) 必要であることから、 $1/4$  に削減されることになる。

20

【 0 0 9 4 】

図 8 に示すように、データバス RWBS は FIFO 回路群 1 2 3 に接続されている。FIFO 回路群 1 2 3 は、マルチプレクサ 1 3 0 と 4 台の FIFO 回路 1 3 1 ~ 1 3 4 とを含んでいる。マルチプレクサ 1 3 0 は、データバス RWBS を介して供給される 4 ビットのデータと、FIFO 回路 1 3 1 ~ 1 3 4 との対応関係を切り替える回路である。その切り替えはプリフェッチアドレス PA によって制御される。

【 0 0 9 5 】

FIFO 回路 1 3 1 ~ 1 3 4 は、CAS レイテンシを CL とした場合、それぞれ  $(CL + BL/2)/2$  のリードデータを保持可能な回路である。したがって、 $BL = 8$  とすると、少なくとも 2 ビットのリードデータを保持することができ、これにより、FIFO 回路 1 3 1 ~ 1 3 4 は、プリフェッチ数と同じ 8 ビットのリードデータを保持することができる。そして、データ出力時には、FIFO 回路 1 3 1 ~ 1 3 4 に格納されたリードデータが外部クロック (CK) に同期してこの順に出力される。

30

【 0 0 9 6 】

図 9 は、本実施形態による半導体記憶装置の模式的なレイアウト図である。本例は、プリフェッチ数が 8 ビットであり、入出力ビット数が 16 ビット ( $\times 16$  品) である 512 M ビットのメモリを示している。

【 0 0 9 7 】

図 9 に示すように、本例では、メモリアレイが 8 つのバンク (バンク 0 ~ バンク 7) に分割されており、このうちバンク 0 ~ 3 がグループ GA に属し、バンク 4 ~ 7 がグループ GB に属している。各バンク 0 ~ 7 は 4 つのメモリマットに分割されており、同時に入出力される 16 ビットのデータは、これら 4 つのメモリマットに 4 ビットずつ割り当てられる。また、本実施形態による半導体記憶装置はプリフェッチ数が 8 ビットであることから、各メモリマットからは、32 ビット ( $= 4 \times 8$ ) のデータが同時に入出力されることになる。

40

【 0 0 9 8 】

次に、本実施形態による半導体記憶装置の動作について説明する。

【 0 0 9 9 】

50

図10は、バースト長を8ビット ( $BL = 8$ ) に設定した場合の動作を示すタイミング図である。バースト長の設定は、モードレジスタセットのコマンドを発行した後、図7に示すモードレジスタ122にバースト長を示すモード信号を設定することにより行う。

【0100】

図10に示すように、 $BL = 8$  に設定した場合、コマンド (図10に示す例ではリードコマンド) の入力サイクルは4クロックとなる。つまり、4クロックごとにコマンドを受け付けることができる ( $t_{CCD} = 4$ ) 。

【0101】

まず、1回目のリードコマンドが発行されると、コマンドデコーダ101Aは内部コマンドRDを生成し、これに回答してグループGA内でリード動作が開始される。また、 $BL = 8$  に設定されている場合、コマンドデコーダ101Aは、内部コマンドRDを生成した後、2クロック遅れて内部コマンドRD8を生成する。

【0102】

内部コマンドRDに回答して読み出された1DQ当たり8ビットのデータは、メインンプ106Aにて増幅され、時分割転送回路107Aに供給される。その後、内部コマンドRDに回答した制御信号0が活性化し、さらに2クロック遅れて、内部コマンドRD8に回答した制御信号1が活性化する。制御信号0が活性化すると、データバスRWB Sには読み出された8ビット中の4ビットが供給され、これら4ビットのデータがFIFO回路群123に転送される。

【0103】

これら4ビットのリードデータは、FIFO回路131~134にそれぞれ格納され、外部クロックCKに同期してバースト出力される。このようなバースト出力を行っている間に、今度は制御信号1が活性化し、データバスRWB Sには残りの4ビットが供給される。そして、前半4ビットのバースト出力に続いて、後半4ビットをバースト出力する。これにより、 $BL = 8$  が実現される。

【0104】

そして、1回目のリードコマンドの発行から4クロック後に2回目のリードコマンドを発行すると、上記と同様の動作が行われる。

【0105】

図10に示す例では、バーストタイプがシーケンシャルモードの場合を示しており、1回目のリードコマンドに対応するカラムアドレスの下位3ビットが「000」であり、2回目のリードコマンドに対応するカラムアドレスの下位3ビットが「111」である。このため、1回目のリードコマンドに対応するバースト出力はカラムアドレスの下位3ビットが「000」であるデータから出力され、2回目のリードコマンドに対応するバースト出力はカラムアドレスの下位3ビットが「111」であるデータから出力されている。このような制御は、図8に示したプリフェッチアドレスPAに基づき、マルチプレクサ211A~214A, 211B~214B, 130を制御することにより行うことが可能である。

【0106】

このように、 $BL = 8$  に設定されている場合、グループGA, GBの一方のみが動作し、他方は動作しない。また、データバスRWB Sを用いたデータの転送は4ビット単位で行われる。このため、データバスRWB Sの動作周波数は従来の2倍となる。しかしながら、データバスRWB Sの本数削減により、隣接するデータバス間にシールド配線を設けることが可能となることから、動作周波数が2倍となることによる信号品質の低下はほとんど生じない。

【0107】

つまり、64本のデータバスRWB S間にそれぞれシールド配線を介在させると、配線本数としては、バーストチョップを行う従来例と同様、128本となる。しかしながら、シールド配線は信号線ではなく、例えば電源配線を用いることができることから、データバスRWB Sよりも細かい配線を用いることができる。その分、データバスRWB Sの配線

10

20

30

40

50



幅を太くすることが可能となる。

【0108】

具体例を挙げると、バーストチョップを行う従来例におけるデータバスRWBSのL/S(ラインアンドスペース)が1.0/1.0 $\mu$ mであるとする、本実施形態による半導体記憶装置では、データバスRWBSのL/Sを1.2/1.2 $\mu$ mに拡大することができる。これにより、信号遅延が減少するばかりでなく、隣接配線間のカップリングノイズも減少することから、動作周波数の増大によって信号品質が劣化することはほとんどない。

【0109】

図11は、バースト長を4ビット(BL=4)に設定した場合の動作を示すタイミング図である。

10

【0110】

図11に示すように、BL=4に設定した場合、コマンド(図11に示す例ではリードコマンド)の入力サイクルは2クロックとなる。つまり、2クロックごとにコマンドを受け付けることができる( $t_{CCD}=2$ )。

【0111】

まず、1回目のリードコマンドが発行されると、コマンドデコーダ101Aは内部コマンドRDを生成し、これに回答してグループGA内でリード動作が行われる。BL=4に設定されている場合、内部コマンドRD8の生成は行われない。

【0112】

20

内部コマンドRDに回答して読み出された1DQ当たり8ビットのデータは、メインアンプ106Aにて増幅され、時分割転送回路107Aに供給される。その後、内部コマンドRDに回答して制御信号0が活性化すると、データバスRWBSには読み出された8ビット中の4ビットが供給され、これら4ビットのデータがFIFO回路群123に転送される。一方、BL=4の場合は制御信号1が活性化しないことから、残りの4ビットはデータバスRWBSに供給されない。

【0113】

そして、1回目のリードコマンドの発行から2クロック後に2回目のリードコマンドを発行すると、今度はコマンドデコーダ101Bが内部コマンドRDを生成し、これに回答してグループGB内でリード動作が行われる。これにより読み出された1DQ当たり8ビットのデータは、メインアンプ106Bにて増幅され、時分割転送回路107Bに供給される。その後、内部コマンドRDに回答して制御信号2が活性化すると、データバスRWBSには読み出された8ビット中の4ビットが供給され、これら4ビットのデータがFIFO回路群123に転送される。この場合も、制御信号3は活性化せず、したがって残りの4ビットはデータバスRWBSに供給されない。

30

【0114】

以下同様にして、グループGA, GBを交互に動作させることにより、BL=4を実現することが可能となる。このように、本実施形態による半導体記憶装置では、BL=4の動作においても、データバスRWBSを用いたデータの転送が4ビット単位で行われる。

【0115】

40

図11に示す例では、バーストタイプがシーケンシャルモードの場合を示しており、1回目のリードコマンドに対応するカラムアドレスの下位3ビットが「000」であり、2回目のリードコマンドに対応するカラムアドレスの下位3ビットが「100」であり、3回目のリードコマンドに対応するカラムアドレスの下位3ビットが「111」である。このため、1回目のリードコマンドに対応するバースト出力は、カラムアドレスの下位3ビットが「000」であるデータから出力され、下位3ビットが「100」~「111」であるデータは出力されない。同様に、2回目又は3回目のリードコマンドに対応するバースト出力は、カラムアドレスの下位3ビットが「100」又は「111」であるデータから出力され、下位3ビットが「000」~「011」であるデータは出力されない。

【0116】

50

以上説明したように、本実施形態による半導体記憶装置では、バースト長にかかわらずデータバスRWB Sを用いたデータの転送を最小バースト長である4ビット単位で行っていることから、バーストチョップを行う必要がなくなる。しかも、コマンドの入力サイクルに関わらず、データバスを用いたデータ転送サイクルが一定であることから、回路規模の増大や消費電力の増大を抑制することも可能となる。

【0117】

図12は、本発明の好ましい実施形態による半導体記憶装置を用いたデータ処理システム300の構成を示すブロック図であり、本実施形態による半導体記憶装置がDRAMである場合を示している。

【0118】

図12に示すデータ処理システム300は、データプロセッサ320と、本実施形態による半導体記憶装置(DRAM)330が、システムバス310を介して相互に接続された構成を有している。データプロセッサ320としては、例えば、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)などを含まれるが、これらに限定されない。図12においては簡単のため、システムバス310を介してデータプロセッサ320とDRAM330とが接続されているが、システムバス310を介さずにローカルなバスによってこれらが接続されていても構わない。

【0119】

また、図12には、簡単のためシステムバス310が1組しか描かれていないが、必要に応じ、コネクタなどを介しシリアルないしパラレルに設けられていても構わない。また、図12に示すメモリシステムデータ処理システムでは、ストレージデバイス340、I/Oデバイス350、ROM360がシステムバス310に接続されているが、これらは必ずしも必須の構成要素ではない。

【0120】

ストレージデバイス340としては、ハードディスクドライブ、光学ディスクドライブ、フラッシュメモリなどが挙げられる。また、I/Oデバイス350としては、液晶ディスプレイなどのディスプレイデバイスや、キーボード、マウスなどの入力デバイスなどが挙げられる。また、I/Oデバイス350は、入力デバイス及び出力デバイスのいずれか一方のみであっても構わない。さらに、図12に示す各構成要素は、簡単のため1つずつ描かれているが、これに限定されるものではなく、1又は2以上の構成要素が複数個設けられていても構わない。

【0121】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0122】

例えば、上記実施形態では、第1及び第2のモードを有し、第1のモードではラッチ回路群をひとまとまりで使用し、第2のモードではラッチ回路群を2つに分割して使用しているが、本発明がこれに限定されるものではなく、ラッチ回路群を3つに分割して使用するモードを備えていても構わない。

【0123】

さらに、上記実施形態では、コマンドカウンタ22, 23がリングカウンタ構造を有しているが、本発明がこれに限定されるものではない。但し、リングカウンタ構造を採用すれば、バイナリカウンタ構造などを用いた場合と比べ、高速にカウント値を変化させることが可能となる。

【図面の簡単な説明】

【0124】

【図1】本発明の好ましい第1の実施形態による半導体記憶装置の主要部の構成を示すブロック図である。

【図2】アドレスカウンタ20の回路図である。

10

20

30

40

50

【図3】コマンドカウンタ22の回路図である。

【図4】コマンドカウンタ23の回路図である。

【図5】第1のモードが選択されている場合におけるアドレスカウンタ20の動作を説明するためのタイミング図である。

【図6】第2のモードが選択されている場合におけるアドレスカウンタ20の動作を説明するためのタイミング図である。

【図7】本発明の好ましい第2の実施形態による半導体記憶装置の主要部の構成を示すブロック図である。

【図8】メインアンプ106A, 106Bからデータ入出力端子DQまでの回路をより詳細に示す回路図である。

10

【図9】第2の実施形態による半導体記憶装置の模式的なレイアウト図である。

【図10】バースト長を8ビット(BL=8)に設定した場合の動作を示すタイミング図である。

【図11】バースト長を4ビット(BL=4)に設定した場合の動作を示すタイミング図である。

【図12】本発明の好ましい実施形態による半導体記憶装置を用いたデータ処理システム300の構成を示すブロック図である。

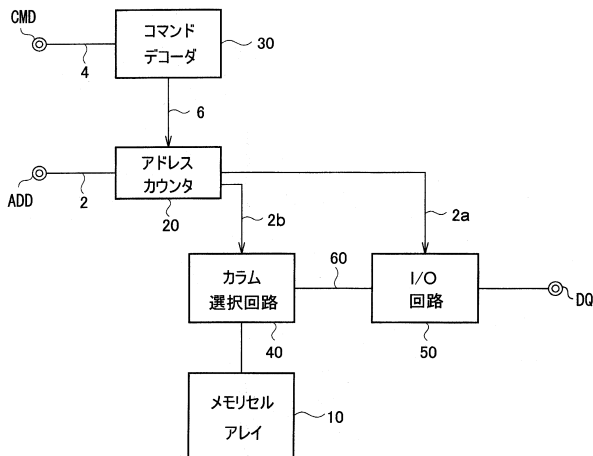
【符号の説明】

【0125】

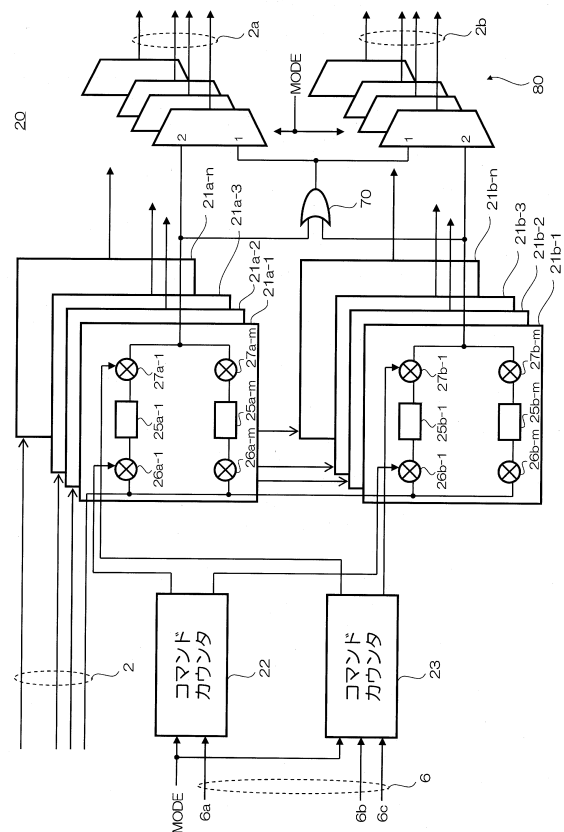
- 2, 2a, 2b      アドレス信号 20
- 4              コマンド信号
- 6, 6a ~ 6c    内部コマンド
- 10             メモリセルアレイ
- 20             アドレスカウンタ
- 21a - 1 ~ 21a - n, 21b - 1 ~ 21b - n      ラッチ回路群
- 22, 23        コマンドカウンタ
- 24 - 1 ~ 24 - 5      マルチプレクサ
- 25a - 1 ~ 25a - m, 25b - 1 ~ 25b - m      ラッチ回路
- 26a - 1 ~ 26a - m, 26b - 1 ~ 26b - m      入力ゲート
- 27b - 1 ~ 27b - m, 27c - 1 ~ 27c - m      出力ゲート 30
- 28a - 1 ~ 28a - m, 28b - 1 ~ 28b - m, 29a - 1 ~ 29a - m, 29b - 1 ~ 29b - m      シフトレジスタ
- 30             コマンドデコーダ
- 40             カラム選択回路
- 50             I/O回路
- 60             データバス
- 70             ゲート回路
- 80             マルチプレクサ
- 100A, 100B    メモリアレイ
- 101A, 101B    コマンドデコーダ 40
- 102A, 102B    アドレスラッチ回路
- 103A, 103B    プリデコーダ
- 104A, 104B    Yデコーダ
- 105A, 105B    カラムスイッチ
- 106A, 106B    メインアンプ
- 107A, 107B    時分割転送回路
- 121            アドレスカウンタ
- 122            モードレジスタ
- 123            FIFO回路群
- 130, 211A ~ 214A, 211B ~ 214B      マルチプレクサ 50

- 1 3 1 ~ 1 3 4      F I F O 回 路
- 2 2 1 A ~ 2 2 8 A , 2 4 1 A ~ 2 4 4 A , 2 2 1 B ~ 2 2 8 B , 2 4 1 B ~ 2 4 4
- B      ス イ ッ チ
- 3 0 0      データ処理システム
- 3 1 0      システムバス
- 3 2 0      データプロセッサ
- 3 3 0      半導体記憶装置 ( D R A M )
- 3 4 0      ストレージデバイス
- 3 5 0      I / O デバイス
- 3 6 0      R O M
- A D D      アドレス端子
- C M D      コマンド端子
- D Q      データ入出力端子
- G A , G B      グループ
- R W B S      データバス

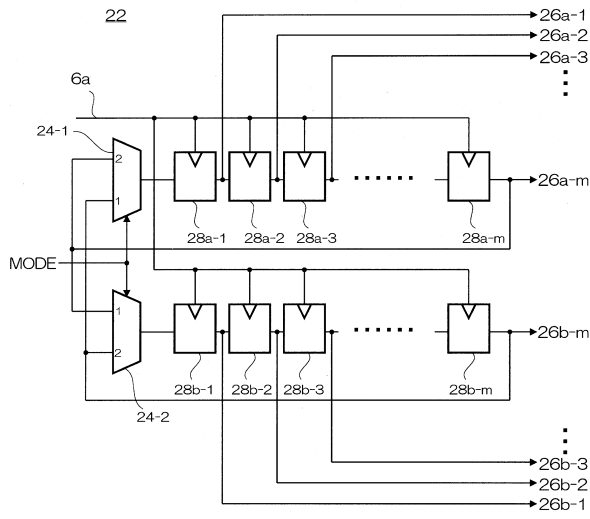
【 図 1 】



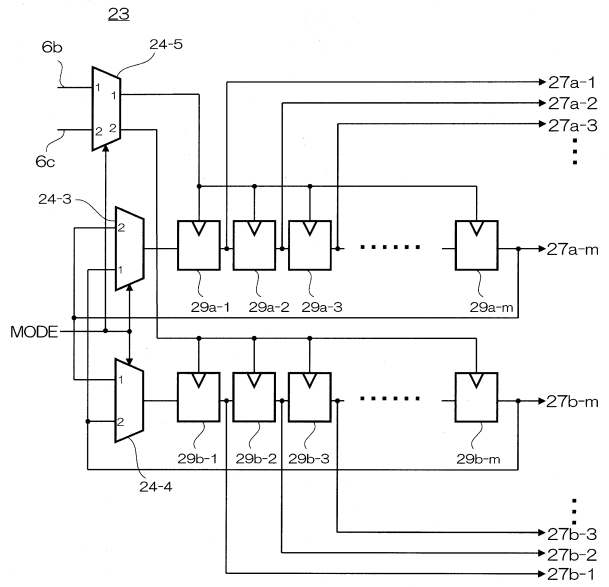
【 図 2 】



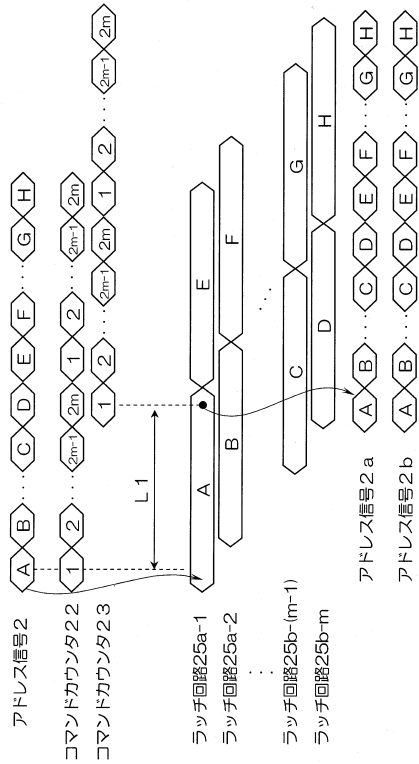
【図3】



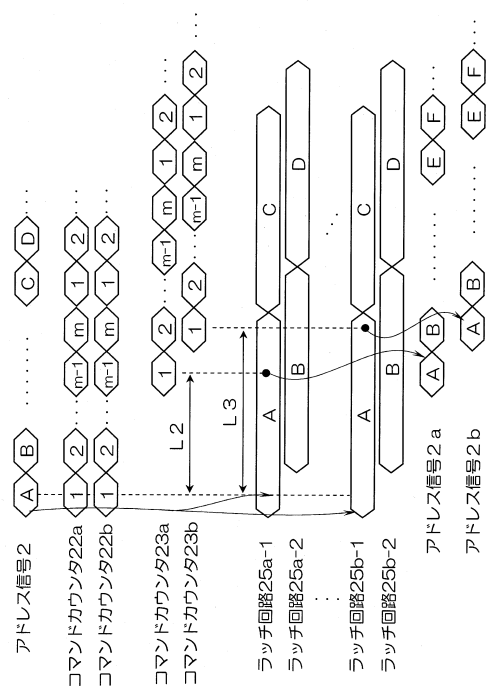
【図4】



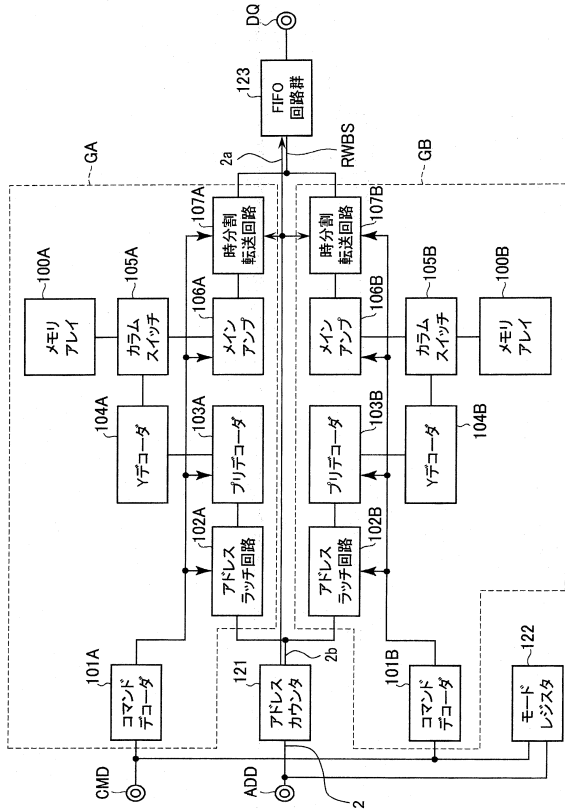
【図5】



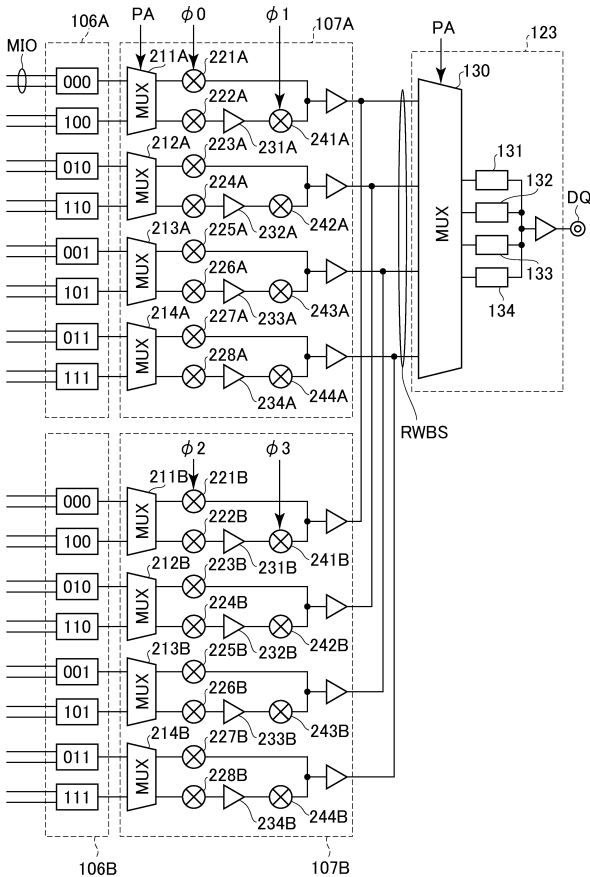
【図6】



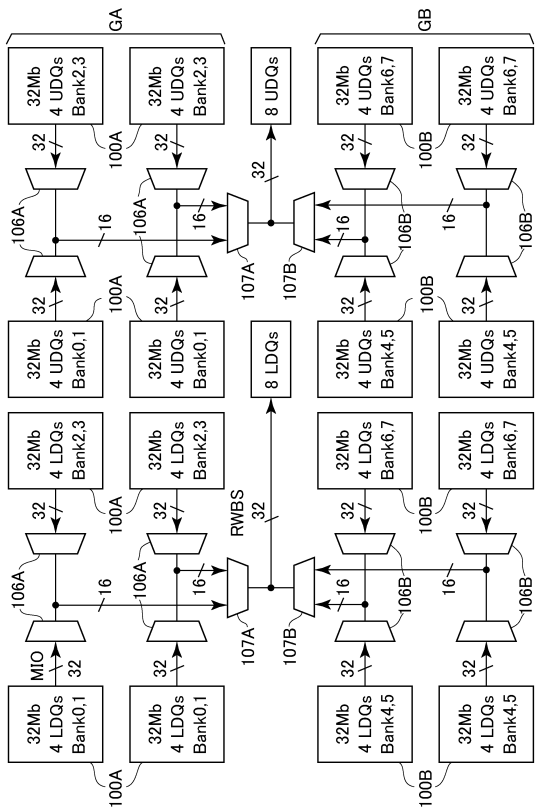
【図7】



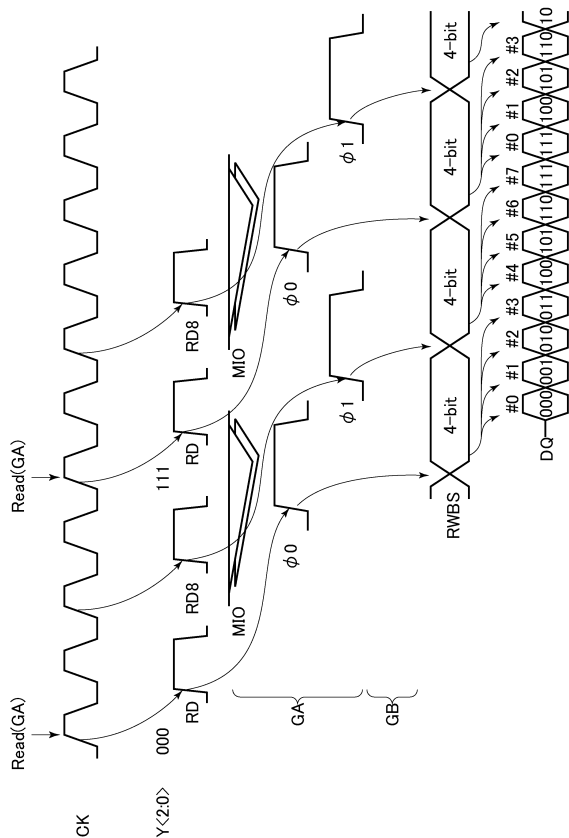
【図8】



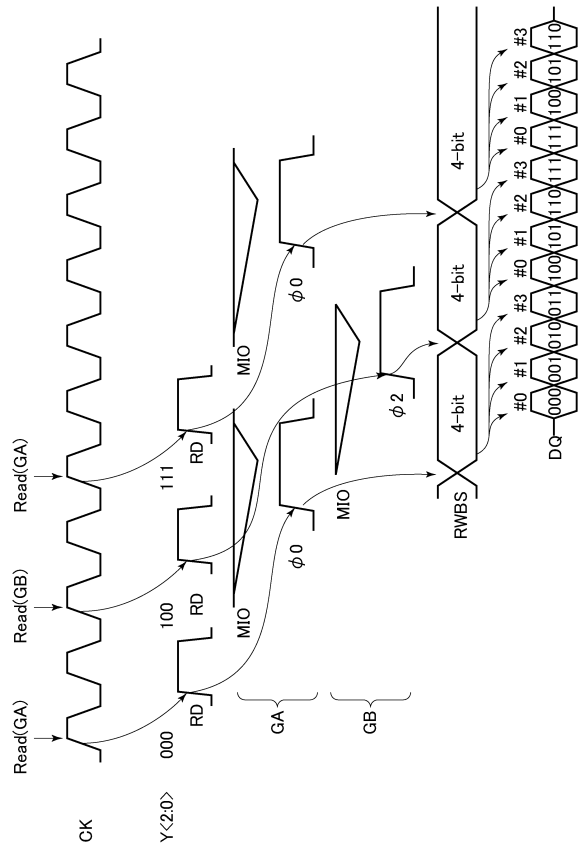
【図9】



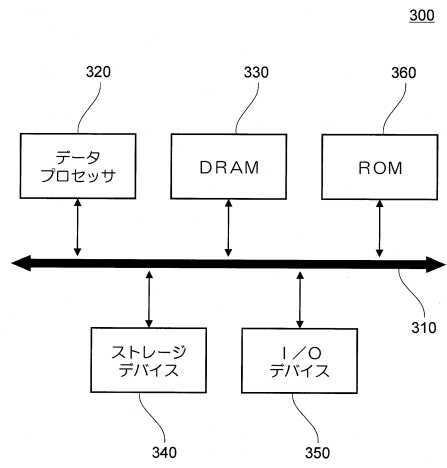
【図10】



【図11】



【図12】



---

フロントページの続き

(72)発明者 藤澤 宏樹

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

審査官 滝谷 亮一

(56)参考文献 特開2007-102936(JP,A)

特開2006-139879(JP,A)

特開2008-052878(JP,A)

特開2008-047267(JP,A)

特開2001-189076(JP,A)

Ho Young Song et.al, A 1.2 Gb/s/pin double data rate SDRAM with on-die-termination, Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International, 米国, IEEE, 2003年 2月13日, pp.314-316

(58)調査した分野(Int.Cl., DB名)

G11C 11/4076

G11C 11/407