

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/10	(11) 공개번호 특 1990-0004018
	(43) 공개일자 1990년03월27일
(21) 출원번호	특 1989-0011343
(22) 출원일자	1989년08월09일
(30) 우선권주장	88-10962 1988년08월11일 프랑스(FR)
(71) 출원인	에스지에스-툼슨 마이크로일렉트로닉스 에스.에이. 엘리자베드 아베즈 프랑스공화국 쟈틸리 갈리에니 에비뉴 7(우편번호:94253)
(72) 발명자	알베르도 베르가몽 프랑스공화국 라 트롱쉐 드 모베고 웨앵 26(우편번호:38700)
(74) 대리인	박장원

심사청구 : 없음

(54) 대규모 이피롬(EPROM) 메모리

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

대규모 이피롬(EPROM) 메모리

[도면의 간단한 설명]

제1A도는 종래의 소자메모리 셀에 대한 전기선도,
제1B도는 종래의 소자메모리 셀에 대한 단면도.
제2도는 종래의 실리콘 웨이퍼상의 6개의 인접 메모리 포인트 구조에 대한 평면도,
제3도는 제2도의 YY선 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1방향, 즉 횡렬방향을 따라 신장되고, 트랜지스터의 제어게이트(25)에 연결된 워드라인(LM1,LM2) 및 제2방향 즉 종렬방향으로 신장되고 트랜지스터의 드레인영역(21)이 연결된 비트라인(LB1,LB2)으로 되어 있어서 상기 워드라인(LM1, LM2)이 결정된 트랜지스터 횡렬을 어드레스하고 상기 비트라인(LB1,LB2)이 연결된 트랜지스터의 논리상태에 관한 정보를 전송하도록 된 플로우팅 게이트 MOS트랜지스터(T11,T12)로 구성된 메모리 포인트를 갖는 메모리가, 종렬을 따라 신장되고, 트랜지스터의 소오스영역(22)에 연결되고, 제1도전형의 확산으로 구성되며, 비트라인(LB1,LB2) 각각의 쌍 사이에 배열되고, 모든 일정전위라인(B)들이 동일한 전위를 유지하는 일정전위라인(B)과, 비트라인(LB1,LB2)을 형성하기 위해 종렬을 따라 신장되는 각기 트랜지스터의 제1도전형의 드레인 영역(21)과, 종렬을 따라 신장되고, 상기 일정전위라인(B) 반대쪽에 위치한 각각의 비트라인(LB1,LB2) 측부에 배치된 분리영역(24)과 그리고 상기 분리영역(24)을 덮고 트랜지스터의 플로우팅 게이트(23)에 형성된 재료와 같은 재료로 되어 있으며, 동일한 제조단계에서 상기 트랜지스터의 플로우팅 게이트(23)로 형성되는 도전영역(E)로 구성된 것을 특징으로 하는 대규모 이피롬(EPROM)메모리.

청구항 2

제1항에 있어서, 상기한 동일 일정전위라인(B) 각각의 측부에 두개의 인접 횡렬 및 두개의 종렬에 속하는 트랜지스터군들이 다음과 같이 즉, -각각의 트랜지스터(T11,T12)가 이 트랜지스터의 채널(26)을 구성하는 제2도전형영역 위에 배치된 도전성의 직사각형으로 주로 형성된 플로우팅 게이트(23)을 구성하고, -같은 종렬의 두개의 인접 트랜지스터(T11,T12)의 채널(26)이 채널(26)과 같은 도전형영역으로

분리되고-주어진 일정전위라인(B)의 양측부에 배치된 같은 횡렬의 두 트랜지스터 채널(26)이 상기 두 트랜지스터를 분리시키고 이 두 트랜지스터의 소오스를 형성하는 반대쪽의 도전형의 동일영역에 인접하고, 상기 두 트랜지스터의 채널(26)이 상기 소오스에 해당되는 영역(22) 반대단에서 상기 두 트랜지스터의 각각의 드레인에 해당되는 반대쪽의 도전형영역(21)에 인접되게 배치된 것을 특징으로하는 대규모 이피롬(EPROM) 메모리.

청구항 3

제1항에 있어서, 플로우팅 게이트(23) 및 상기 분리영역(24)을 덮고 있는 도전영역(E)이 폴리 실리콘으로 된 것을 특징으로하는 대규모 이피롬(EPROM) 메모리.

청구항 4

제1항에 있어서, 워드라인과 평행을 이루는 방향을 따라서 상기 분리영역(24)을 덮고 있는 상기 도전영역(E)이 미리 지정된 길이 1을 따라 분리영역(24)의 각 측부상에서 돌출된 것을 특징으로하는 대규모 이피롬(EPROM) 메모리.

청구항 5

제1항에 있어서, 상기 분리영역(24) 및 플로우팅 게이트(23)을 덮고 있는 상기 도전영역(E) 각각이 일정한 경사를 이루어 횡렬방향을 따라 배치된 것을 특징으로 하는 대규모 이피롬(EPROM) 메모리.

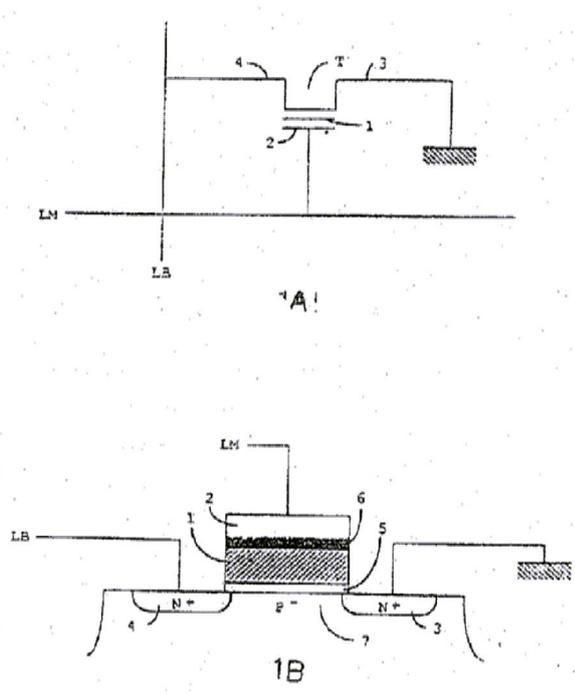
청구항 6

제1항에 있어서, 각각의 트랜지스터에서, 20nm이하의 두께를 갖는 실리콘 산화물층(27)이 플로우팅 게이트(23)[제9도]로부터 채널(26)을 분리시키고, 소오스에 해당되는 영역(22)이 동일한 도전형의 포켓(22-2)에 배열된 높게 도핑된 제1부분(22-1)과, 선택된 전압이 소오스에 인가되는 경우 전자가 터널효과에 의해 실리콘 산화물층(27)을 경유하여 플로우팅 게이트(23)로부터 높게 도핑된 소오스영역(22)으로 통과되는 한편 메모리가 전기적으로 소거될 수 있는 낮은 도핑 레벨로 된 것을 특징으로하는 대규모 이피롬(EPROM) 메모리.

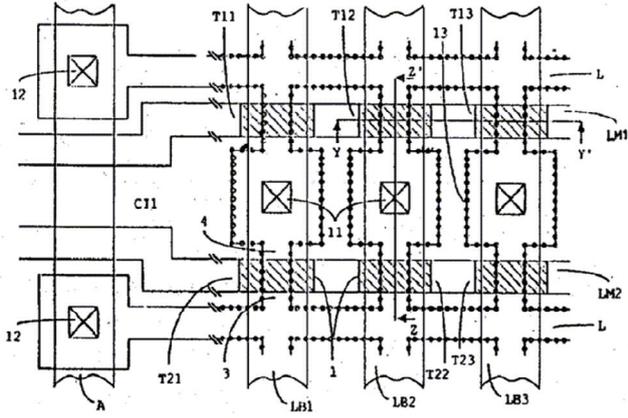
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

