



(12) 发明专利申请

(10) 申请公布号 CN 103928405 A

(43) 申请公布日 2014. 07. 16

(21) 申请号 201410121731. 1

(22) 申请日 2014. 03. 28

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 徐向阳

(74) 专利代理机构 深圳汇智容达专利商标事务

所(普通合伙) 44238

代理人 潘中毅 熊贤卿

(51) Int. Cl.

H01L 21/84(2006. 01)

H01L 21/027(2006. 01)

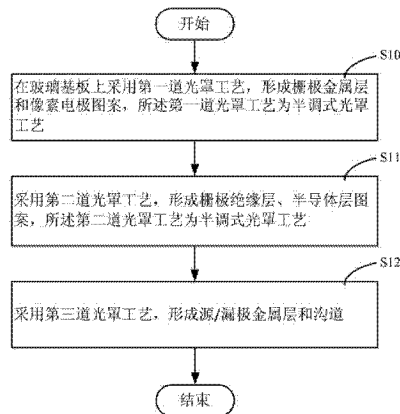
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种 TFT 阵列基板的制造方法

(57) 摘要

本发明实施例公开了一种 TFT 阵列基板的制造方法,包括如下步骤:在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案,所述第一道光罩工艺为半调式光罩工艺;采用第二道光罩工艺,形成栅极绝缘层、半导体层图案,所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺;采用第三道光罩工艺,形成源/漏极金属层和沟道。实施本发明实施例,简化了制造平板显示面板的非晶硅半导体或氧化物半导体 TFT 阵列基板的工艺流程,减少掩膜板的使用量,降低了生产成本。



1. 一种 TFT 阵列基板的制造方法,其特征在于,包括如下步骤:

在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案,所述第一道光罩工艺为半调式光罩工艺;

采用第二道光罩工艺,形成栅极绝缘层、半导体层图案,所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺;

采用第三道光罩工艺,形成源 / 漏极金属层和沟道。

2. 如权利要求 1 的一种 TFT 阵列基板的制造方法,其特征在于,所述在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案的步骤包括:

在所述玻璃基板上沉积预定厚度的像素电极层以及栅极金属层,并涂覆光刻胶;

采用半调式光罩工艺对所述光刻胶进行曝光显影;

然后对栅金属层进行第一次湿刻,对像素电极层进行湿刻,并去除部份光刻胶;然后对栅金属层进行第二次湿刻并剥离相应光刻胶,形成栅极金属层和像素电极图案。

3. 如权利要求 2 所述的一种 TFT 阵列基板的制造方法,其特征在于,所述在玻璃基板沉积预定厚度的像素电极层以及栅极金属层的步骤具体为:

采用溅射或热蒸发的方法在所述玻璃基板上沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的栅金属薄膜,以及沉积厚度为 $100 \text{ \AA} \sim 1000 \text{ \AA}$ 的 ITO 像素电极层或 IZO 像素电极层。

4. 如权利要求 3 所述的一种 TFT 阵列基板的制造方法,其特征在于,所述采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,沉积预定厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层、厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的非晶硅半导体薄膜,并涂覆光刻胶;

采用半调式光罩工艺对所述光刻胶进行曝光显影;

然后对位于沟道上的绝缘保护层进行干刻以及对非晶硅半导体薄膜进行第一次干刻,去除部份光刻胶;然后对非晶硅半导体薄膜进行第二次干刻,并剥离相应光刻胶,形成栅极绝缘层和半导体层图案。

5. 如权利要求 3 所述的一种 TFT 阵列基板的制造方法,其特征在于,所述采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,沉积预定厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层、厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的非晶硅半导体薄膜,并涂覆光刻胶;

采用灰调光罩工艺对所述光刻胶进行曝光显影;

然后对位于沟道上的绝缘保护层进行第一次干刻,对非晶硅半导体薄膜进行第一次干刻以及对栅极绝缘保护层进行干刻,去除部份光刻胶;对位于沟道上的绝缘保护层进行第二次干刻以及对非晶硅半导体薄膜进行第二次干刻,第二次去除部份光刻胶;对位于沟道上的绝缘保护层进行第三次干刻,并剥离相应光刻胶,形成栅极绝缘层和非晶硅半导体层和沟道绝缘保护层图案。

6. 如权利要求 3 所述的一种 TFT 阵列基板的制造方法,其特征在于,所述采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,依次沉积厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层、厚度为 $300 \text{ \AA} \sim 1000 \text{ \AA}$ 的氧化物半导体薄膜以及厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的刻蚀阻挡层,并涂覆光刻胶;

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻,对刻蚀阻挡层进行第一次干刻,去除部份光刻胶;然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻,第二次去除部份光刻胶;对刻蚀阻挡层进行第二次干刻,并剥离相应光刻胶,形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

7. 如权利要求 4 至 6 任一项所述的一种 TFT 阵列基板的制造方法,其特征在于,所述采用第三道光罩工艺,形成源 / 漏极金属层和沟道的步骤包括:

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源 / 漏极金属薄膜,并涂覆光刻胶;

采用第三道光罩工艺进行曝光显影,对源 / 漏极金属薄膜进行湿刻,对沟道进行干刻,并剥离相应的光刻胶,形成源极金属层、漏极金属层和沟道。

8. 如权利要求 7 所述的一种 TFT 阵列基板的制造方法,其特征在于,所述在形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源 / 漏极金属薄膜的步骤具体为:

采用磁控溅射或热蒸发方法,沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的源 / 漏极金属薄膜。

9. 如权利要求 8 所述的一种 TFT 阵列基板的制造方法,其特征在于,

所述沉积栅绝缘层、半导体薄膜、氧化物半导体薄膜或刻蚀阻挡层采用等离子体增强化学气相沉淀法,所述栅绝缘层采用 SiN_x ,所述氧化物半导体薄膜采用 ZnO 、 InZnO 、 ZnSnO 、 GaInZnO 或 ZrInZnO 中的一种。

一种 TFT 阵列基板的制造方法

技术领域

[0001] 本发明涉及平板显示器的制造技术,特别涉及一种薄膜场效应晶体管(Thin Film Transistor, TFT)阵列基板的制造方法。

背景技术

[0002] 近年来,显示技术得到快速的发展,平板显示器已取代笨重的 CRT 显示器日益深入人们的日常生活中。目前,常用的平板显示器包括液晶显示器(Liquid Crystal Display, LCD)和有机发光二极管(Organic Light-Emitting Diode, OLED)显示器。上述平板显示器具有体积小、功耗低、无辐射等特点,在当前的平板显示器市场中占据了主导地位。

[0003] 而在平板显示器的阵列基板中,每一个像素配备了用于控制该像素的开关单元,即薄膜场效应晶体管(Thin Film Transistor, TFT),TFT 至少包含栅电极、源、漏极以及栅绝缘层和有源层。通过驱动电路可以独立控制每一个像素,同时不会对其他像素造成串扰等的影响。

[0004] 目前常见的 TFT 背板主要采用非晶硅(a-Si)、低温多晶硅、金属氧化物(Oxide)和有机半导体等材料。就工艺而言,非晶硅半导体工艺最为简单,技术比较成熟,是目前主流的半导体材料,但采用非晶硅半导体的制造过程中通常采用 5 道光罩或 4 道光罩工艺;而采用金属氧化物半导体的制造过程中通常采用刻蚀阻挡形结构,其一般要采用 6 道光罩工艺。在现有技术中,无论采用非晶硅半导体工艺还是采用金属氧化物半导体工艺,不但工艺流程复杂,而且成本高。

发明内容

[0005] 本发明所要解决的技术问题在于,提供一种 TFT 阵列基板的制造方法,其可以减少掩膜板的使用量,从而降低生产成本。

[0006] 为了解决上述技术问题,本发明的实施例的一方面提供了一种 TFT 阵列基板的制造方法,包括如下步骤:

在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案,所述第一道光罩工艺为半调式光罩工艺;

采用第二道光罩工艺,形成栅极绝缘层、半导体层图案,所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺;

采用第三道光罩工艺,形成源/漏极金属层和沟道。

[0007] 其中,所述在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案的步骤包括:

在所述玻璃基板上沉积预定厚度的像素电极层以及栅极金属层,并涂覆光刻胶;

采用半调式光罩工艺对所述光刻胶进行曝光显影;

然后对栅金属层进行第一次湿刻,对像素电极层进行湿刻,并去除部份光刻胶;然后对

栅金属层进行第二次湿刻并剥离相应光刻胶,形成栅极金属层和像素电极图案。

[0008] 其中,所述在玻璃基板沉积预定厚度的像素电极层以及栅极金属层的步骤具体为:

采用溅射或热蒸发的方法在所述玻璃基板上沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的栅金属薄膜,以及沉积厚度为 $100 \text{ \AA} \sim 1000 \text{ \AA}$ 的 ITO 像素电极层或 IZO 像素电极层。

[0009] 其中,所述采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,沉积预定厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层、厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的非晶硅半导体薄膜,并涂覆光刻胶;

采用半调式光罩工艺对所述光刻胶进行曝光显影;

然后对位于沟道上的绝缘保护层进行干刻以及对非晶硅半导体薄膜进行第一次干刻,去除部份光刻胶;然后对非晶硅半导体薄膜进行第二次干刻,并剥离相应光刻胶,形成栅极绝缘层和半导体层图案。

[0010] 其中,所述采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,沉积预定厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层、厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的非晶硅半导体薄膜,并涂覆光刻胶;

采用灰调光罩工艺对所述光刻胶进行曝光显影;

然后对位于沟道上的绝缘保护层进行第一次干刻,对非晶硅半导体薄膜进行第一次干刻以及对栅极绝缘保护层进行干刻,去除部份光刻胶;对位于沟道上的绝缘保护层进行第二次干刻以及对非晶硅半导体薄膜进行第二次干刻,第二次去除部份光刻胶;对位于沟道上的绝缘保护层进行第三次干刻,并剥离相应光刻胶,形成栅极绝缘层和非晶硅半导体层和沟道绝缘保护层图案。

[0011] 其中,所述采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,依次沉积厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层、厚度为 $300 \text{ \AA} \sim 1000 \text{ \AA}$ 的氧化物半导体薄膜以及厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的刻蚀阻挡层,并涂覆光刻胶;

采用灰调光罩工艺对所述光刻胶进行曝光显影;

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻,对刻蚀阻挡层进行第一次干刻,去除部份光刻胶;然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻,第二次去除部份光刻胶;对刻蚀阻挡层进行第二次干刻,并剥离相应光刻胶,形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

[0012] 其中,所述采用第三道光罩工艺,形成源/漏极金属层和沟道的步骤包括:

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜,并涂覆光刻胶;

采用第三道光罩工艺进行曝光显影,对源/漏极金属薄膜进行湿刻,对沟道进行干刻,并剥离相应的光刻胶,形成源极金属层、漏极金属层和沟道。

[0013] 其中,所述在形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜的步骤具体为:

采用磁控溅射或热蒸发方法,沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的源/漏极金属薄膜。

[0014] 其中,所述沉积栅绝缘层、半导体薄膜、氧化物半导体薄膜或刻蚀阻挡层采用等离子体增强化学气相沉淀法,所述栅绝缘层采用 SiN_x ,所述氧化物半导体薄膜采用 ZnO 、 InZnO 、 ZnSnO 、 GaInZnO 或 ZrInZnO 中的一种。

[0015] 实施本发明的实施例,具有如下的有益效果:

实施本发明实施例,在采用非晶硅半导体或的金属氧化物半导体制造工艺中只需要采用三道光罩工艺,简化了制造平板显示器面板的 TFT 阵列基板的工艺流程,可以减少掩膜板的使用量,从而降低生产成本。

附图说明

[0016] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0017] 图 1 是本发明提供的一种 TFT 阵列基板的制造方法的一个实施例中的主流程示意图;

图 2 是图 1 中采用第一道光罩形成栅极金属层和像素电极层后的阵列基板的结构示意图;

图 3 是图 1 中采用第二道光罩形成栅极绝缘保护层和 a-Si 半导体层后的阵列基板的结构示意图;

图 4 是图 1 采用第三道光罩形成源 / 漏极金属层后的阵列基板的结构示意图;

图 5 是图 1 中形成的 TFT 阵列基板的结构示意图;

图 6 是本发明的提供的一种 TFT 阵列基板的制造方法的另一实施例中采用第一道光罩形成栅极金属层和像素电极层后的阵列基板的结构示意图;

图 7 是本发明的提供的一种 TFT 阵列基板的制造方法的另一实施例中采用第二道光罩形成栅极绝缘保护层和半导体层的结构示意图;

图 8 是图 7 完成后形成的阵列基板的结构示意图;

图 9 是采用第三道光罩形成源 / 漏极金属层后的阵列基板的结构示意图。

具体实施方式

[0018] 下面参考附图对本发明的优选实施例进行描述。

[0019] 如图 1 所示,是本发明提供的一种 TFT 阵列基板的制造方法的一个实施例中的主流程示意图;在该实施例中,该方法适宜于用来制造平板面板的非晶硅阵列基板,该方法包括如下步骤:

步骤 S10,在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案,第一道光罩工艺为半调式(half tone)光罩工艺;

具体地,该步骤包括:

在玻璃基板上沉积预定厚度的像素电极层以及栅极金属层,并涂覆光刻胶,例如在一个实施例中,采用溅射或热蒸发的方法在玻璃基板上沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的栅金属薄膜,以及沉积厚度为 $100 \sim 1000 \text{ \AA}$ 的 ITO (铟锡氧化物)像素电极层或 IZO (氧化锌)像素电

极层,其中,栅金属薄膜可以采用诸如金属 Cr、Mo、Al、Cu 等;

采用半调式(half tone)光罩工艺对光刻胶进行曝光显影;

然后对栅金属层进行第一次湿刻,对像素电极层进行湿刻,并去除部份光刻胶;然后对栅金属层进行第二次湿刻,并剥离相应光刻胶,形成栅极金属层、像素电极和公共电极(Com)图案,其中栅极金属层图案包括栅极(Gate)以及栅极引线连接区(Gate pad)。

[0020] 其中,形成栅极金属层和像素电极层后的阵列基板的结构示意图可参见图 2 所示。具体包括,玻璃基板 21 以及在其上形成的栅极 22、像素电极 23、公共电极 24 和栅极引线连接区 25。

[0021] 步骤 S11,采用第二道光罩工艺,形成栅极绝缘层、半导体层图案,第二道光罩工艺为半调式(half tone)光罩工艺;

具体地,该步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,沉积预定厚度的栅绝缘层(如 SiN_x)以及非晶硅(a-Si)半导体层薄膜,并涂覆光刻胶,例如,在一个实施例中,采用化学气相沉积方法,在形成有栅极金属层和像素电极图案的玻璃基板上依次沉积厚度为 2000 Å ~ 5000Å 的栅绝缘层、厚度为 1000 Å ~ 3000Å 的 a-Si 半导体层薄膜,具体地,可以通过等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition,PECVD)来实现沉积过程;

采用半调式光罩工艺对光刻胶进行曝光显影,形成一定的图案;

然后对位于沟道上的绝缘保护层进行干刻以及对 a-Si 半导体层薄膜进行第一次干刻,去除部份光刻胶;然后对 a-Si 半导体层薄膜进行第二次干刻,并剥离相应光刻胶,形成栅极绝缘层和半导体层图案。

[0022] 其中,形成栅极绝缘层、半导体层图案后的阵列基板的结构示意图可参见图 3 所示。其中,标号 26 代表的为栅绝缘层,标号 76 代表的为 a-Si 半导体层薄膜,其他标号所代表的元件可参照图 2 中的介绍。

[0023] 步骤 S12,采用第三道光罩工艺,形成源/漏极金属层和沟道,其中,该第三道光罩工艺可以为普通的光罩工艺;

在形成有栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜,并涂覆光刻胶,例如,在一个实施例中,可以采用磁控溅射或热蒸发方法,沉积厚度为 1000 Å ~ 6000Å 的源/漏极金属薄膜;

采用第三道光罩工艺进行曝光显影,对源/漏极金属薄膜进行湿刻,对沟道进行干刻,并剥离相应的光刻胶,形成源极金属层、漏极金属层、沟道和数据引线连接区(Data pad)。

[0024] 其中,形成有源/漏极金属层后的阵列基板的结构示意图可参见图 4 所示。其中,标号 28 代表的为源/漏极金属层,标号 29 代表的为数据引线连接区,其他标号所代表的元件可参照图 3 中的介绍。

[0025] 如图 5 所示,是按照图 1 的方法形成的一个 TFT 阵列基板的结构示意图;其中,标号 280 代表一个 TFT 单元,其包括前述的源/漏极金属层 28 和沟道。而 20 代表数据线,其他各标号所代表的元件可参照图 4 中的介绍。

[0026] 相应地,在其他的实施例中,本发明提供的方法还可以应用于采用金属氧化物半导体工艺的 TFT 阵列基板制造过程中。如图 6- 图 9 所示,示出了一种采用金属氧化物半导

体工艺的 TFT 阵列基板制造步骤。具体地,在该实施例中包括如下步骤:

第一步骤:在玻璃基板上采用第一道光罩工艺,形成栅极金属层和像素电极图案,第一道光罩工艺为半调式(half tone)光罩工艺;

具体地,该步骤包括:

在玻璃基板上沉积预定厚度的像素电极层以及栅极金属层,并涂覆光刻胶,例如在一个实施例中,采用溅射或热蒸发的方法在玻璃基板上沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的栅金属薄膜,以及沉积厚度为 $100 \sim 1000 \text{ \AA}$ 的 ITO (铟锡氧化物)像素电极层或 IZO (氧化锌)像素电极层,其中,栅金属薄膜可以采用诸如金属 Cr、Mo、Al、Cu 等;

采用半调式(half tone)光罩工艺对光刻胶进行曝光显影;

然后对栅金属层进行第一次湿刻,对像素电极层进行湿刻,并去除部份光刻胶;然后对栅金属层进行第二次湿刻,并剥离相应光刻胶,形成栅极金属层、像素电极和公共电极(Com)图案,其中栅极金属层图案包括栅极(Gate)以及栅极引线连接区(Gate pad)。

[0027] 其中,形成栅极金属层和像素电极层后的阵列基板的结构示意图可参见图 6 所示。具体包括,玻璃基板 21 以及在其上形成的栅极 22、像素电极 23、公共电极 24 和栅极引线连接区 25。

[0028] 第二步骤,采用第二道光罩工艺,形成栅极绝缘层、半导体层图案,第二道光罩工艺为灰调(gray tone)光罩工艺;

具体地,该步骤包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,依次沉积厚度为 $2000 \text{ \AA} \sim 5000 \text{ \AA}$ 的栅绝缘层 26、厚度为 $300 \text{ \AA} \sim 1000 \text{ \AA}$ 的氧化物半导体薄膜 27 以及厚度为 $1000 \text{ \AA} \sim 3000 \text{ \AA}$ 的刻蚀阻挡层 31 (如 SiO_2),并涂覆光刻胶;具体地,可以通过等离子体增强化学气相沉淀法(Plasma Enhanced Chemical Vapor Deposition,PECVD)来实现沉积过程,其中,氧化物半导体薄膜可以是诸如 ZnO 、 InZnO 、 ZnSnO 、 GaInZnO 或 ZrInZnO 等金属氧化物半导体薄膜;

采用灰调光罩工艺对所述光刻胶进行曝光显影,具体地采用一个具有多种透光率的灰阶掩模板,如图 7 所示,示出了这样一种灰阶掩模板,在该灰阶掩模板中,不同区域的地方对光线具有不同的透过率。图 7 中示出了四种区域,其透过率分别为 $0/3$ 、 $1/3$ 、 $2/3$ 和 $3/3$;

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻,对刻蚀阻挡层进行第一次干刻,去除部份光刻胶;然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻,第二次去除部份光刻胶;对刻蚀阻挡层进行第二次干刻,并剥离相应光刻胶,形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

[0029] 其中,形成栅极绝缘层、氧化物半导体层图案后的阵列基板的结构示意图可参见图 8 所示。其中,标号 26 代表的为栅绝缘层,标号 27 代表的为氧化物半导体层薄膜,标号 31 代表的为刻蚀阻挡层;其他标号所代表的元件可参照图 6 中的介绍。

[0030] 第三步骤,采用第三道光罩工艺,形成源/漏极金属层和沟道,其中,该第三道光罩工艺可以为普通的光罩工艺;

在形成有栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜,并涂覆光刻胶,例如,在一个实施例中,可以采用磁控溅射或热蒸发方法,沉积厚度为 $1000 \text{ \AA} \sim 6000 \text{ \AA}$ 的源/漏极金属薄膜;

采用第三道光罩工艺进行曝光显影,对源/漏极金属薄膜进行湿刻,对沟道进行干刻,并剥离相应的光刻胶,形成源极金属层、漏极金属层、沟道和数据引线连接区(Data pad)。

[0031] 其中,形成有源/漏极金属层后的阵列基板的结构示意图可参见图9所示。其中,标号28代表的为源/漏极金属层,标号29代表的为数据引线连接区,其他标号所代表的元件可参照图8中的介绍。

[0032] 可以理解的是,在其他的实施例中,也可以制造平板面板的非晶硅阵列基板时采用一道灰调(gray tone)光罩工艺,其具体方法与图1中示出的类似,只不过将步骤S11中的第二道光罩工艺替换为灰调光罩工艺,则在这种实施例中,在步骤S11中采用第二道光罩工艺,形成栅极绝缘层、半导体层图案的步骤具体包括:

在形成有栅极金属层和像素电极图案的玻璃基板上,沉积预定厚度为 $2000\text{ \AA} \sim 5000\text{ \AA}$ 的栅绝缘层、厚度为 $1000\text{ \AA} \sim 3000\text{ \AA}$ 的半导体层薄膜,并涂覆光刻胶;

采用灰调光罩工艺对所述光刻胶进行曝光显影,灰调光罩工艺的原理可参见前述对图7的介绍;

然后对位于沟道上的绝缘保护层进行第一次干刻,对半导体层进行第一次干刻以及对栅极绝缘保护层进行干刻,去除部份光刻胶;对位于沟道上的绝缘保护层进行第二次干刻以及对半导体层进行第二次干刻,第二次去除部份光刻胶;对位于沟道上的绝缘保护层进行第三次干刻,并剥离相应光刻胶,形成栅极绝缘层和半导体层和沟道绝缘保护层图案。

[0033] 而步骤S10和步骤S12与图1中示出的相同,可以参见前述的描述,在此不进行赘述。

[0034] 实施本发明实施例,具有如下的有益效果:

实施本发明实施例,在采用非晶硅半导体或的金属氧化物半导体制造工艺中只需要采用三道光罩工艺,简化了制造平板显示器面板的TFT阵列基板的工艺流程,可以减少掩膜板的使用量,从而降低生产成本。

[0035] 实施本发明实施例,在采用非晶硅半导体或的金属氧化物半导体制造工艺中只需要采用三道光罩工艺,简化了制造平板显示器面板的TFT阵列基板的工艺流程,可以减少掩膜板的使用量,从而降低生产成本。

[0036] 以上所揭露的仅为本发明较佳实施例而已,当然不能以此来限定本发明之权利范围,因此等同变化,仍属本发明所涵盖的范围。

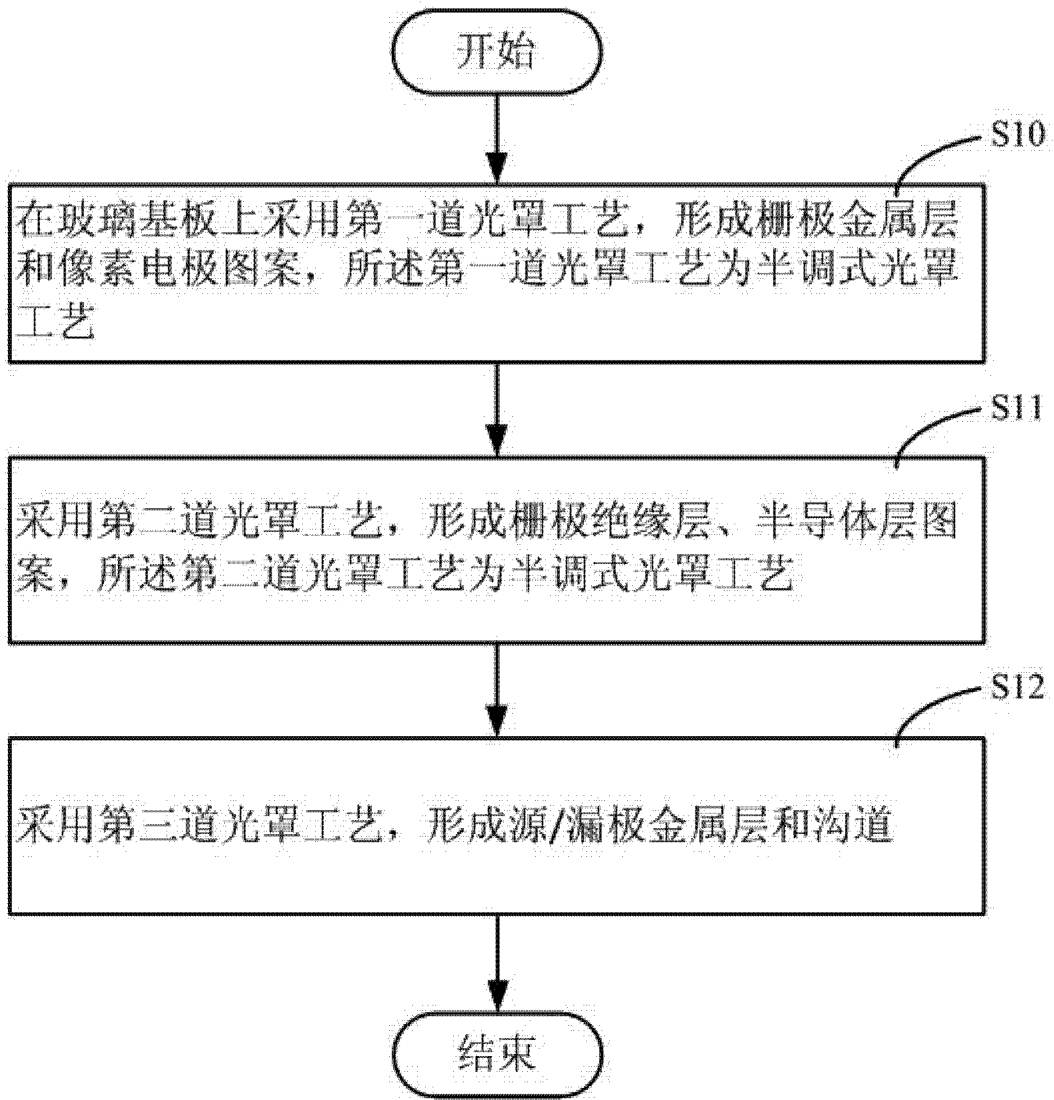


图 1

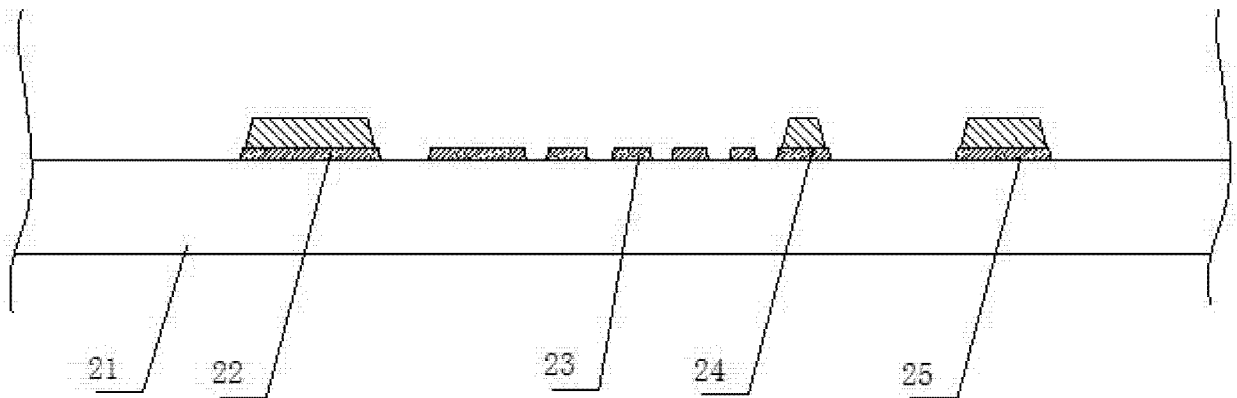


图 2

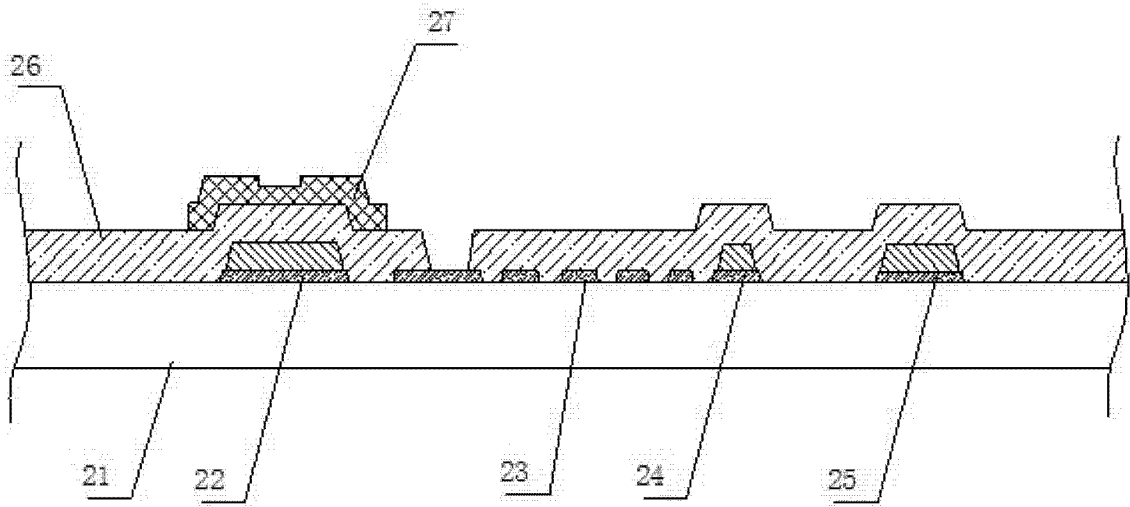


图 3

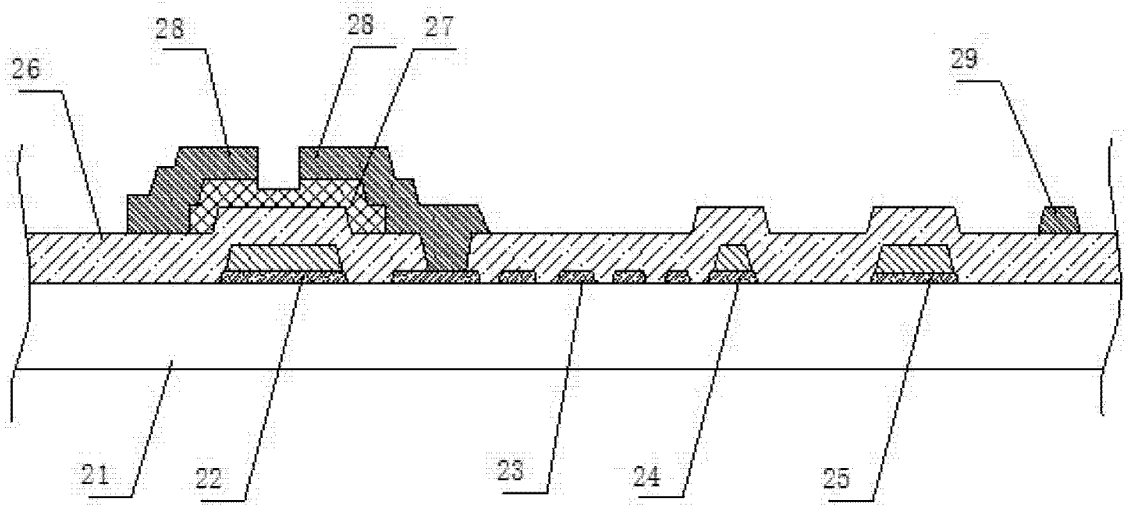


图 4

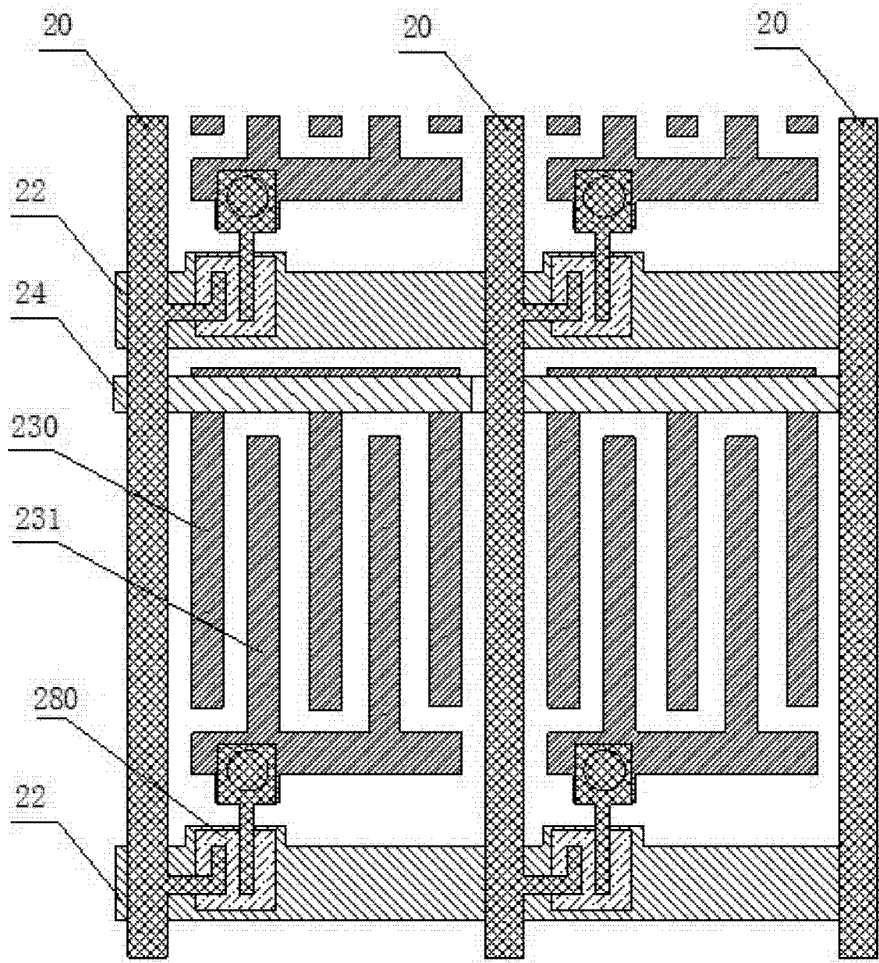


图 5

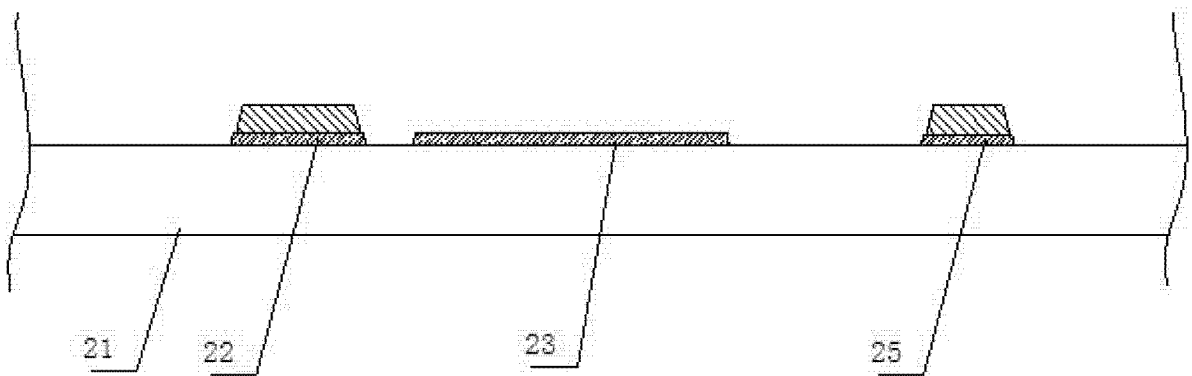


图 6

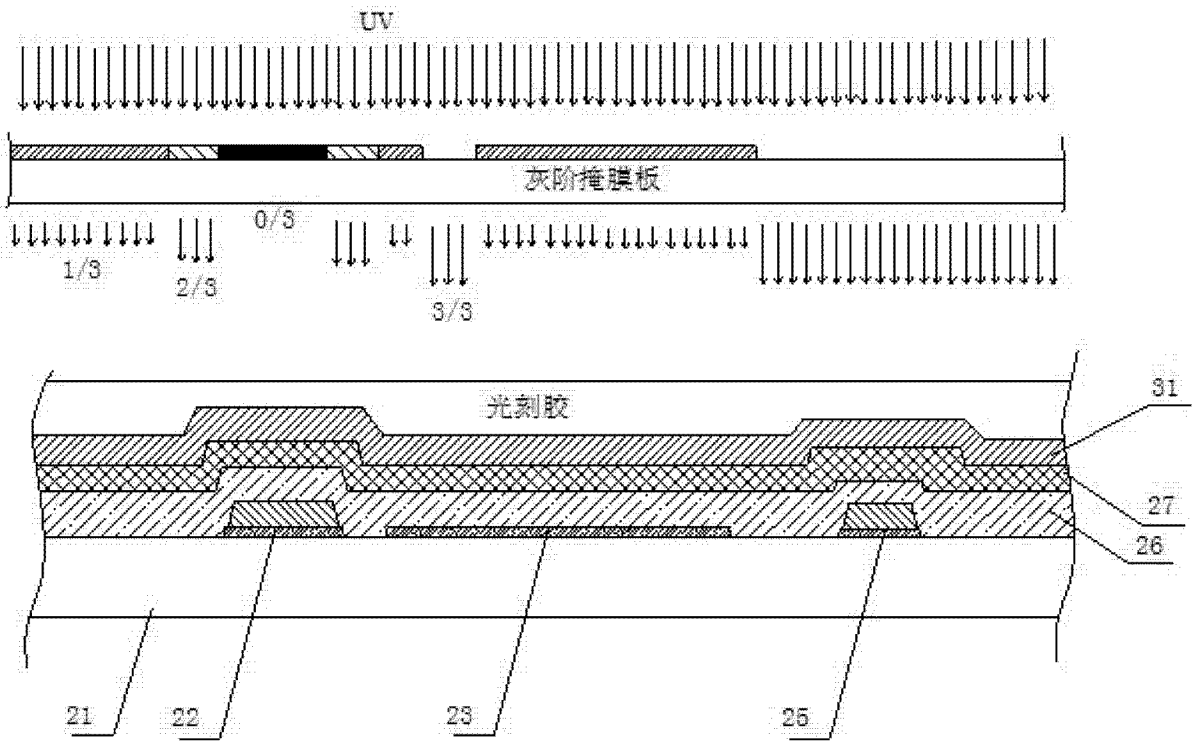


图 7

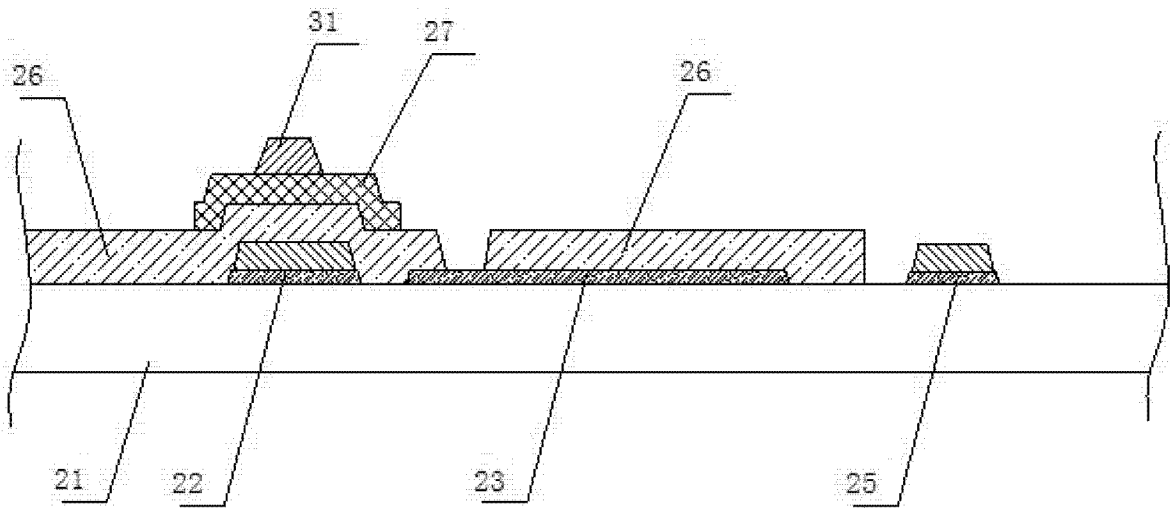


图 8

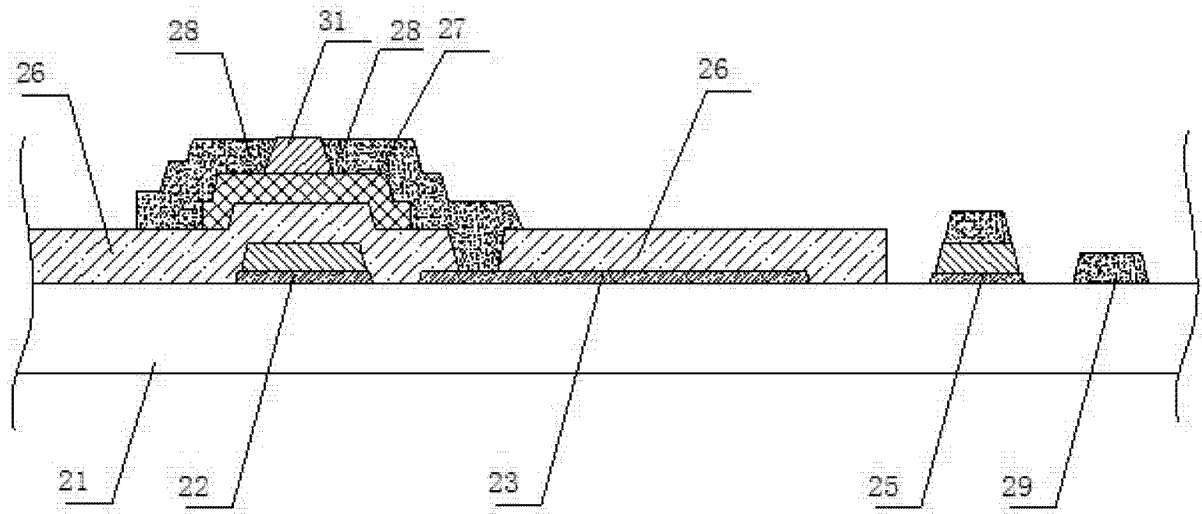


图 9