

(21)申請案號：103129906

(22)申請日：中華民國 103 (2014) 年 08 月 29 日

(51)Int. Cl. : H01L21/50 (2006.01)

H01L23/60 (2006.01)

(30)優先權：2013/08/29 美國

61/871,319

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：蔡曜駿 TSAI, YAO JUN (TW)；許鎮鵬 HSU, CHEN PENG (TW)；溫士逸 WEN, SHIH YI (TW)；楊季瑾 YANG, CHI CHIN (TW)；胡鴻烈 HU, HUNG LIEH (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：22 項 圖式數：10 共 34 頁

(54)名稱

基板、其製造方法及其應用

SUBSTRATE, METHOD OF FABRICATING THE SAME, AND APPLICATION THE SAME

(57)摘要

一種基板包括基材、兩個導體結構以及至少一二極體。兩個導體結構分別從基材的第一表面，經由貫穿基材的兩個穿孔，延伸到基材的第二表面。至少一二極體埋入於所述穿孔其中之一的一側壁的基材中。

Provided is a substrate, including a substrate material, two conductive structures, and at least one diode. Two conductive structures extend from a first surface of the substrate material to a second surface of the substrate material via two through holes penetrating through the substrate material. The at least one diode is embedded in the substrate material at one sidewall of one of the through holes.

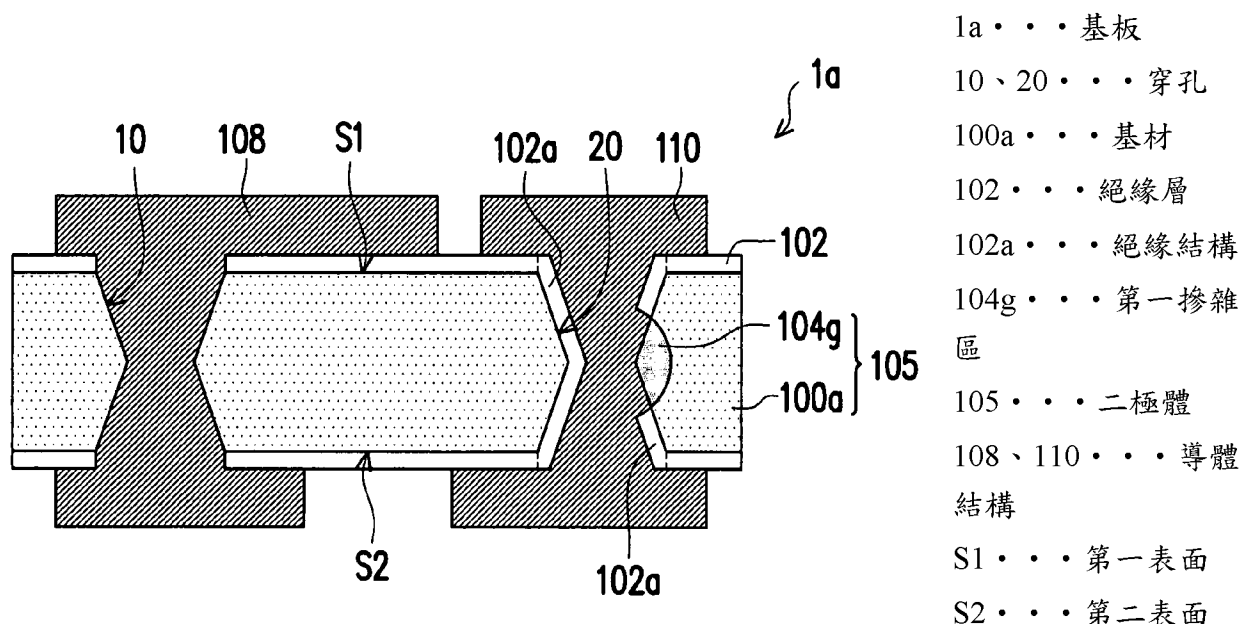


圖 3D

發明摘要

※ 申請案號： 103129906

※ 申請日： 103. 8. 29

※IPC 分類：

【發明名稱】

基板、其製造方法及其應用

H01L 21/50 :2006.01

H01L 23/00 :2006.01

SUBSTRATE, METHOD OF FABRICATING THE SAME, AND
APPLICATION THE SAME

【中文】

一種基板包括基材、兩個導體結構以及至少一二極體。兩個導體結構分別從基材的第一表面，經由貫穿基材的兩個穿孔，延伸到基材的第二表面。至少一二極體埋入於所述穿孔其中之一的一側壁的基材中。

【英文】

Provided is a substrate, including a substrate material, two conductive structures, and at least one diode. Two conductive structures extend from a first surface of the substrate material to a second surface of the substrate material via two through holes penetrating through the substrate material. The at least one diode is embedded in the substrate material at one sidewall of one of the through holes.

【代表圖】

【本案指定代表圖】：圖 3D。

【本代表圖之符號簡單說明】：

1a：基板

10、20：穿孔

100a：基材

102：絕緣層

102a：絕緣結構

104g：第一摻雜區

105：二極體

108、110：導體結構

S1：第一表面

S2：第二表面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

基板、其製造方法及其應用

SUBSTRATE, METHOD OF FABRICATING THE SAME, AND
APPLICATION THE SAME

【技術領域】

【0001】 本揭露是有關於一種基板及其製造方法、及其應用，且特別是有關於一種具有二極體的基板及其製造方法、及其應用。

【先前技術】

【0002】 隨著科技的日新月異，現今行動裝置的需求愈來愈輕薄，所以應用在行動裝置上的電子元件的趨勢也是愈做愈小。然而，當靜電放電（Electro-Static Discharge，ESD）的現象產生時，電子元件會因為靜電放電所產生的突如其來的大電流所影響，而造成所屬系統當機，甚至造成永久性的破壞。

【0003】 在習知靜電放電防護的技術領域中，常依據不同模式在可能發生靜電放電路徑上加設靜電放電防護元件來疏導靜電放電時所產生的電流。然而，上述靜電放電防護元件會導致其晶片的面積增加，不僅造成製造成本上的負擔，而且亦與現今電子產品輕薄短小的趨勢背道而馳。

【發明內容】

【0004】 本揭露提供一種基板，其包括基材、兩個導體結構以及至少一二極體。兩個導體結構分別從基材的第一表面，經由貫穿基材的兩個穿孔，延伸到基材的第二表面。至少一二極體埋入於所述穿孔其中之一的一側壁的基材中。

【0005】 本揭露提供一種基板的製造方法，其步驟如下。提供具有第一導電型的基材。於基材中形成兩個穿孔，所述穿孔分別貫穿基材。於所述穿孔其中之一裸露的基材中埋入至少一二極體。於基材中形成兩個導體結構。兩個導體結構分別從基材的第一表面，經由所述穿孔貫穿基材，延伸到基材的第二表面。

【0006】 本揭露提供一種封裝結構，其包括上述之基板與晶片。晶片配置於基板上。晶片與基板電性連接。

【0007】 為讓本揭露的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】**【0008】**

圖 1A 至圖 1E 為依照本揭露第一實施例所繪示的基板之製造流程的剖面示意圖。

圖 2A 為依照本揭露之一實施例所繪示的穿孔形狀的剖面示意圖。

圖 2B 為依照本揭露之另一實施例所繪示的穿孔形狀的剖面

示意圖。

圖 2C 為依照本揭露之又一實施例所繪示的穿孔形狀的剖面示意圖。

圖 3A 至圖 3E 為本揭露之各種實施例之基板的剖面示意圖。

圖 4A 為本揭露第二實施例之基板的剖面示意圖。

圖 4B 為本揭露之另一第二實施例之基板的剖面示意圖。

圖 5 為本揭露第三實施例之基板的剖面示意圖。

圖 6 為本揭露第四實施例之基板的剖面示意圖。

圖 7 為本揭露第五實施例之基板的剖面示意圖。

圖 8 為本揭露第六實施例之基板的剖面示意圖。

圖 9 為依照本揭露之一實施例所繪示的封裝結構。

圖 10 為依照本揭露另一實施例所繪示的封裝結構。

【實施方式】

【0009】 在以下的實施例中，當第一導電型為 N 型，第二導電型為 P 型；當第一導電型為 P 型，第二導電型為 N 型。在本實施例中，是以第一導電型為 P 型，第二導電型為 N 型為例來說明，但本揭露並不以此為限。P 型摻雜例如是硼；N 型摻雜例如是磷或是砷。

【0010】 圖 1A 至圖 1E 為依照本揭露第一實施例所繪示的基板之製造流程的剖面示意圖。

【0011】 請參照圖 1A，首先，提供基材 100。基材 100 材料例如

為半導體基底或半導體化合物基底。半導體例如是 IVA 族的原子，例如矽或鍺。半導體化合物例如是 IVA 族的原子所形成之半導體化合物，例如是碳化矽或是矽化鍺，或是 IIIA 族原子與 VA 族原子所形成之半導體化合物，例如是砷化鎵。在一實施例中，基材 100 可例如是具有第一導電型的基材 100，第一導電型可例如是 P 型，但本揭露並不以此為限。

【0012】 接著，於基材 100 上形成圖案化的絕緣層 102。具體來說，先於基材 100 上形成絕緣層（未繪示）。絕緣層覆蓋基材 100 的第一表面 S1、第二表面 S2 以及兩側面。然後，對絕緣層進行圖案化製程，以形成圖案化的絕緣層 102。圖案化的絕緣層 102 具有多數個開口 101a、101b、101c、101d。開口 101a、101b 裸露出基材 100 的第一表面 S1。開口 101c、101d 裸露出基材 100 的第二表面 S2。開口 101a 的位置與開口 101c 的位置相對應；而開口 101b 的位置與開口 101d 的位置相對應。絕緣層的材料可例如是氧化矽、氮化矽、氮氧化矽或其組合，其形成方法可利用化學氣相沈積法來形成。在一實施例中，絕緣層的厚度為 100 nm 至 3000 nm。

【0013】 請參照圖 1B，以圖案化的絕緣層 102 為罩幕，對基材 100 進行等向性蝕刻製程，以形成至少兩個穿孔 10、20。在一實施例中，上述等向性蝕刻製程可例如是濕式蝕刻製程，其可例如是使用 KOH、NaOH、NH₄OH 或 H₃PO₄ 等蝕刻劑來進行。具體來說，等向性蝕刻製程使用的蝕刻劑對於圖案化的絕緣層 102 與基材

100 具有高蝕刻選擇比，因此，蝕刻劑與開口 101a、101b、101c、101d 所裸露的基材 100 接觸，使得開口 101a 與所對應的開口 101c 之間的部分基材 100 被移除，以形成穿孔 10。同樣地，開口 101b 與所對應的開口 101d 之間的部分基材 100 被移除，以形成穿孔 20。

【0014】 另外，透過等向性蝕刻製程的蝕刻條件（Etch Recipe）的控制，穿孔 10、20 之兩側壁的形狀可以是各種的形狀。上述穿孔 10、20 之輪廓可依不同元件的需求來調整，但本揭露並不以此為限。舉例來說，穿孔 10、20 之輪廓為沙漏形（如圖 1B 所示）或倒梯形（如圖 2A 所示）或領結形（如圖 2C 所示）時，其可適用於發光二極體（LED）製程。穿孔 10、20 之兩側壁的形狀為 I 字形時（如圖 2B 所示），其可適用於三維積體電路（3D IC）晶片製程。

【0015】 請參照圖 1C，對穿孔 10、20 之兩側壁進行摻雜製程，以於基材 100a 中形成具有第二導電型的第一摻雜區 104a、104b。第一摻雜區 104a、104b 可例如是分別位於穿孔 10、20 之兩側壁的基材 100a 中。摻雜製程可例如是利用高溫爐管製程來形成。在一實施例中，基材 100 中的摻質例如是硼；而第一摻雜區 104a、104b 所植入的摻質例如是磷或是砷。

【0016】 請參照圖 3A 至圖 3E，以下針對本揭露各種實施例之第一摻雜區提供詳細的描述。第一摻雜區 104c 可例如是位於穿孔 20 的一側壁的基材 100a 中（如圖 3A 所示），而穿孔 20 之另一側壁上則具有絕緣結構 102a。另外，第一摻雜區 104d 可位於同一穿孔

20 的兩側壁的基材 100a 中（如圖 3B 所示）。第一摻雜區 104e 亦可配置於穿孔 10 之至少一側壁與第一摻雜區 104f 同時位於同一穿孔 20 之兩側壁的基材 100a 中（如圖 3C 所示）。當第一摻雜區 104e 位於穿孔 10 之一側壁的基材 100a 中時，穿孔 10 之另一側壁上則具有絕緣結構 102a。此外，第一摻雜區 104g、104h 可例如是分別位於穿孔 20 的一側壁的一部分的基材 100a 中（如圖 3D、圖 3E 所示），端看其需求而定，但本揭露並不以此為限。當第一摻雜區 104g、104h 分別位於穿孔 20 之一側壁的一部分的基材 100a 中時，穿孔 20 之一側壁的其他部分以及穿孔 20 之另一側壁上具有絕緣結構 102a。

【0017】 在對應圖 3A 至圖 3E 的實施例中，第一摻雜區 104c、104d、104e、104f、104g 或 104h 僅位於穿孔 10、20 其中之一，或僅位於穿孔 10、20 其中之一的部分側壁的基材 100a 中，則在進行摻雜製程之前，可先於穿孔 10、20 之兩側壁上形成圖案化的罩幕層（未繪示）。之後，以圖案化的罩幕層與圖案化的絕緣層 102 為罩幕，進行摻雜製程。摻雜製程例如是離子植入製程或是高溫擴散摻雜製程。如果是利用高溫擴散摻雜製程來達成摻雜時，則可用 HF(氫氟酸)或乾蝕刻的方法，來去除高溫摻雜時在穿孔側壁所形成的薄氧化層。

【0018】 請回頭參照圖 1C，第一摻雜區 104a 與其鄰近的部分基材 100a 構成二極體 105a；第一摻雜區 104b 與其鄰近的部分基材 100a 構成二極體 105b。換言之，二極體 105a、105b 埋入於基材 100a

中。二極體 105a、105b 具有稽納二極體 (Zener Diode) 的功效，其可當作後續封裝製程中的靜電放電防護元件 (ESD Protection Device)，以防止所屬的電子元件被靜電放電所產生的大電壓所影響，而損傷元件。

【0019】 請參照圖 1D，於穿孔 10、20 之兩側壁上形成圖案化的種層 (Seed layer) 107a、107b。具體來說，先在穿孔 10、20 之兩側壁、第一表面 S1 與第二表面 S2 的部分圖案化的絕緣層 102 上形成種層 (未繪示)。然後，對種層進行圖案化製程，暴露部分圖案化的絕緣層 102，以形成圖案化的種層 107a、107b。圖案化的種層 107a 覆蓋穿孔 10 之兩側壁、第一表面 S1 與第二表面 S2 的部分圖案化的絕緣層 102。圖案化的種層 107b 覆蓋穿孔 20 之兩側壁、第一表面 S1 與第二表面 S2 的部分圖案化的絕緣層 102。圖案化的種層 107a 與 107b 彼此分離，其可避免後續封裝製程中的晶片的陽極與陰極電性連接，而導致所屬的電子元件短路。在一實施例中，種層的材料可例如是金屬材料，金屬材料可例如是金 (Au)、銀 (Ag)、銅 (Cu) 或其組合，其形成方法可利用電子束蒸鍍法 (E-beam Evaporation)、濺鍍法 (Sputter) 或電鍍 (Electro-plating) 法來形成。在一實施例中，種層的厚度為 10 nm 至 10000 nm。

【0020】 此外，在一實施例中，圖案化的種層 107a、107b 與基材 100a 之間可分別具有阻障層 106a、106b，其可避免圖案化的種層 107a、107b 的金屬材料擴散至基材 100a 中。阻障層 106a、106b

的材料可例如是金屬或金屬氮化物。金屬或金屬氮化物可例如是鎳 (Ni)、鉑 (Pt)、鈦 (Ti)、氮化鈦 (TiN)、氮化鉭 (TaN)、鎢 (W)、鈦鎢 (TiW) 或其組合，其可利用電子束蒸鍍法 ((E-beam Evaporation))、濺鍍法 (Sputter)、電鍍 (Electro-plating) 法或化學氣相沈積法來形成。圖案化的種層 107a、107b 的材料與阻障層 106a、106b 的材料可以互相搭配以獲得最好的阻障效果。舉例來說，當圖案化的種層 107a、107b 的材料為金 (Au) 時，則可搭配鎳 (Ni)、鈀 (Pd)、鉑 (Pt) 或鈦 (Ti) 來當作阻障層 106a、106b 的材料；圖案化的種層 107a、107b 的材料為銀 (Ag) 時，則可搭配氮化鈦 (TiN) 或氮化鉭 (TaN) 來當作阻障層 106a、106b 的材料；圖案化的種層 107a、107b 的材料為銅 (Cu) 時，則可搭配鎢 (W)、鈦鎢 (TiW) 或鈦 (Ti) 來當作阻障層 106a、106b 的材料，但本揭露並不以此為限。在一實施例中，圖案化的種層 107a、107b 與基材 100a 之間亦可省略上述阻障層 106a、106b。

【0021】 請參照圖 1E，形成導體結構 108 與導體結構 110。導體結構 108 包括第一電極 108a、第二電極 108b 以及連接部 108c。連接部 108c 貫穿基材 100a，其使得第一電極 108a 與第二電極 108b 電性連接。同樣地，導體結構 110 包括第一電極 110a、第二電極 110b 以及連接部 110c。連接部 110c 貫穿基材 100a，使得第一電極 110a 與第二電極 110b 電性連接。導體結構 108 與導體結構 110 彼此電性隔絕，其可避免後續封裝製程中的晶片的陽極與陰極電性連接，而導致所屬的電子元件短路。另外，第一電極 108a、110a

與第二電極 108b、110b 必須具有足夠厚度，以承受所屬電子元件的電流量（約莫 0.02 至 20 安培），以避免產生電流過大而導致電子元件損壞的問題。在一實施例中，導體結構 108、110 的材料可例如是金屬材料，金屬材料可例如是金（Au）、銀（Ag）、銅（Cu）或其組合，其形成方法可利用電鍍法、蒸鍍法或塗佈印刷來形成。在一實施例中，第一電極 108a、110a 的厚度為 $1\ \mu\text{m}$ 至 $100\ \mu\text{m}$ 。第二電極 108b、110b 的厚度為 $1\ \mu\text{m}$ 至 $100\ \mu\text{m}$ 。

【0022】 圖 1E 為本揭露第一實施例之基板的剖面示意圖。

【0023】 請參照圖 1E，本揭露第一實施例之基板 1 包括：基材 100a、圖案化的絕緣層 102、兩個二極體 105a、105b 以及兩個導體結構 108、110。兩個導體結構 108、110 分別從基材 100a 的第一表面 S1，經由穿孔 10、20，貫穿基材 100a，延伸到第二表面 S2。導體結構 108 包括：第一電極 108a、第二電極 108b 以及連接部 108c。導體結構 110 包括：第一電極 110a、第二電極 110b 以及連接部 110c。第一電極 108a、110a 分別配置於基材 100a 的第一表面 S1 上。第二電極 108b、110b 分別配置於基材 100a 的第二表面 S2 上。連接部 108c 配置於第一電極 108a 與第二電極 108b 之間，使得第一電極 108a 與第二電極 108b 電性連接。連接部 110c 配置於第一電極 110a 與第二電極 110b 之間，使得第一電極 110a 與第二電極 110b 電性連接。圖案化的絕緣層 102 配置於基材 100a 的第一表面 S1 上，位於基材 100a 與第一電極 108a、110a 之間，圖案化的絕緣層 102 還配置於基材 100a 的第二表面 S2 上，位於

基材 100a 與第二電極 108b、110b 之間。圖案化的絕緣層 102 使得基材 100a 與第一電極 108a、110a 以及第二電極 108b、110b 電性隔絕。

【0024】 二極體 105a、105b 分別埋入於基材 100a 中。二極體 105a 與導體結構 108 的連接部 108c 接觸；而二極體 105b 與導體結構 110 的連接部 110c 接觸。二極體 105a 包括具有第一導電型的部分基材 100a 以及具有第二導電型的第一摻雜區 104a。二極體 105b 包括具有第一導電型的部分基材 100a 以及具有第二導電型的第一摻雜區 104b。第一摻雜區 104a 位於基材 100a 中，與導體結構 108 的連接部 108c 接觸。第一摻雜區 104b 位於基材 100a 中，與導體結構 110 的連接部 110c 接觸。在各種實施例中，第一摻雜區的位置、數量具有各種可能（如圖 3A 至圖 3E 所示），端看其需求而定，但本揭露並不以此為限。舉例來說，如圖 3D 所示，基板 1a 的第一摻雜區 104g 位在穿孔 20 的一側壁的一部分的基材 100a 中。連接部 108c、110c 之輪廓可以是沙漏形、I 字形、倒梯形或領結形（分別如圖 1B、2A、2B 與 2C 所示）。連接部 108c、110c 之輪廓可依不同元件的需求來調整，但本揭露並不以此為限。

【0025】 在以下的實施例中，相同或相似的元件、構件、層以相似的元件符號來表示。舉例來說，圖案化的絕緣層 102 與圖案化的絕緣層 202、302、402、502、602 皆為相同或相似的構件；導體結構 108 與導體結構 208、308、408、508、608 亦為相同或相似的構件。於此不再逐一贅述。

【0026】 圖 4A 為本揭露第二實施例之基板的剖面示意圖。圖 4B 為本揭露之另一第二實施例之基板的剖面示意圖。

【0027】 請參照圖 4A，本實施例與圖 1E 之基板 1 相似，不同之處在於圖 4A 之基板 2 包括基材 200。基材 200 包括主體部 210 與邊緣部 220。邊緣部 220 位於主體部 210 的邊緣。邊緣部 220 例如是切割道。邊緣部 220 具有導角 230，其由第三表面 S3 與第二表面 S2 的連接處所構成。導角 230 的夾角 θ 為鈍角。在一實施例中，導角的夾角 θ 可例如是 100 度至 170 度。導角 230 可藉由每一基板 2 之間的切割道 240 上的開口 30 切割而成或是利用乾、濕蝕刻方法來形成。上述導角 230 可例如是鈍角。在後續封裝製程中，由於上述導角 230 的夾角 θ 為鈍角，其可解決基材 200 與下方的凸塊 (Bump) 進行貼合時，第二表面 S2 的第二電極 208b、210b 過度擠壓而外溢至角落，進而導致所屬電子元件漏電或短路的問題。在一實施例中，更可在第三表面 S3 下的部分基材 200 中形成具有第二導電型的第三摻雜區 212，使得第三摻雜區 212 與其鄰近的部分基材 200 構成二極體 211。二極體 211 亦具有稽納二極體的功效，以防止漏電流的發生。但本揭露不限於此，在其他實施例中，亦可利用噴塗或印刷的方式在基板 2 的第三表面 S3 上形成絕緣結構 202a (如圖 4B 所示)，以防止漏電流的發生。絕緣結構 202a 的材料可例如是矽氧樹脂 (Silicone)。

【0028】 圖 5 為本揭露第三實施例之基板的剖面示意圖。

【0029】 請參照圖 5，本實施例與圖 1E 之基板 1 相似，不同之處

在於圖 5 之基板 3 更包括絕緣結構 302a 分別配置於連接部 308c、310c 之兩側壁與基材 300 之間。絕緣結構 302a 具有防止電荷擊穿（punch through）的功效。當圖 5 之基材 300 例如當作次載具（Submount）時，其所屬的電子元件不僅可以防止電荷擊穿，而且還具備靜電放電防護的作用之雙重保護的功效。在一實施例中，絕緣結構 302a 的材料可例如是氧化矽、氮化矽、氮氧化矽或其組合，其形成方法可利用化學氣相沈積法來形成。在一實施例中，絕緣結構 302a 的厚度為 100 nm 至 3000 nm。

【0030】 圖 6 為本揭露第四實施例之基板的剖面示意圖。

【0031】 請參照圖 6，本實施例與圖 1E 之基板 1 相似，不同之處在於圖 6 之基板 4 具有空腔（Cavity）40。二極體 405a、405b 埋入於空腔 40 底部的基材 400 中。由於圖 5 之基材 400 具有空腔 40，因此，當基材 400 例如做為次載具時，除了具有靜電放電防護的作用之外，其可減少所連接的發光二極體元件之側向光。如此一來，不僅可減少黃暈（Yellowish Halo）問題，在空腔 40 的側壁上塗佈反射鏡亦可提升所連接的發光二極體元的光學效率。

【0032】 圖 7 為本揭露第五實施例之基板的剖面示意圖。

【0033】 請參照圖 7，本實施例與圖 1E 之基板 1 相似，不同之處在於圖 7 之基板 5 還包括具有第一導電型的第二摻雜區 512a、512b。第二摻雜區 512a 位於具有第二導電型的第一摻雜區 504a 與導體結構 508 的連接部 508c 之間。第二摻雜區 512b 位於具有第二導電型的第一摻雜區 504b 與導體結構 510 的連接部 510c 之

間。第二摻雜區 512a、第一摻雜區 504a 與基底 500 可組成 NPN 結構或 PNP 結構。第二摻雜區 512b、第一摻雜區 504b 與基底 500 亦可組成 NPN 結構或 PNP 結構。藉由增加第二摻雜區 512a、512b 與第一摻雜區 504a、504b 之間的接面 (Junction)，可進一步增加抵抗漏電流的能力。此外，圖 7 之基板 5 更包括絕緣結構 502a 覆蓋於第一摻雜區 504a、504b 的表面上，而未覆蓋於第二摻雜區 512a、512b 的表面上。

【0034】 圖 8 為本揭露第六實施例之基板的剖面示意圖。

【0035】 請參照圖 8，本實施例與圖 1E 之基板 1 相似，不同之處在於圖 8 之具有第二導電型的第一摻雜區 604a 與 604b 更延伸至基材 600 的第一表面 S1 與第二表面 S2。第一摻雜區 604a 位於第一電極 608a 與基材 600 之間以及第二電極 608b 與基材 600 之間。第一摻雜區 604b 位於第一電極 610a 與基材 600 之間以及第二電極 610b 與基材 600 之間。藉由第一摻雜區 604a 與 604b 面積的增加，以減少漏電流的現象。

【0036】 本揭露上述各實施例的基板上可安裝晶片，而形成封裝結構。在以下的實施例中，是以圖 1E 之基板來說明，然而，本揭露不以此為限，在其他的實施例中，可以直接將圖 1E 之基材 100a 替換成上述各實施例的基材，於此不再贅述。

【0037】 圖 9 為依照本揭露之一實施例所繪示的封裝結構。圖 10 為依照本揭露另一實施例所繪示的封裝結構。

【0038】 請同時參照圖 1E、圖 9 以及圖 10，本揭露之實施例的封

裝結構包括圖 1E 之基板 1 與晶片 700、800。晶片 700、800 分別安裝於基板 1 上。晶片 700、800 可例如是半導體晶片、發光二極體晶片、記憶晶片或其組合。基板 1 與晶片 700、800 兩者之間可以各種方式來電性連接。連接的方式例如是打線 (Wire Bonding)、共晶、銲接、覆晶封裝 (Flip Chip Bonding) 等。以下針對打線與覆晶封裝的方式來敘述本揭露之實施例的封裝結構。

【0039】 如圖 9 所述，本揭露之一實施例的封裝結構包括晶片 700 與基板 1，基板 1 與晶片 700 藉由打線方式來電性連接。具體來說，晶片 700 的晶片基板 702 的第二側表面藉由固晶膠 706 安裝於基板 1 上，並與導體結構 108 的第一電極 108a 電性連接。晶片 700 的晶片基板 702 的第一側表面則透過導線 (Wire) 708 將晶片 700 的銲墊 704 與基板 1 的第一電極 110a 電性連接。本揭露實施例之基板 1 將二極體 105a、105b 埋入基材 100 中。埋入式的二極體 105a、105b 不僅具有靜電放電防護的功效，更可縮小其所屬封裝結構的體積，進而降低製造成本。

【0040】 如圖 10 所述，本揭露另一實施例的封裝結構包括晶片 800 與基板 1，基板 1 與晶片 800 可例如是藉由覆晶封裝方式來電性連接。具體來說，晶片 800 安裝於基板 1 上。晶片 800 包括透明基板 808 與晶片基板 802。透明基板 808 位於晶片基板 802 的第一側的表面上。在一實施例中，透明基板 808 可例如是藍寶石基板 (Sapphire)、SiC、InP 或 GaN 等。晶片基板 802 的第二側的表面上藉由第一凸塊 804 與第二凸塊 806 與基板 1 電性連接。在一

實施例中，第一凸塊 804 配置於晶片基板 802 與基板 1 之間，以電性連接晶片基板 802 的 P 型半導體層（例如是 P 型 GaN）與基板 1 的第一電極 108a。第二凸塊 806 位於晶片基板 802 與基板 1 之間，以電性連接晶片基板 802 的 N 型半導體層（例如是 N 型 GaN）與基板 1 的第一電極 110a。

【0041】 綜上所述，本揭露之實施例在基材的穿孔的側壁中埋入二極體，可有效地提升抗靜電放電的效能，增進所屬電子裝置的產品可靠度，其亦可縮小所屬封裝結構的體積。此外，上述埋入式的二極體與發光二極體電性連接，則可提升發光二極體的混光效果。如此一來，本揭露之實施例不僅可降低製造成本，且亦符合現今電子產品輕薄短小的趨勢。

【0042】 雖然本揭露已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0043】

1、1a、2、3、4、5、6：基板

10、20：穿孔

40：空腔

30、101a、101b、101c、101d：開口

100、100a、200、300、400、500、600：基材

102、202、302、402、502、602：絕緣層

102a、202a、302a、502a、602a：絕緣結構

104a、104b、104c、104d、104e、104f、104g、104h、204a、
204b、304a、304b、404a、404b、504a、504b、604a、604b：第一
摻雜區

105、105a、105b、205a、205b、211、305a、305b、405a、
405b、505a、505b：二極體

106a、106b：種層

108、110、208、210、308、310、408、410、508、510、608、
610：導體結構

108a、108b、110a、110b、208a、208b、210a、210b、308a、
308b、310a、310b、508a、508b、510a、510b、608a、608b、610a、
610b：電極

108c、110c、208c、210c、308c、310c、508c、510c、608c、
610c：連接部

210、220：部分

212：第三摻雜區

230：導角

240：切割道

512a、512b：第二摻雜區

700、800：晶片

702、802：晶片基板

704：鐳墊

706：固晶膠

708：導線

804、806：凸塊

808：透明基板

S1：第一表面

S2：第二表面

S3：第三表面

θ ：導角

申請專利範圍

1. 一種基板，包括：

一基材；

兩個導體結構，分別從該基材的一第一表面，經由貫穿該基材的兩個穿孔，延伸到該基材的一第二表面；以及

至少一二極體，埋入於該些穿孔其中之一的一側壁的該基材中。

2. 如申請專利範圍第 1 項所述的基板，每一導體結構包括：

一第一電極，配置於該基材的該第一表面上；

一第二電極，配置於該基材的該第二表面上；以及

一連接部，配置於該第一電極與該第二電極之間，使得該第一電極與該第二電極電性連接。

3. 如申請專利範圍第 2 項所述的基板，更包括一圖案化的絕緣層，配置於該基材與該些第一電極之間以及該基材與該些第二電極之間。

4. 如申請專利範圍第 2 項所述的基板，其中該基材具有一第一導電型，且至少該二極體包括：

具有一第二導電型的一第一摻雜區，位於該些穿孔其中之一的該側壁的該基材中。

5. 如申請專利範圍第 4 項所述的基板，其中該第一摻雜區與該連接部之側壁的至少一部分接觸。

6. 如申請專利範圍第 4 項所述的基板，更包括一絕緣結構，

配置於該些連接部的兩側壁上，使得該第一摻雜區與該連接部彼此電性隔絕。

7. 如申請專利範圍第 4 項所述的基板，更包括具有該第一導電型的一第二摻雜區，配置於至少該第一摻雜區與所對應的該連接部之間。

8. 如申請專利範圍第 4 項所述的基板，其中該第一摻雜區更延伸至該基材的該第一表面與該第二表面，位於與該第一摻雜區連接的該導體結構的該第一電極與該基材之間以及與該第一摻雜區連接的該導體結構的該第二電極與該基材之間。

9. 如申請專利範圍第 1 項所述的基板，其中該些連接部之輪廓包括沙漏形、I 字形、倒梯形或領結形。

10. 如申請專利範圍第 1 項所述的基板，其中該基材包括：
一主體部；以及

一邊緣部，該邊緣部位於該主體部的邊緣，其中該邊緣部具有一導角，其中該導角由一第三表面與該第二表面的連接處所構成，且該導角為鈍角。

11. 如申請專利範圍第 10 項所述的基板，更包括具有該第二導電型的一第三摻雜區，配置於該邊緣部的該第三表面下方的該基材中。

12. 如申請專利範圍第 1 項所述的基板，其中該基材具有一空腔，其中至少該二極體埋入於該空腔底部的該基材中。

13. 一種基板的製造方法，包括：

提供具有一第一導電型的一基板；

於該基材中形成兩個穿孔，該些穿孔分別貫穿該基材；

於該些穿孔其中之一裸露的該基材中埋入至少一二極體；以及

於該基材中形成兩個導體結構，分別從該基材的一第一表面，經由該些穿孔貫穿該基材，延伸到該基材的一第二表面。

14. 如申請專利範圍第 13 項所述的基板的製造方法，於該基材中形成該些導體結構的方法包括：

於該基材的該第一表面上形成至少兩個第一電極；

於該基材的該第二表面上形成至少兩個第二電極；以及

於每一穿孔中形成所對應的一連接部，每一連接部與所對應的該第一電極與所對應的該第二電極電性連接。

15. 如申請專利範圍第 14 項所述的基板的製造方法，於該基材中形成該些穿孔的步驟包括：

於該基材上形成一圖案化的絕緣層，該圖案化的絕緣層具有至少兩組相對應的兩開口；以及

以該圖案化的絕緣層為罩幕，對該些開口之間的該基材進行一等向性蝕刻製程，移除部分該基材。

16. 如申請專利範圍第 15 項所述的基板的製造方法，於該基材中埋入至少該二極體的方法包括：

於該基材中形成該些穿孔之後，以該圖案化的絕緣層為罩幕，對該些穿孔的側壁進行摻雜製程，以於部分該基材中形成具

有一第二導電型的第一摻雜區。

17. 如申請專利範圍第 16 項所述的基板的製造方法，其中該第一摻雜區與所對應的該連接部之側壁的至少一部分接觸。

18. 如申請專利範圍第 13 項所述的基板的製造方法，更包括於該些連接部的兩側壁上形成一絕緣結構，電性隔絕該基材與所對應的該連接部。

19. 如申請專利範圍第 13 至 18 項中任一項所述的基板的製造方法，在該基材中埋入至少該二極體之前，更包括於該基材中形成一空腔，使得至少該二極體埋入於該空腔底部的該基材中。

20. 一種封裝結構包括如申請專利範圍第 1 至 12 項中任一項所述之基板，該封裝結構包括：

一晶片，配置於該基板上，其中該晶片與該基板電性連接。

21. 如申請專利範圍第 20 項所述的封裝結構，其中該晶片藉由導線（Wire）或凸塊與該基板電性連接。

22. 如申請專利範圍第 20 項所述的封裝結構，其中該晶片包括半導體晶片、發光二極體晶片、記憶晶片或其組合。

圖式

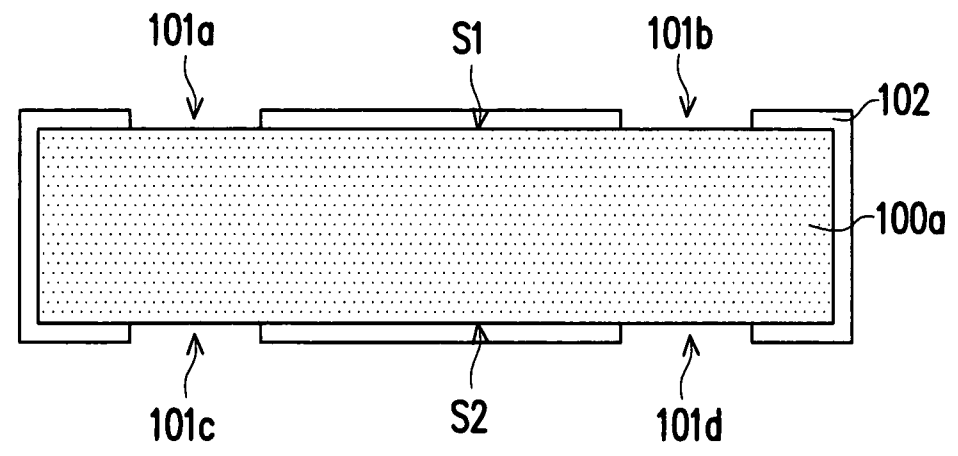


圖 1A

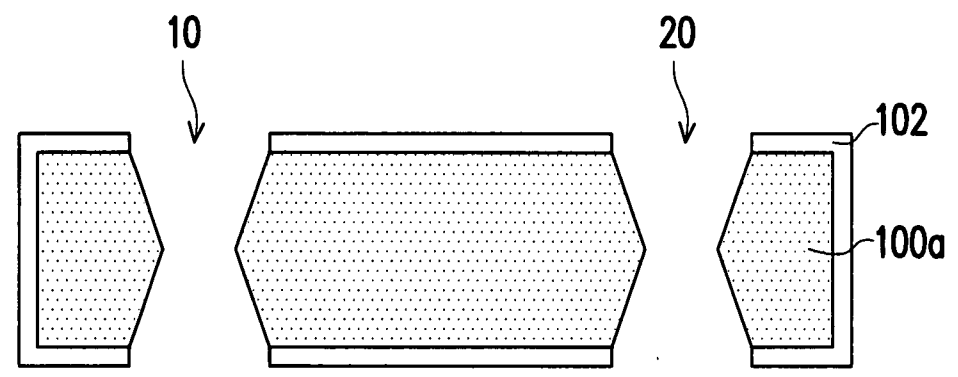


圖 1B

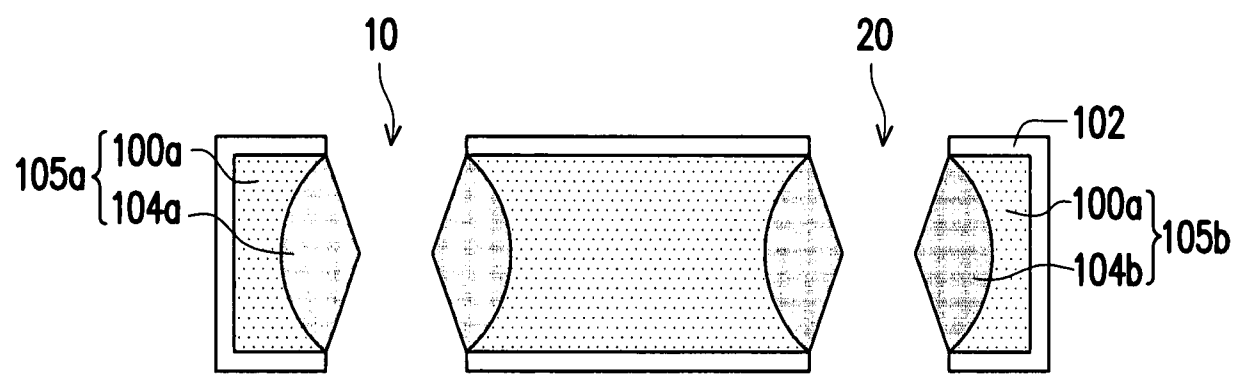


圖 1C



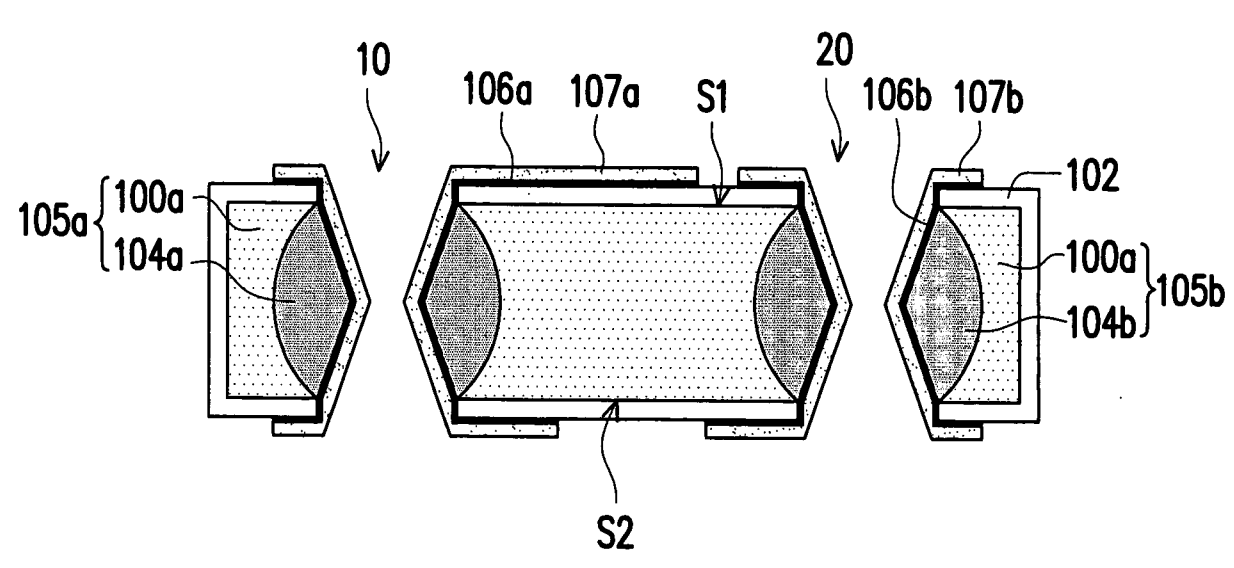


圖 1D

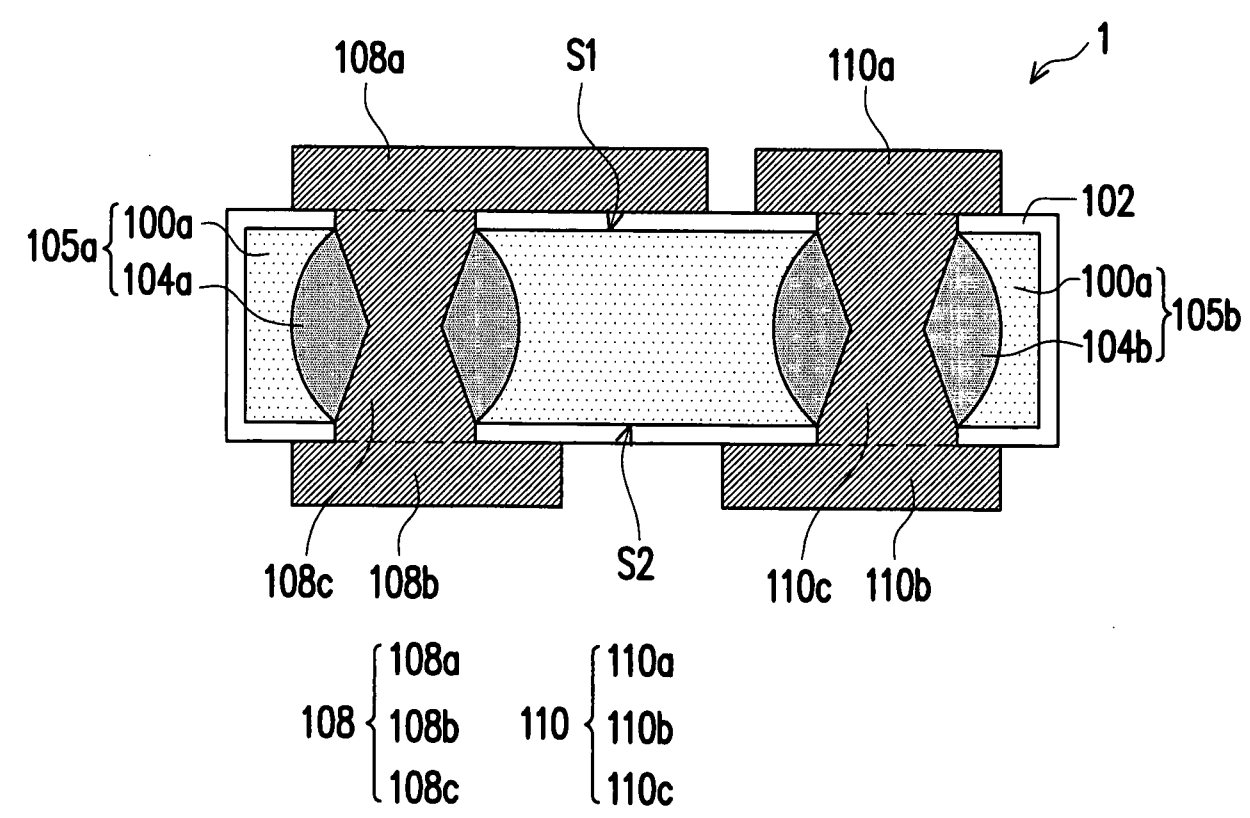


圖 1E

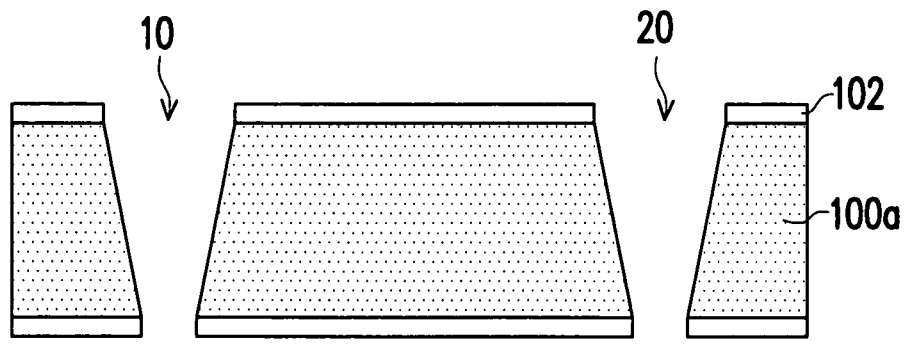


圖 2A

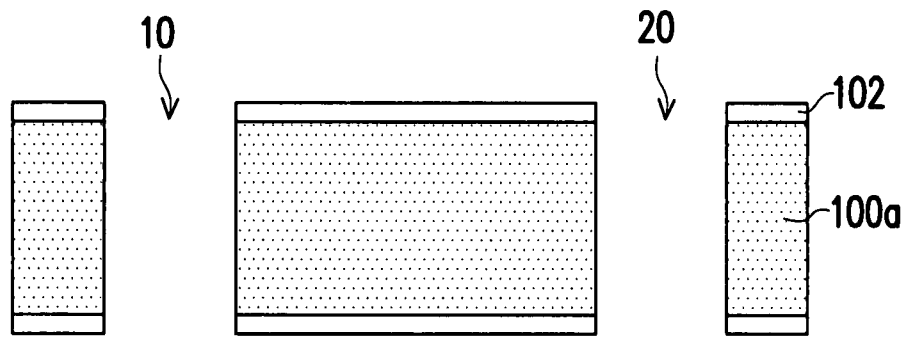


圖 2B

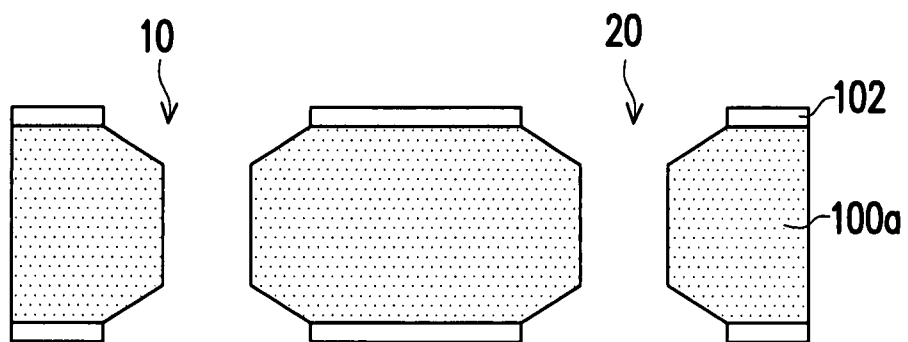


圖 2C

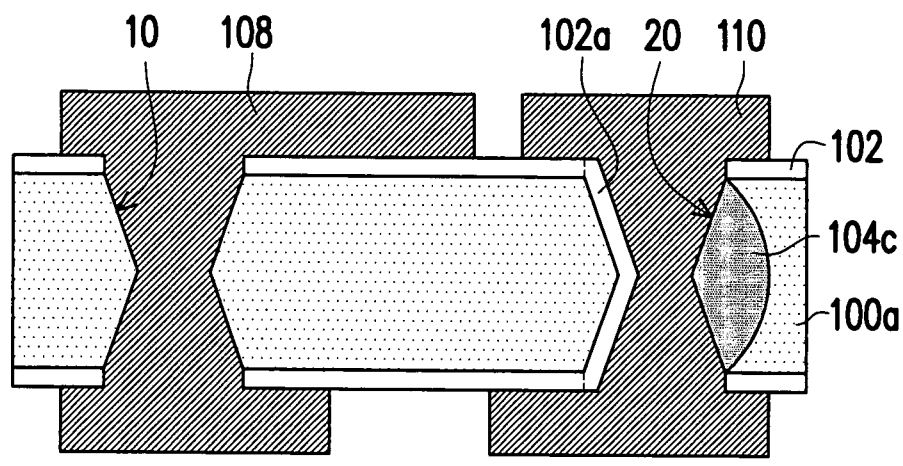


圖 3A

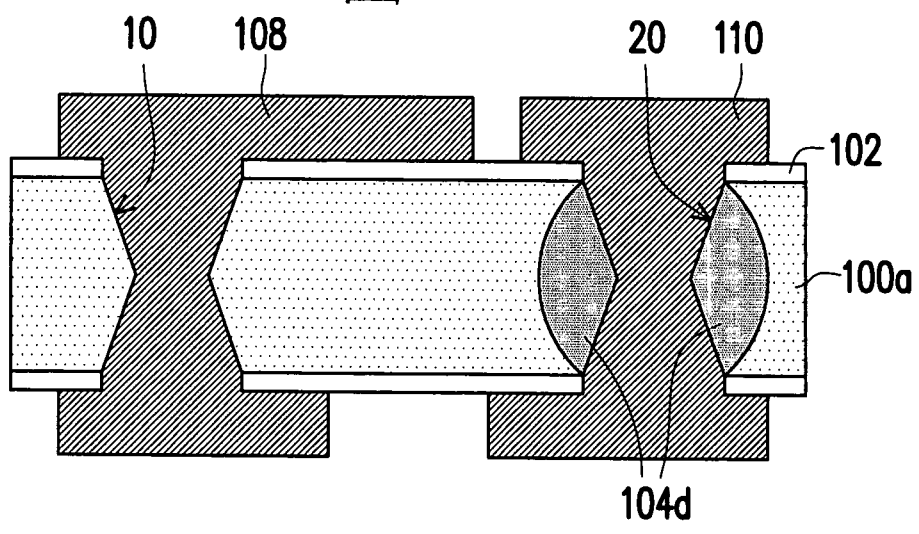


圖 3B

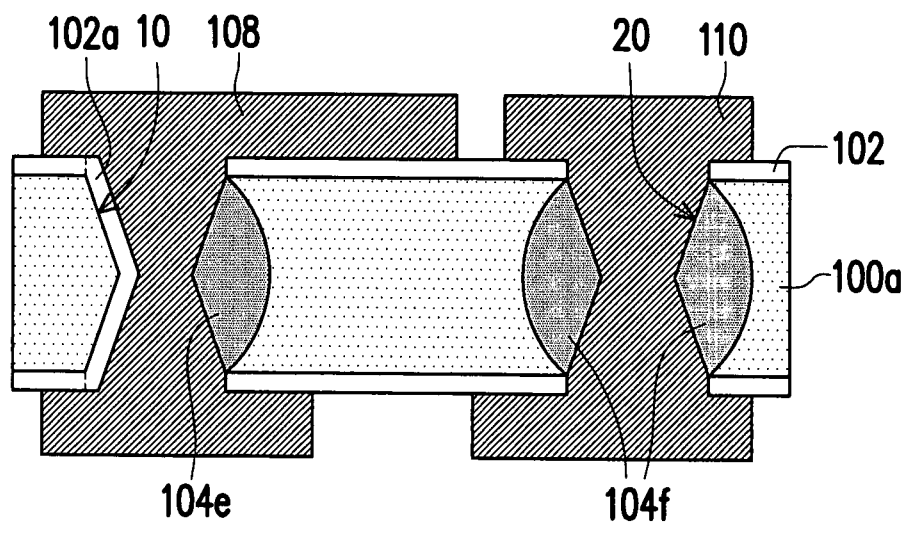


圖 3C

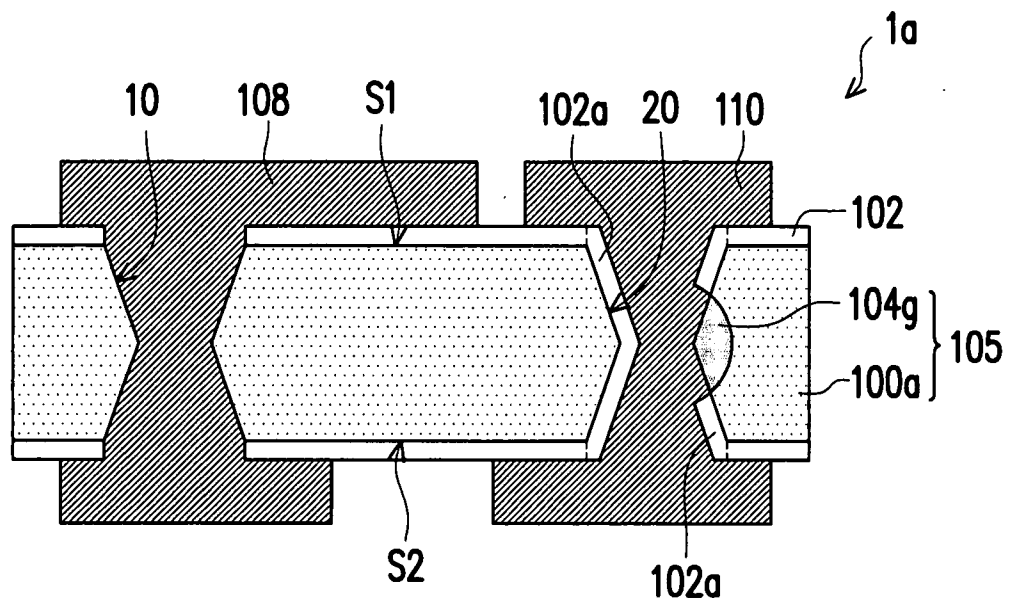


圖 3D

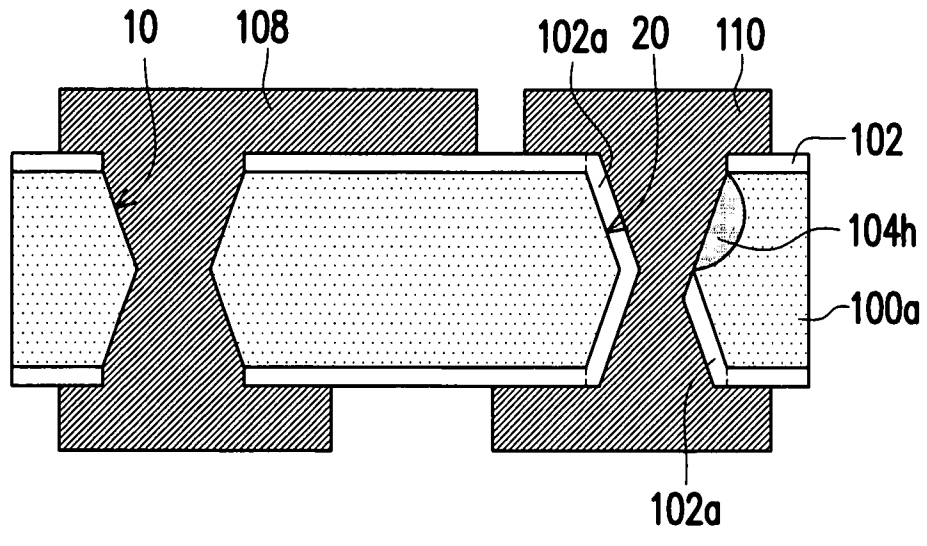


圖 3E

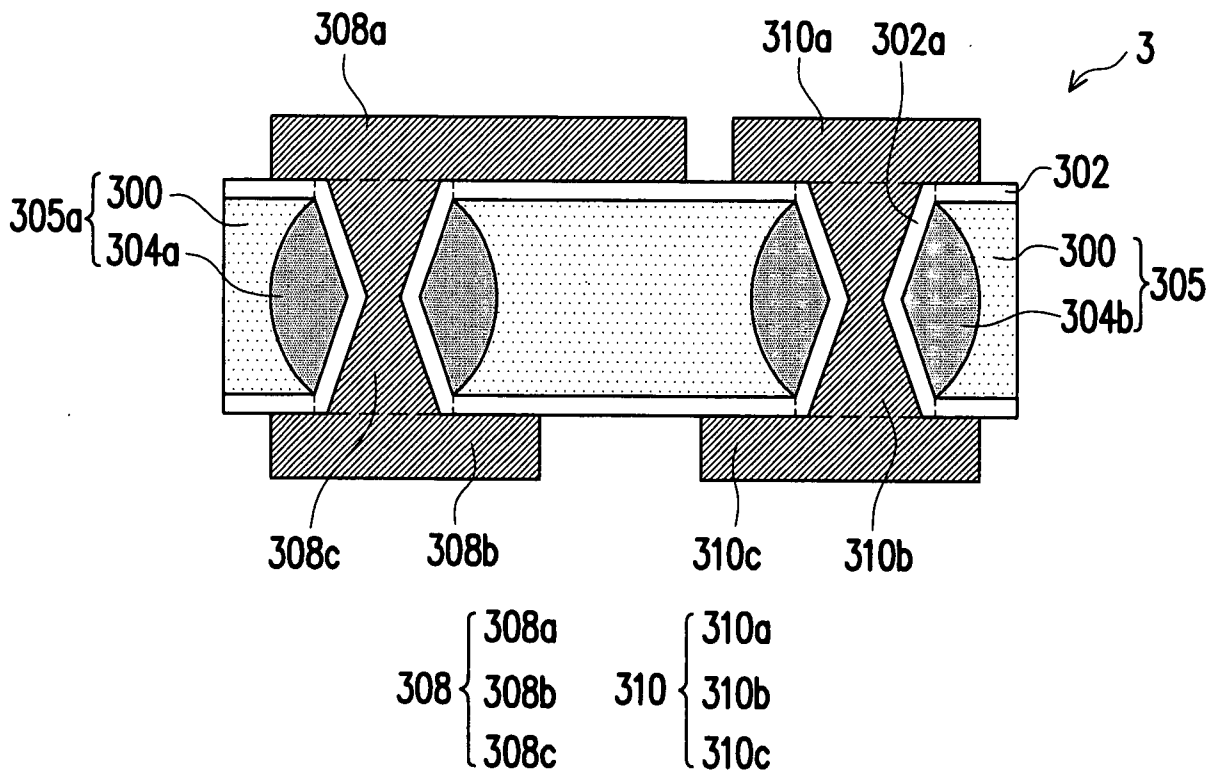


圖 5

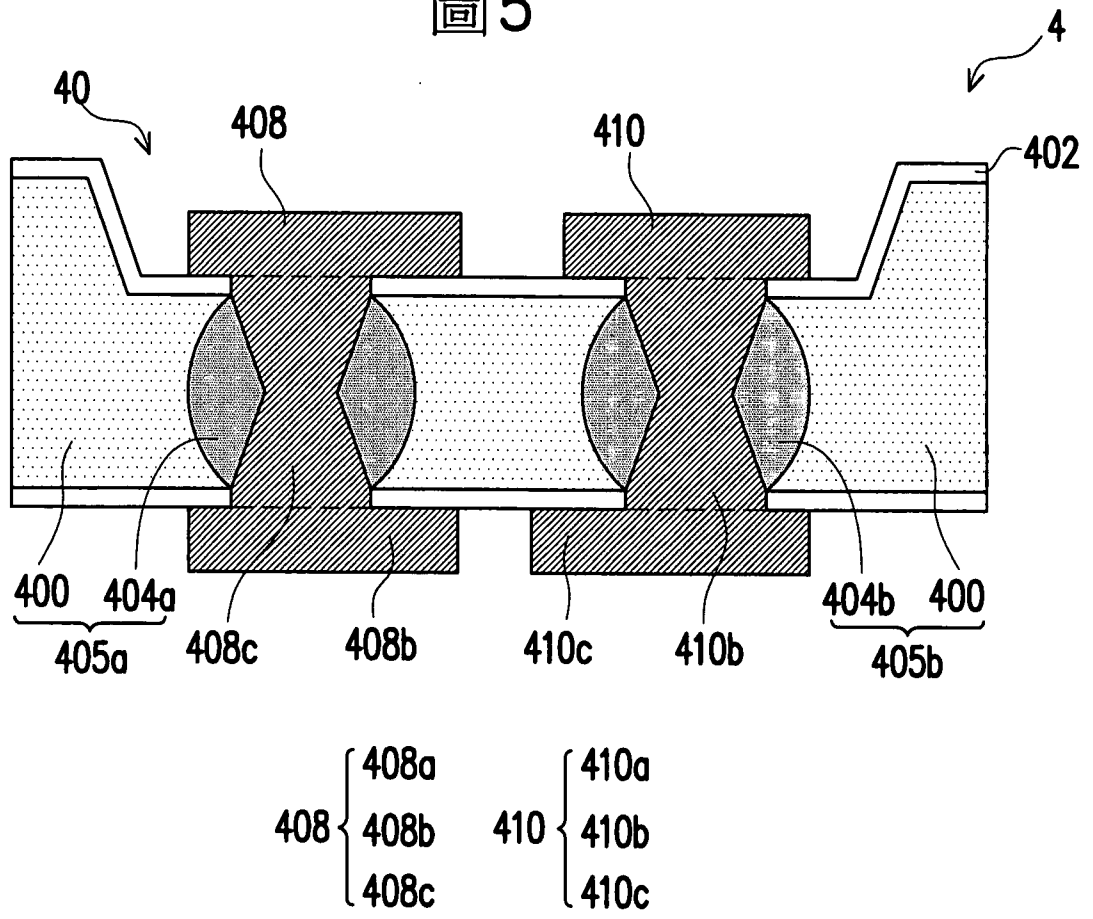


圖 6

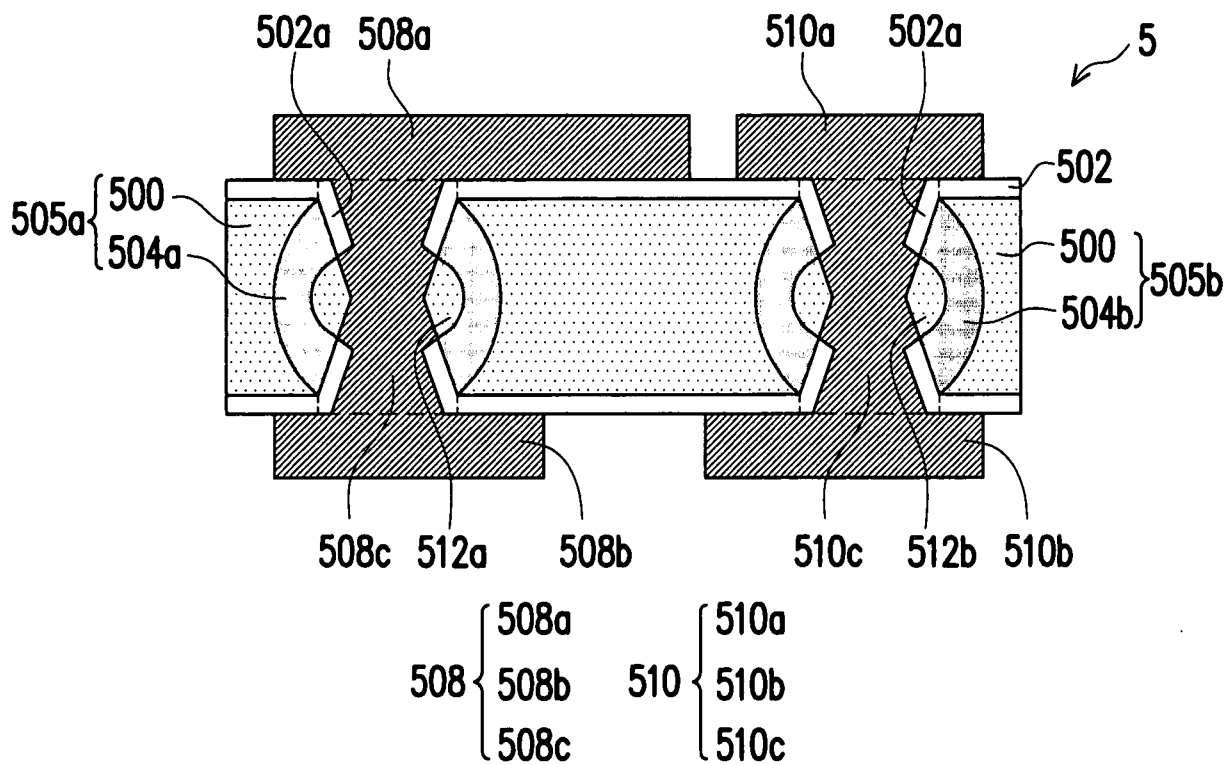


圖 7

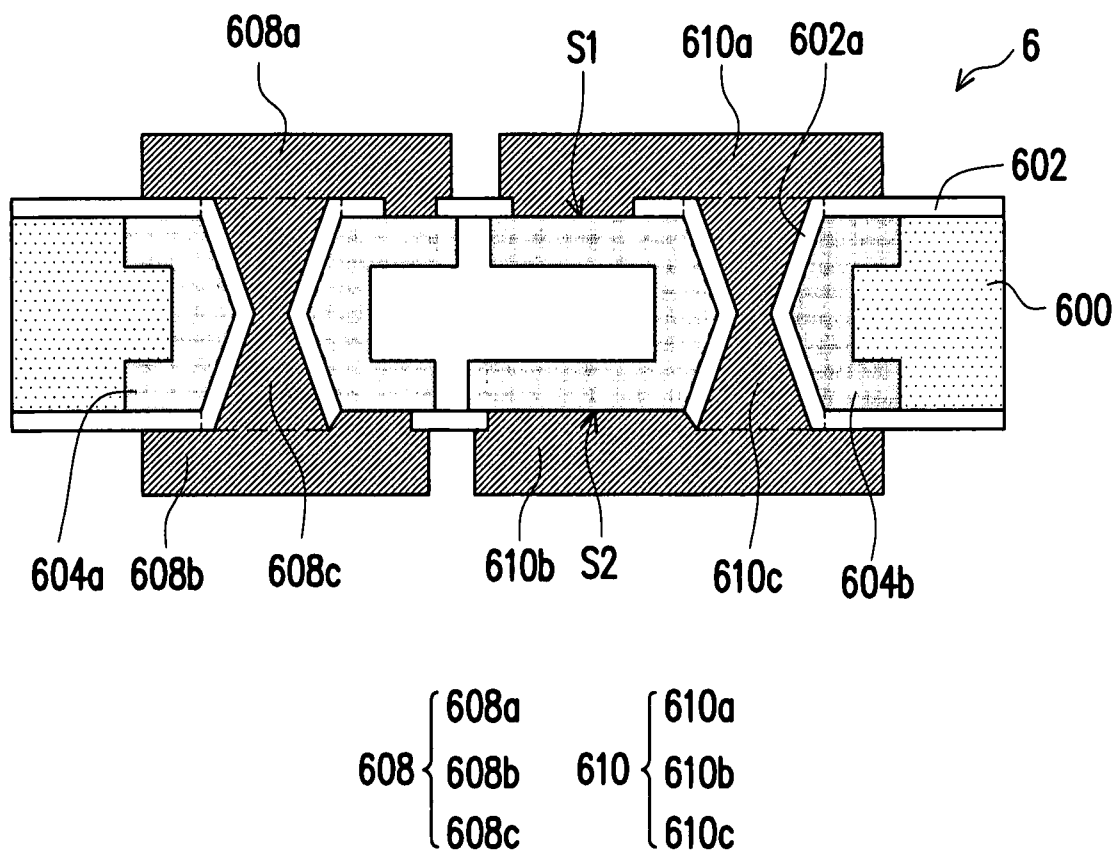


圖 8



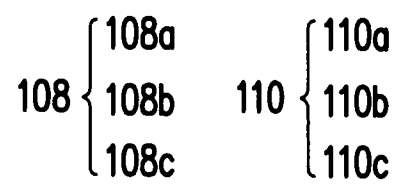
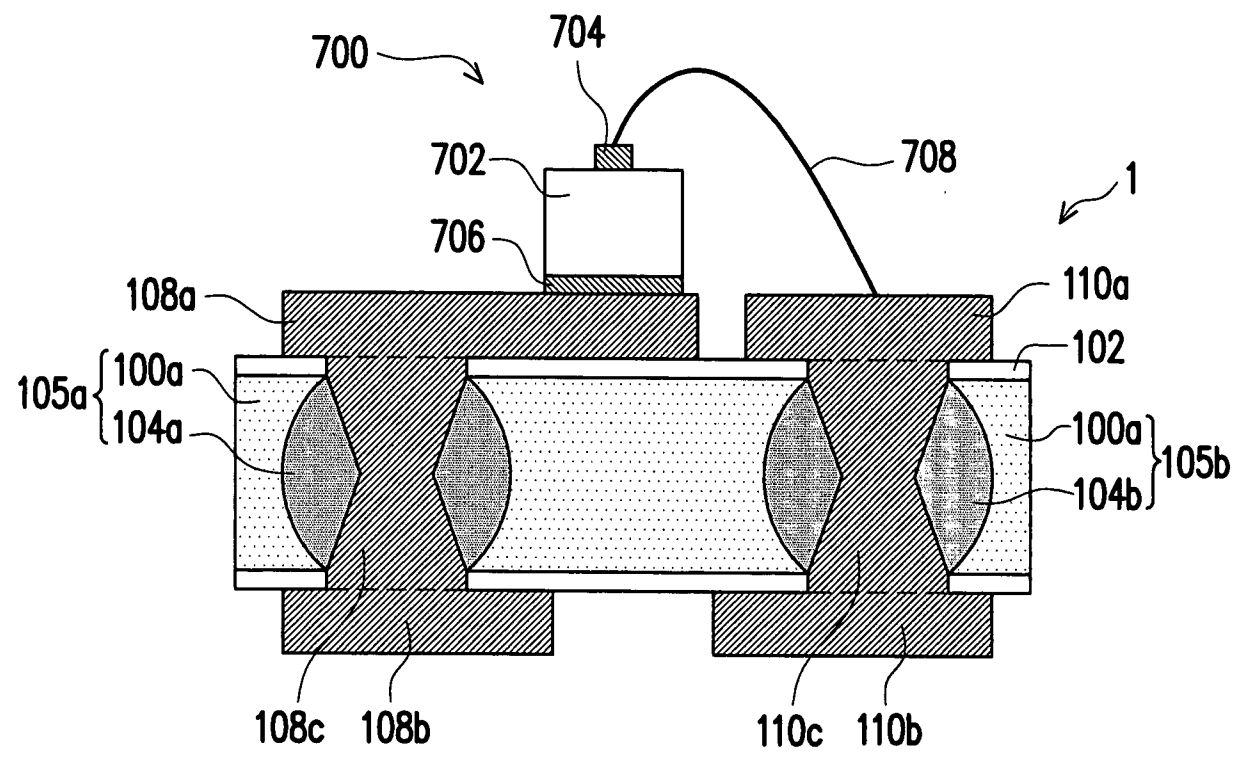


圖 9

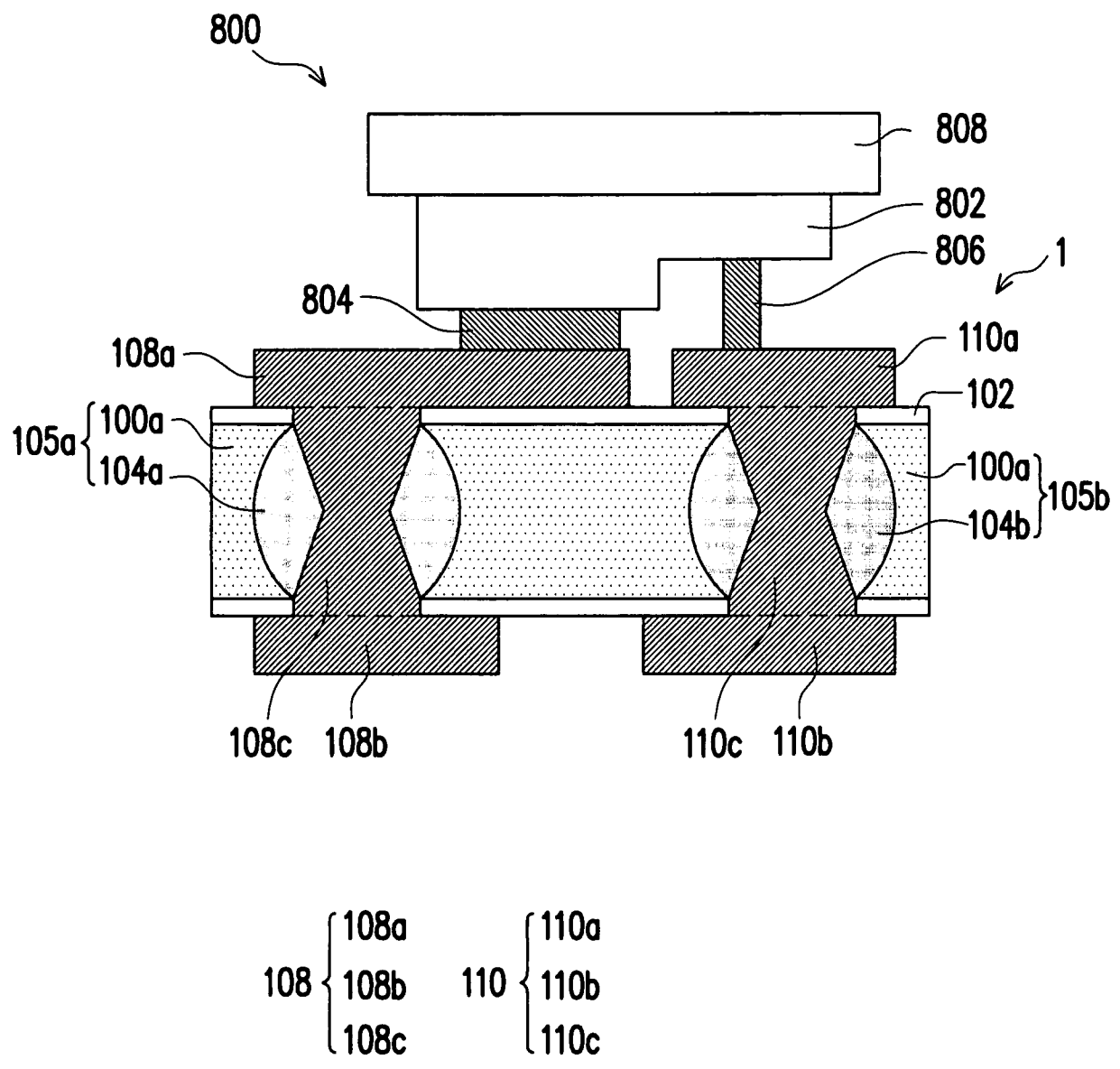


圖 10

