

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7300042号
(P7300042)

(45)発行日 令和5年6月28日(2023.6.28)

(24)登録日 令和5年6月20日(2023.6.20)

(51)国際特許分類	F I
H 0 1 L 21/822(2006.01)	H 0 1 L 27/04 C
H 0 1 L 27/04 (2006.01)	H 0 1 L 27/06 1 0 2 A
H 0 1 L 21/8234(2006.01)	H 0 1 L 27/088 E
H 0 1 L 27/06 (2006.01)	H 0 1 L 27/088 3 3 1 E
H 0 1 L 27/088(2006.01)	H 0 1 L 29/78 6 1 3 Z
請求項の数 4 (全60頁) 最終頁に続く	

(21)出願番号	特願2022-95478(P2022-95478)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	令和4年6月14日(2022.6.14)	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(62)分割の表示	特願2021-119433(P2021-119433)の分割	(72)発明者	加藤 清 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
原出願日	平成28年11月30日(2016.11.30)	(72)発明者	坂倉 真之 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(65)公開番号	特開2022-113786(P2022-113786 A)	審査官	鈴木 聡一郎
(43)公開日	令和4年8月4日(2022.8.4)		
審査請求日	令和4年6月28日(2022.6.28)		
(31)優先権主張番号	特願2015-235300(P2015-235300)		
(32)優先日	平成27年12月2日(2015.12.2)		
(33)優先権主張国・地域又は機関	日本国(JP)		
最終頁に続く			

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体基板上の第1のトランジスタと、
前記第1のトランジスタの上の、酸化物半導体を有する第2のトランジスタと、
前記第2のトランジスタの上の層間膜と、
前記層間膜上の容量素子と、を有し、
前記容量素子は、第1の導電体と、絶縁体を介して前記第1の導電体上に配置された第2の導電体と、を有し、
前記第1の導電体は開口部を有し、
前記層間膜と、前記絶縁体とが接する領域における前記絶縁体の上面は、前記層間膜と
、前記第1の導電体とが接する領域における前記第1の導電体の底面よりも、下方である
半導体装置。

【請求項2】

請求項1において、
前記第1のトランジスタと、前記第2のトランジスタとの間には、第1のバリア性を有する層間膜、およびバリア性を有する配線を有する半導体装置。

【請求項3】

請求項1又は請求項2において、
前記容量素子と、前記第2のトランジスタとの間には、第2のバリア性を有する層間膜を有する半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記絶縁体は、酸化アルミニウムを含む層と、前記酸化アルミニウムを含む層上の酸化シリコンを含む層と、を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、容量素子を有する半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、等を一例として挙げることができる。

10

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、および電子機器等は、半導体装置を有している場合がある。

20

【背景技術】

【0004】

半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC：Integrated Circuit）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1および特許文献2参照）。

30

【0006】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。例えば、Tri-GateトランジスタとCOB（capacitor over bitline）構造のMIM容量素子が紹介されている（非特許文献1）。

【先行技術文献】

【特許文献】

【0007】

【文献】特開2007-123861号公報

特開2007-96055号公報

【非特許文献】

【0008】

【文献】R. Brain et al., "A 22nm High Performance Embedded DRAM SoC Technology Featuring Tri-gate Transistors and MIMCAP COB", 2013 SYMPOSIUM ON VLSI TECHNOLOGY 2-1

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 9 】

本発明の一態様は、微細化・高密度化に適した半導体装置を提供することを課題の一とする。

【 0 0 1 0 】

または、半導体装置に良好な電気特性を付与することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【 0 0 1 1 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【 0 0 1 2 】

本発明の一態様は、半導体基板上に第1のトランジスタを有し、第1のトランジスタの上方に、酸化物半導体を有する第2のトランジスタを有し、第2のトランジスタの上方に、容量素子を有し、容量素子は、第1の導電体、第2の導電体、および絶縁体を有し、第2の導電体は、絶縁体を介して、第1の導電体の側面を覆っている。

【 0 0 1 3 】

本発明の一態様は、半導体基板上に第1のトランジスタを有し、第1のトランジスタの上方に、酸化物半導体を有する第2のトランジスタを有し、第2のトランジスタの上方に、層間膜を有し、層間膜上に、容量素子を有し、容量素子は、第1の導電体、第2の導電体、および絶縁体を有し、層間膜と、絶縁体とが重畳する領域における第2の導電体の上面は、層間膜と、第1の導電体とが重畳する領域における第1の導電体の底面よりも、下方である。

【 0 0 1 4 】

また、上記構成において、絶縁体は、絶縁耐力が高い材料と、High-k材料とが積層されている。

【 0 0 1 5 】

また、上記構成において、第1のトランジスタと、第2のトランジスタとの間には、第1のバリア性を有する層間膜、およびバリア性を有する配線を有している。

【 0 0 1 6 】

また、上記構成において、容量素子と、第2のトランジスタとの間には、第2のバリア性を有する層間膜を有している。

【 0 0 1 7 】

また、上記構成において、第2のトランジスタ近傍の層間膜は、酸素を過剰に有している。

【 0 0 1 8 】

また、上記構成における、表示装置、マイクロフォン、スピーカー、操作キー、タッチパネル、または、アンテナと、を有する電子機器である。

【発明の効果】

【 0 0 1 9 】

本発明の一態様によれば、微細化・高密度化に適した半導体装置を提供することができる。または、半導体装置において、微細化に伴う電気特性の低下を抑制することができる。

【 0 0 2 0 】

または、半導体装置に良好な電気特性を付与することができる。または、信頼性の高い半導体装置を提供することができる。または、新規な構成の半導体装置等を提供することができる。または、新規な半導体装置等を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これ

10

20

30

40

50

らの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0021】

【図1】実施の形態に係る、容量素子の上面および断面構造を説明する図。

【図2】実施の形態に係る、容量素子の上面および断面構造を説明する図。

【図3】実施の形態に係る、容量素子の上面および断面構造を説明する図。

【図4】実施の形態に係る、容量素子の上面および断面構造を説明する図。

【図5】実施の形態に係る、容量素子の上面を説明する図。

10

【図6】実施の形態に係る、半導体装置の構成例および回路図。

【図7】実施の形態に係る、半導体装置の構成例。

【図8】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図9】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図10】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図11】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図12】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図13】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図14】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図15】本発明に係る酸化物半導体の原子数比の範囲を説明する図。

20

【図16】 $InMZO_4$ の結晶を説明する図。

【図17】酸化物半導体の積層構造におけるバンド図。

【図18】実施の形態に係る、トランジスタの上面および断面構造を説明する図。

【図19】実施の形態に係る、トランジスタの上面および断面構造を説明する図。

【図20】実施の形態に係る、トランジスタの上面および断面構造を説明する図。

【図21】実施の形態に係る、トランジスタの上面および断面構造を説明する図。

【図22】 $CAAC-OS$ および単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびに $CAAC-OS$ の制限視野電子回折パターンを示す図。

【図23】 $CAAC-OS$ の断面TEM像、ならびに平面TEM像およびその画像解析像。

【図24】 $nc-OS$ の電子回折パターンを示す図、および $nc-OS$ の断面TEM像。

30

【図25】 $alike-OS$ の断面TEM像。

【図26】 $In-Ga-Zn$ 酸化物の電子照射による結晶部の変化を示す図。

【図27】本発明の一態様に係る記憶装置を示す回路図及び断面図。

【図28】本発明の一態様に係る半導体装置を示すブロック図。

【図29】本発明の一態様に係る半導体装置を示すブロック図。

【図30】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。

【図31】本発明の一態様に係る半導体装置を示す回路図および断面図。

【図32】本発明の一態様に係る電子機器を示す斜視図。

【発明を実施するための形態】

【0022】

40

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0023】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを

50

同じくし、特に符号を付さない場合がある。

【0024】

また、本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第1の」を「第2の」又は「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0025】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

10

【0026】

また、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、および電子機器は、半導体装置を有する場合がある。

【0027】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

20

【0028】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

30

【0029】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

【0030】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

40

【0031】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」

50

とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0032】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0033】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

10

【0034】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷素子など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷素子など）を介さずに、XとYとが、接続されている場合である。

【0035】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷素子など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

20

【0036】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

30

【0037】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に関示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に関示されているものとする。

40

【0038】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介

50

さず)、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2を介して(又は介さず)、Yと電氣的に接続されている場合や、トランジスタのソース(又は第1の端子など)が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

【0039】

例えば、「XとYとトランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0040】

または、別の表現方法として、例えば、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース(又は第1の端子など)とトランジスタのドレイン(又は第2の端子など)との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース(又は第1の端子など)からトランジスタのドレイン(又は第2の端子など)への電氣的パスであり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン(又は第2の端子など)からトランジスタのソース(又は第1の端子など)への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0041】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、

10

20

30

40

50

層、など)であるとする。

【 0 0 4 2 】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【 0 0 4 3 】

(実施の形態 1)

[構成例]

図 1 (A) に容量素子 1 0 0 の上面図の一例を示す。図 1 (B) は図 1 (A) に示す一点鎖線 A 1 - A 2 に対応する断面図である。また、図 1 (C) は図 1 (B) に示す一点鎖線で囲まれた領域の拡大図である。

【 0 0 4 4 】

容量素子 1 0 0 は、絶縁体 1 0 2 上に設けられ、導電体 1 0 4 と、絶縁体 1 1 2 と、導電体 1 1 6 とを有する。絶縁体 1 1 2 は、絶縁体 1 1 2 a および絶縁体 1 1 2 b を有する。

【 0 0 4 5 】

導電体 1 0 4 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、プラグや配線などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu (銅) や Al (アルミニウム) 等を用いればよい。

【 0 0 4 6 】

絶縁体 1 1 2 は、導電体 1 0 4 の側面および上面を覆うように設けられる。絶縁体 1 1 2 には例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設ける。

【 0 0 4 7 】

例えば、図 1 に示す 2 層構造とする場合、絶縁体 1 1 2 a には、酸化アルミニウムなどの高誘電率 (h i g h - k) 材料を用い、絶縁体 1 1 2 b には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子 1 0 0 は、絶縁体 1 1 2 a を有することで、十分な容量を確保でき、絶縁体 1 1 2 b を有することで、絶縁耐力が向上し、容量素子 1 0 0 の静電破壊を抑制することができる。

【 0 0 4 8 】

導電体 1 1 6 は、絶縁体 1 1 2 を介して、導電体 1 0 4 の側面および上面を覆うように設けられる。なお、図 1 (C) に示す、絶縁体 1 0 2 と絶縁体 1 1 2 とが接する領域における絶縁体 1 1 2 の上面と、絶縁体 1 1 2 と導電体 1 0 4 が接する領域における導電体 1 0 4 の底面との距離 d が 0 以上となるように設けることが好ましい。

【 0 0 4 9 】

当該構成により、導電体 1 0 4 の側面は、絶縁体 1 1 2 を介して、導電体 1 1 6 に包まれる。従って、容量素子 1 0 0 において、図 1 (B) に示す破線で囲む領域 (導電体 1 0 4 の上面および側面の和) が容量として機能するため、投影面積当たりの容量が大きな容量素子を形成することができる。

【 0 0 5 0 】

なお、導電体 1 1 6 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu (銅) や Al (アル

10

20

30

40

50

ミニウム)等を用いればよい。

【0051】

容量素子100は、導電体116は、絶縁体112を介して、導電体104の側面および上面を覆う構成とすることで、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

【0052】

以上が構成例についての説明である。

【0053】

<変形例1>

また、本実施の形態の変形例として、図2(A)、および図2(B)に示すように導電体104の角部が丸みを有していてもよい。丸みを有することで、導電体104上に形成される絶縁体112、および導電体116の被覆性がよくなるため、容量素子100の絶縁耐力を向上することができる。

10

【0054】

当該構成により、容量素子100の静電破壊を抑制することができるため、半導体装置の信頼性を向上させることが可能となる。

【0055】

<変形例2>

また、本実施の形態の変形例として、導電体104の側面に凹部を設けることにより、側面積を増加することができる。例えば、図3(A)、および図3(B)に示すように、導電体104a上に、導電体104a、および導電体104cよりも内側に側面が形成されるように、導電体104bを設ける。当該構成により、導電体116は、絶縁体112を介して、導電体104aの上面の一部、および導電体104cの底面の一部を覆う構成となる。従って、容量素子の投影面積当たりの容量を増加させることができる。

20

【0056】

なお、図3(A)、および図3(B)には、導電体104が3層構造の場合を示したが、例えば4層以上の積層構造でもよい。

【0057】

当該構成により、容量素子100において、容量素子の投影面積当たりの容量を増加させることができるため、半導体装置の小面積化、高集積化、微細化が可能となる。

30

【0058】

<変形例3>

また、本実施の形態の変形例として、導電体104の形状を加工することにより、導電体104の側面積を増加することができる。例えば、図4(A)、および図4(B)に示すように、導電体104に開口部を設けるとよい。開口部として失われる上面積以上に、開口部の内側に形成される側面積が大きい場合、容量素子の投影面積当たりの容量を増加させることができる。

【0059】

なお、図4(A)、および図4(B)には、導電体104に矩形の開口部を設けたが、開口部の形状は多角形、あるいは円形でもよい。

40

【0060】

例えば、図5(C)乃至図5(L)に示すように、複数の開口部を有していてもよい。特に、最小加工寸法を用いて開口部を設ける場合、図5(G)または図5(H)に示す格子状の形状は、容量を効率的に増加させることができる。

【0061】

また、例えば、図5(A)または図5(B)に示すように、歯状にしてもよい。

【0062】

当該構成により、容量素子100において、容量素子の投影面積当たりの容量を増加させることができるため、半導体装置の小面積化、高集積化、微細化が可能となる。

【0063】

50

(実施の形態2)

本実施の形態では、半導体装置の一形態を、図6乃至図14を用いて説明する。

【0064】

[構成例]

本発明の一態様である容量素子を使用した、半導体装置(記憶装置)の一例を図6に示す。なお、図6(B)は、図6(A)を回路図で表したものである。図6(C)は、図6(A)を構成の一部を拡大したものである。

【0065】

図6(A)、および図6(B)に示す半導体装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。なお、容量素子100としては、実施の形態1で説明した容量素子を用いることができる。

10

【0066】

トランジスタ200は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを半導体装置(記憶装置)に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ない半導体装置(記憶装置)とすることが可能となるため、消費電力を十分に低減することができる。

【0067】

図6(B)において、配線3001はトランジスタ300のソースと電気的に接続され、配線3002はトランジスタ300のドレインと電気的に接続されている。また、配線3003はトランジスタ200のソースおよびドレインの一方と電気的に接続され、配線3004はトランジスタ200のゲートと電気的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電気的に接続され、配線3005は容量素子100の電極の他方と電気的に接続されている。

20

【0068】

また、図6(A)、および図6(B)に示す半導体装置をマトリクス状に配置することで、記憶装置(メモリセルアレイ)を構成することができる。

【0069】

本発明の一態様の半導体装置は、一方の電極が、絶縁体を介して、他方の電極の側面を覆う容量素子100を有する。従って、容量素子100において、一方の電極の側面でも容量が形成されることにより、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能としている。

30

【0070】

本発明の一態様の半導体装置は、図6(A)に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

【0071】

トランジスタ300は、基板301上に設けられ、導電体306、絶縁体304、基板301の一部からなる半導体領域302、およびソース領域またはドレイン領域として機能する低抵抗領域308aおよび低抵抗領域308bを有する。

40

【0072】

トランジスタ300は、pチャンネル型、あるいはnチャンネル型のいずれでもよい。

【0073】

半導体領域302のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域308a、および低抵抗領域308bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウ

50

ムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

【0074】

低抵抗領域308a、および低抵抗領域308bは、半導体領域302に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0075】

ゲート電極として機能する導電体306は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0076】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタンゲステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタンゲステンを用いることが耐熱性の点で好ましい。

【0077】

また、図6に示すトランジスタ300はチャンネルが形成される半導体領域302(基板301の一部)が凸形状を有する。また、半導体領域302の側面および上面を、絶縁体304を介して、導電体306が覆うように設けられている。なお、導電体306は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0078】

なお、図6(A)に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、図7(A)に示すようにトランジスタ300の構成を、プレーナ型として設けてもよい。

【0079】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が、順に積層して設けられている。

【0080】

絶縁体322はその下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜として機能する。絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP:Chemical Mechanical Polishing)法等を用いた平坦化処理により平坦化されていてもよい。

【0081】

絶縁体324は、基板301、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないように、バリア膜として機能する。例えば、絶縁体324には、窒化シリコンなどの窒化物を用いればよい。

【0082】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能を有する。なお、後述するが、プラグまたは配線として機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と

10

20

30

40

50

、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【 0 0 8 3 】

各プラグ、および配線（導電体 3 2 8、および導電体 3 3 0 等）の材料としては、金属材料、合金材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。上記のような材料を用いることで配線抵抗を低くすることができる。

【 0 0 8 4 】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 6 (A) において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6、および導電体 3 5 8 が埋め込まれている。導電体 3 5 6、および導電体 3 5 8 はプラグ、または配線として機能を有する。

【 0 0 8 5 】

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 および導電体 3 5 8 は、水素に対するバリア性を有する導電体を用いることが好ましい。水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部には、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができる。トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

【 0 0 8 6 】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。

【 0 0 8 7 】

絶縁体 3 5 4 の上方には、トランジスタ 2 0 0 が設けられている。なお、トランジスタ 2 0 0 の拡大図を図 6 (C) に示す。なお、図 6 (C) に示すトランジスタ 2 0 0 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 0 8 8 】

絶縁体 3 5 4 上には、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 1 6 が、順に積層して設けられている。また、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 1 6 には、導電体 2 1 8、及び導電体 2 0 5 等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 2 0 5 は、トランジスタ 2 0 0 のゲート電極としての機能を有する。

【 0 0 8 9 】

絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 1 6 のいずれかを、酸素や水素に対してバリア性のある物質を用いることが好ましい。特に、トランジスタ 2 0 0 に酸化物半導体を用いる場合、トランジスタ 2 0 0 近傍の層間膜などに、酸素過剰領域を有する絶縁体を設けることで、トランジスタ 2 0 0 の信頼性を向上させることができる。従って、トランジスタ 2 0 0 近傍の層間膜から、効率的にトランジスタ 2 0 0 へ酸素を拡散させるために、トランジスタ 2 0 0 と層間膜の上下を、水素及び酸素に対するバリア性を有する層で挟む構造とするとよい。

【 0 0 9 0 】

例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを用いるとよい。なお、

10

20

30

40

50

バリア性を有する膜を積層することで、当該機能をより確実にすることができる。

【0091】

絶縁体216上には、絶縁体220、絶縁体222、および絶縁体224が順に積層して設けられている。また、絶縁体220、絶縁体222、および絶縁体224には導電体244の一部が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能を有する。

【0092】

絶縁体220、および絶縁体224は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。特に、絶縁体224として過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を、トランジスタ200のチャンネル領域が形成される酸化物230に接して設けることにより、酸化物中の酸素欠損を補償することができる。なお、絶縁体222と絶縁体224とは、必ずしも同じ材料を用いて形成しなくともよい。

10

【0093】

絶縁体222は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba, Sr）TiO₃（BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

20

【0094】

なお、絶縁体222が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0095】

絶縁体220及び絶縁体224の間に、high-k材料を含む絶縁体222を有することで、特定の条件で絶縁体222が電子を捕獲し、しきい値電圧を増大させることができる。つまり、絶縁体222が負に帯電する場合がある。

30

【0096】

例えば、絶縁体220、および絶縁体224に、酸化シリコンを用い、絶縁体222に、酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用いた場合、半導体装置の使用温度、あるいは保管温度よりも高い温度（例えば、125以上450以下、代表的には150以上300以下）の下で、導電体205の電位をソース電極やドレイン電極の電位より高い状態を、10ミリ秒以上、代表的には1分以上維持することで、酸化物230から導電体205に向かって、電子が移動する。この時、移動する電子の一部が、絶縁体222の電子捕獲準位に捕獲される。

【0097】

絶縁体222の電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。なお、導電体205の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタとなる。

40

【0098】

また、電子を捕獲する処理は、トランジスタの作製過程におこなえばよい。例えば、トランジスタのソース導電体あるいはドレイン導電体に接続する導電体の形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。

【0099】

50

また、絶縁体 2 2 2 には、酸素や水素に対してバリア性のある物質を用いることが好ましい。このような材料を用いて形成した場合、酸化物 2 3 0 からの酸素の放出や、外部からの水素等の不純物の混入を防ぐことができる。

【 0 1 0 0 】

酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c は、 $I n - M - Z n$ 酸化物 (M は $A l$ 、 $G a$ 、 Y 、または $S n$) 等の金属酸化物で形成される。また、酸化物 2 3 0 として、 $I n - G a$ 酸化物、 $I n - Z n$ 酸化物を用いてもよい。

【 0 1 0 1 】

以下に、本発明に係る酸化物 2 3 0 について説明する。

【 0 1 0 2 】

酸化物 2 3 0 に用いる酸化物としては、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【 0 1 0 3 】

ここで、酸化物が、インジウム、元素 M 及び亜鉛を有する場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素 M に適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。

【 0 1 0 4 】

まず、図 1 5 (A)、図 1 5 (B)、および図 1 5 (C) を用いて、本発明に係る酸化物が有するインジウム、元素 M 及び亜鉛の原子数比の好ましい範囲について説明する。なお、図 1 5 には、酸素の原子数比については記載しない。また、酸化物が有するインジウム、元素 M 、及び亜鉛の原子数比のそれぞれの項を $[I n]$ 、 $[M]$ 、および $[Z n]$ とする。

【 0 1 0 5 】

図 1 5 (A)、図 1 5 (B)、および図 1 5 (C) において、破線は、 $[I n] : [M] : [Z n] = (1 + \quad) : (1 - \quad) : 1$ の原子数比 ($- 1 \quad 1$) となるライン、 $[I n] : [M] : [Z n] = (1 + \quad) : (1 - \quad) : 2$ の原子数比となるライン、 $[I n] : [M] : [Z n] = (1 + \quad) : (1 - \quad) : 3$ の原子数比となるライン、 $[I n] : [M] : [Z n] = (1 + \quad) : (1 - \quad) : 4$ の原子数比となるライン、および $[I n] : [M] : [Z n] = (1 + \quad) : (1 - \quad) : 5$ の原子数比となるラインを表す。

【 0 1 0 6 】

また、一点鎖線は、 $[I n] : [M] : [Z n] = 1 : 1 : \quad$ の原子数比 ($\quad 0$) となるライン、 $[I n] : [M] : [Z n] = 1 : 2 : \quad$ の原子数比となるライン、 $[I n] : [M] : [Z n] = 1 : 3 : \quad$ の原子数比となるライン、 $[I n] : [M] : [Z n] = 1 : 4 : \quad$ の原子数比となるライン、 $[I n] : [M] : [Z n] = 2 : 1 : \quad$ の原子数比となるライン、及び $[I n] : [M] : [Z n] = 5 : 1 : \quad$ の原子数比となるラインを表す。

【 0 1 0 7 】

また、二点鎖線は、 $[I n] : [M] : [Z n] = (1 + \quad) : 2 : (1 - \quad)$ の原子数比 ($- 1 \quad 1$) となるラインを表す。また、図 1 5 に示す、 $[I n] : [M] : [Z n] = 0 : 2 : 1$ の原子数比またはその近傍値の酸化物は、スピネル型の結晶構造をとりやすい。

【 0 1 0 8 】

10

20

30

40

50

図15(A)および図15(B)では、本発明の一態様の酸化物が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

【0109】

一例として、図16に、 $[In] : [M] : [Zn] = 1 : 1 : 1$ である、 $InMZnO_4$ の結晶構造を示す。また、図16は、b軸に平行な方向から観察した場合の $InMZnO_4$ の結晶構造である。なお、図16に示す $MZnO_2$ 層における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

【0110】

$InMZnO_4$ は、層状の結晶構造（層状構造ともいう）をとり、図16に示すように、インジウムを有する InO_2 層が1に対し、元素Mおよび亜鉛を有する $MZnO_2$ 層が2となる。

10

【0111】

$InMZnO_4$ は、層状の結晶構造（層状構造ともいう）をとり、図16に示すように、インジウム、および酸素を有する層（以下、 In 層）が1に対し、元素M、亜鉛、および酸素を有する（ M, Zn ）層が2となる。

【0112】

また、インジウムと元素Mは、互いに置換可能である。そのため、（ M, Zn ）層の元素Mがインジウムと置換し、（ In, M, Zn ）層と表すこともできる。その場合、 In 層が1に対し、（ In, M, Zn ）層が2である層状構造をとる。

20

【0113】

$[In] : [M] : [Zn] = 1 : 1 : 2$ となる原子数比の酸化物は、 In 層が1に対し、（ M, Zn ）層が3である層状構造をとる。つまり、 $[In]$ および $[M]$ に対し $[Zn]$ が大きくなると、酸化物が結晶化した場合、 In 層に対する（ M, Zn ）層の割合が増加する。

【0114】

ただし、酸化物中において、 In 層が1層に対し、（ M, Zn ）層の層数が非整数である場合、 In 層が1層に対し、（ M, Zn ）層の層数が整数である層状構造を複数種有する場合がある。例えば、 $[In] : [M] : [Zn] = 1 : 1 : 1.5$ である場合、 In 層が1に対し、（ M, Zn ）層が2である層状構造と、（ M, Zn ）層が3である層状構造とが混在する層状構造となる場合がある。

30

【0115】

例えば、酸化物をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの $[Zn]$ よりも、膜の $[Zn]$ が小さくなる場合がある。

【0116】

また、酸化物中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[In] : [M] : [Zn] = 1 : 0 : 0$ を示す原子数比の近傍値である原子数比では、ピックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

40

【0117】

また、インジウムの含有率を高くすることで、酸化物のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物はインジウムの含有率が低い酸化物と比較してキャリア移動度が高くなるためである。

【0118】

50

一方、酸化物中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[In] : [M] : [Zn] = 0 : 1 : 0$ を示す原子数比、およびその近傍値である原子数比（例えば図15(C)に示す領域C）では、絶縁性が高くなる。

【0119】

従って、本発明の一態様の酸化物は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図15(A)の領域Aで示される原子数比を有することが好ましい。

【0120】

また、図15(B)に示す領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から4.1、およびその近傍値を示している。近傍値には、例えば、原子数比が $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。領域Bで示される原子数比を有する酸化物は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物である。

10

【0121】

なお、酸化物が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

【0122】

続いて、上記酸化物をトランジスタに用いる場合について説明する。

【0123】

なお、上記酸化物をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

20

【0124】

また、トランジスタには、キャリア密度の低い酸化物を用いることが好ましい。例えば、酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

【0125】

なお、高純度真性または実質的に高純度真性である酸化物は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

30

【0126】

また、酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物にチャンネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0127】

従って、トランジスタの電気特性を安定にするためには、酸化物中の不純物濃度を低減することが有効である。また、酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

40

【0128】

ここで、酸化物中における各不純物の影響について説明する。

【0129】

酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物において欠陥準位が形成される。このため、酸化物におけるシリコンや炭素の濃度と、酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

50

【 0 1 3 0 】

また、酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【 0 1 3 1 】

また、酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物において、窒素はできる限り低減されていることが好ましい、例えば、酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

【 0 1 3 2 】

また、酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物中の水素はできる限り低減されていることが好ましい。具体的には、酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

20

【 0 1 3 3 】

不純物が十分に低減された酸化物をトランジスタのチャネル領域に用いることで、安定した電気特性を付与することができる。

【 0 1 3 4 】

続いて、該酸化物を2層構造、または3層構造とした場合について述べる。酸化物S1、酸化物S2、および酸化物S3の積層構造に接する絶縁体のバンド図と、酸化物S1および酸化物S2の積層構造に、酸化物S2および酸化物S3の積層構造に接する絶縁体のバンド図と、について、図17を用いて説明する。

30

【 0 1 3 5 】

図17(A)は、絶縁体I1、酸化物S1、酸化物S2、酸化物S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図17(B)は、絶縁体I1、酸化物S2、酸化物S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図17(C)は、絶縁体I1、酸化物S1、酸化物S2、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物S1、酸化物S2、酸化物S3、及び絶縁体I2の伝導帯下端のエネルギー準位(Ec)を示す。

40

【 0 1 3 6 】

酸化物S1、酸化物S3は、酸化物S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物S2の伝導帯下端のエネルギー準位と、酸化物S1、酸化物S3の伝導帯下端のエネルギー準位との差が、 0.15 eV 以上、または 0.5 eV 以上であり、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。すなわち、酸化物S1、酸化物S3の電子親和力よりも、酸化物S2の電子親和力が大きく、酸化物S1、酸化物S3の電子親和力と、酸化物S2の電子親和力との差は、 0.15 eV 以上、または 0.5 eV 以上であり、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。

50

【 0 1 3 7 】

図 1 7 (A)、図 1 7 (B)、および図 1 7 (C) に示すように、酸化物 S 1、酸化物 S 2、酸化物 S 3 において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物 S 1 と酸化物 S 2 との界面、または酸化物 S 2 と酸化物 S 3 との界面において形成される混合層の欠陥準位密度を低くするとよい。

【 0 1 3 8 】

具体的には、酸化物 S 1 と酸化物 S 2、酸化物 S 2 と酸化物 S 3 が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 S 2 が In - Ga - Zn 酸化物の場合、酸化物 S 1、酸化物 S 3 として、In - Ga - Zn 酸化物、Ga - Zn 酸化物、酸化ガリウムなどを用いるとよい。

10

【 0 1 3 9 】

このとき、キャリアの主たる経路は酸化物 S 2 となる。酸化物 S 1 と酸化物 S 2 との界面、および酸化物 S 2 と酸化物 S 3 との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【 0 1 4 0 】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物 S 1、酸化物 S 3 を設けることにより、トラップ準位を酸化物 S 2 より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

20

【 0 1 4 1 】

酸化物 S 1、酸化物 S 3 は、酸化物 S 2 と比較して、導電率が十分に低い材料を用いる。このとき、酸化物 S 2、酸化物 S 2 と酸化物 S 1 との界面、および酸化物 S 2 と酸化物 S 3 との界面が、主にチャネル領域として機能する。例えば、酸化物 S 1、酸化物 S 3 には、図 1 5 (C) において、絶縁性が高くなる領域 C で示す原子数比の酸化物を用いればよい。なお、図 1 5 (C) に示す領域 C は、 $[In] : [M] : [Zn] = 0 : 1 : 0$ 、またはその近傍値である原子数比を示している。

【 0 1 4 2 】

特に、酸化物 S 2 に領域 A で示される原子数比の酸化物を用いる場合、酸化物 S 1 および酸化物 S 3 には、 $[M] / [In]$ が 1 以上、好ましくは 2 以上である酸化物を用いることが好ましい。また、酸化物 S 3 として、十分に高い絶縁性を得ることができる $[M] / ([Zn] + [In])$ が 1 以上である酸化物を用いることが好適である。

30

【 0 1 4 3 】

導電体 2 4 0 a、および導電体 2 4 0 b は、一方がソース電極として機能し、他方がドレイン電極として機能する。

【 0 1 4 4 】

導電体 2 4 0 a、および導電体 2 4 0 b は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、タンタル膜または窒化タンタル膜を積層する二層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

40

50

【0145】

絶縁体250は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

10

【0146】

また、絶縁体250として、絶縁体224と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。

【0147】

なお、絶縁体250は、絶縁体220、絶縁体222、および絶縁体224と同様の積層構造を有していてもよい。絶縁体250が、電子捕獲準位に必要な量の電子を捕獲させた絶縁体を有することで、トランジスタ200は、しきい値電圧をプラス側にシフトすることができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態(オフ状態ともいう)であるノーマリーオフ型のトランジスタとなる。

【0148】

ゲート電極として機能を有する導電体260は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

20

【0149】

また、導電体260は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0150】

絶縁体280は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。

40

【0151】

加熱により酸素を脱離する酸化物材料として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法(TDS: Thermal Desorption Spectroscopy)分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上500 以下の範囲が好ましい。

50

【 0 1 5 2 】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【 0 1 5 3 】

また、トランジスタ 2 0 0 を覆う絶縁体 2 8 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【 0 1 5 4 】

また、導電体 2 6 0 を覆うように、絶縁体 2 7 0 を設けてもよい。絶縁体 2 8 0 に酸素が脱離する酸化物材料を用いる場合、導電体 2 6 0 が、脱離した酸素により酸化することを防止するため、絶縁体 2 7 0 は、酸素に対してバリア性を有する物質を用いる。当該構成とすることで、導電体 2 6 0 の酸化を抑制し、絶縁体 2 8 0 から、脱離した酸素を効率的に酸化物 2 3 0 へと供給することができる。

10

【 0 1 5 5 】

絶縁体 2 8 0 上には、絶縁体 2 8 2、および絶縁体 2 8 4 が順に積層して設けられている。また、絶縁体 2 8 0、絶縁体 2 8 2、および絶縁体 2 8 4 には、導電体 2 4 4、導電体 2 4 6 a、及び導電体 2 4 6 b 等が埋め込まれている。なお、導電体 2 4 4 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線として機能を有する。導電体 2 4 6 a、及び導電体 2 4 6 b は、容量素子 1 0 0、またはトランジスタ 2 0 0 と電気的に接続するプラグ、または配線として機能を有する。

20

【 0 1 5 6 】

絶縁体 2 8 2、および絶縁体 2 8 4 のいずれか、または両方に、酸素や水素に対してバリア性のある物質を用いることが好ましい。当該構成とすることで、トランジスタ 2 0 0 近傍の層間膜から脱離する酸素を、効率的にトランジスタ 2 0 0 へ、拡散させることができる。

【 0 1 5 7 】

絶縁体 2 8 4 の上方には、容量素子 1 0 0 が設けられている。容量素子 1 0 0 は、上記実施の形態で説明した容量素子を用いる。

【 0 1 5 8 】

絶縁体 1 0 2 上には、導電体 1 0 4、および導電体 1 2 4 が設けられている。なお、導電体 1 2 4 は、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線として機能を有する。

30

【 0 1 5 9 】

導電体 1 0 4 上に絶縁体 1 1 2、絶縁体 1 1 2 上に導電体 1 1 6 が設けられている。また、導電体 1 1 6 は、絶縁体 1 1 2 を介して、導電体 1 0 4 の側面を覆っている。つまり、導電体 1 0 4 の側面においても、容量として機能するため、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

【 0 1 6 0 】

なお、絶縁体 1 0 2 は、少なくとも導電体 1 0 4、と重畳する領域に設けられていればよい。例えば、図 7 (B) に示すように、絶縁体 1 0 2 を、導電体 1 0 4、及び導電体 1 2 4 と重畳する領域にのみ設け、絶縁体 1 0 2 と、絶縁体 1 1 2 とが接する構造としてもよい。

40

【 0 1 6 1 】

導電体 1 1 6 上には、絶縁体 1 2 0、および絶縁体 1 2 2 が順に積層して設けられている。また、絶縁体 1 2 0、絶縁体 1 2 2、および絶縁体 1 0 2 には導電体 1 2 6 が埋め込まれている。なお、導電体 1 2 6 は、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線として機能を有する。

【 0 1 6 2 】

50

また、容量素子 100 を覆う絶縁体 120 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0163】

以上が構成例についての説明である。

【0164】

[作製方法例]

以下では、上記構成例で示した半導体装置の作製方法の一例について、図8乃至図14を用いて説明する。

【0165】

まず、基板 301 を準備する。基板 301 としては、半導体基板を用いる。例えば、単結晶シリコン基板（p型の半導体基板、またはn型の半導体基板を含む）、炭化シリコンや窒化ガリウムを材料とした化合物半導体基板などを用いることができる。また、基板 301 として、SOI基板を用いてもよい。以下では、基板 301 として単結晶シリコンを用いた場合について説明する。

10

【0166】

続いて、基板 301 に素子分離層を形成する。素子分離層はLOCOS (Local Oxidation of Silicon) 法またはSTI (Shallow Trench Isolation) 法等を用いて形成すればよい。

【0167】

なお、同一基板上にp型のトランジスタとn型のトランジスタを形成する場合、基板 301 の一部にnウェルまたはpウェルを形成してもよい。例えば、n型の基板 301 にp型の導電性を付与するホウ素などの不純物元素を添加してpウェルを形成し、同一基板上にn型のトランジスタとp型のトランジスタを形成してもよい。

20

【0168】

続いて、基板 301 上に絶縁体 304 となる絶縁体を形成する。例えば、表面窒化処理後に酸化処理を行い、シリコンと窒化シリコン界面を酸化して酸化窒化シリコン膜を形成してもよい。例えばNH₃雰囲気中で700℃にて熱窒化シリコン膜を表面に形成後に酸素ラジカル酸化を行うことで酸化窒化シリコン膜が得られる。

【0169】

当該絶縁体は、スパッタリング法、CVD (Chemical Vapor Deposition) 法（熱CVD法、MOCVD (Metal Organic CVD) 法、PECVD (Plasma Enhanced CVD) 法等を含む）、MBE (Molecular Beam Epitaxy) 法、ALD (Atomic Layer Deposition) 法、またはPLD (Pulsed Laser Deposition) 法等で成膜することにより形成してもよい。

30

【0170】

続いて、導電体 306 となる導電膜を成膜する。導電膜としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。なお、導電体 306 の仕事関数を定めることで、トランジスタ 300 のしきい値電圧を調整することができるため、導電膜の材料は、トランジスタ 300 に求められる特性に応じて、適宜選択するとよい。

40

【0171】

導電膜は、スパッタリング法、蒸着法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0172】

50

続いて、当該導電膜上にリソグラフィ法等を用いてレジストマスクを形成し、当該導電膜の不要な部分を除去する。その後、レジストマスクを除去することにより、導電体 306 を形成することができる。

【0173】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、リソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、リソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

10

【0174】

レジストマスクの形成に用いる光は、例えば i 線（波長 365 nm）、g 線（波長 436 nm）、h 線（波長 405 nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線や KrF レーザ光、または ArF レーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV: Extreme Ultra-violet）や X 線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X 線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

20

【0175】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピンコート法などにより、その下方の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上方に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えば BARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

30

【0176】

導電体 306 の形成後、導電体 306 の側面を覆うサイドウォールを形成してもよい。サイドウォールは、導電体 306 の厚さよりも厚い絶縁体を成膜した後に、異方性エッチングを施し、導電体 306 の側面部分のみ当該絶縁体を残存させることにより形成できる。

【0177】

サイドウォールの形成時に絶縁体 304 となる絶縁体も同時にエッチングされることにより、導電体 306 およびサイドウォールの下部に絶縁体 304 が形成される。または、導電体 306 を形成した後に導電体 306、または導電体 306 を加工するためのレジストマスクをエッチングマスクとして当該絶縁体をエッチングすることにより絶縁体 304 を形成してもよい。この場合、導電体 306 の下部に絶縁体 304 が形成される。または、当該絶縁体に対してエッチングによる加工を行わずに、そのまま絶縁体 304 として用いることもできる。

40

【0178】

続いて、基板 301 の導電体 306（およびサイドウォール）が設けられていない領域にリンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を添加する。

【0179】

続いて、絶縁体 320 を形成した後、上述した導電性を付与する元素の活性化のための加熱処理を行う。

50

【 0 1 8 0 】

絶縁体 3 2 0 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。また、酸素と水素を含む窒化シリコン (SiNOH) を用いると、加熱によって脱離する水素の量を多くすることができるため好ましい。また、TEOS (Tetra-Ethyl-Ortho-Silicate) 若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いることもできる。

【 0 1 8 1 】

絶縁体 3 2 0 は、例えば、スパッタリング法、CVD法 (熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

10

【 0 1 8 2 】

加熱処理は、希ガスや窒素ガスなどの不活性ガス雰囲気下、または減圧雰囲気下にて、例えば、400 以上でかつ基板の歪み点未満で行うことができる。

【 0 1 8 3 】

この段階でトランジスタ 3 0 0 が形成される。

【 0 1 8 4 】

続いて、絶縁体 3 2 0 上に絶縁体 3 2 2 を形成する。絶縁体 3 2 2 は、絶縁体 3 2 0 と同様の材料および方法で作成することができる。また、絶縁体 3 2 2 の上面を、CMP法等を用いて平坦化する (図 8 (A))。

20

【 0 1 8 5 】

続いて、絶縁体 3 2 0、および絶縁体 3 2 2 に、低抵抗領域 3 0 8 a、低抵抗領域 3 0 8 b および導電体 3 0 6 等に達する開口部を形成する (図 8 (B))。その後、開口部を埋めるように導電膜を形成する (図 8 (C))。導電膜の形成は、例えばスパッタリング法、CVD法 (熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。

【 0 1 8 6 】

続いて、絶縁体 3 2 2 の上面が露出するように該導電膜に平坦化処理を施すことにより、導電体 3 2 8 a、導電体 3 2 8 b、および導電体 3 2 8 c 等を形成する (図 8 (D))。なお、図中の矢印は、CMP処理を表す。また、明細書中、及び図中において、導電体 3 2 8 a、導電体 3 2 8 b、および導電体 3 2 8 c は、プラグ、または配線として機能を有し、まとめて導電体 3 2 8 と付記する場合もある。なお、本明細書中において、プラグ、または配線として機能を有する場合は、同様に取り扱うものとする。

30

【 0 1 8 7 】

続いて、絶縁体 3 2 0 上に、絶縁体 3 2 2、および絶縁体 3 2 4 を形成した後、ダマシン法などを用いて導電体 3 3 0 a、導電体 3 3 0 b、および導電体 3 3 0 c を形成する (図 9 (A))。絶縁体 3 2 2、および絶縁体 3 2 4 は絶縁体 3 2 0 と同様の材料および方法で作成することができる。また、導電体 3 3 0 となる導電膜は、導電体 3 2 8 と同様の材料および方法で作成することができる。

40

【 0 1 8 8 】

次に、絶縁体 3 5 2、および絶縁体 3 5 4 を形成した後、デュアルダマシン法などを用いて、絶縁体 3 5 2、および絶縁体 3 5 4 に、導電体 3 5 8 a、導電体 3 5 8 b、および導電体 3 5 8 c を形成する (図 9 (B))。絶縁体 3 5 2、および絶縁体 3 5 4 は絶縁体 3 2 0 と同様の材料および方法で作成することができる。また、導電体 3 5 8 となる導電膜は、導電体 3 2 8 と同様の材料および方法で作成することができる。

【 0 1 8 9 】

次に、トランジスタ 2 0 0 を形成する。絶縁体 2 1 0 を形成した後、水素または酸素に対

50

してバリア性を有する絶縁体 2 1 2、および絶縁体 2 1 4 を形成する。絶縁体 2 1 0 は、絶縁体 3 2 0 と同様の材料および方法で作成することができる。

【 0 1 9 0 】

また、絶縁体 2 1 2、および絶縁体 2 1 4 は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁体のいずれかを、ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える絶縁体を形成することができる。

【 0 1 9 1 】

続いて、絶縁体 2 1 4 上に絶縁体 2 1 6 を形成する。絶縁体 2 1 6 は、絶縁体 2 1 0 と同様の材料および方法で作成することができる（図 9（C））。

10

【 0 1 9 2 】

次に、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 に、導電体 3 5 8 a、導電体 3 5 8 b、および導電体 3 5 8 c 等に達する開口部を形成する（図 1 0（A））。

【 0 1 9 3 】

続いて、絶縁体 2 1 6 に開口部を形成する。この時、絶縁体 2 1 6 に形成された開口部を広げてもよい（図 1 0（B））。絶縁体 2 1 6 に形成された開口部を広くすることで、後の工程で形成されるプラグ、または配線に対し、十分な設計マージンを確保することができる。

20

【 0 1 9 4 】

その後、開口部を埋めるように導電膜を形成する（図 1 0（C））。導電膜の形成は、導電体 3 2 8 と同様の材料および方法で作成することができる。続いて、導電膜に平坦化処理を施すことにより、絶縁体 2 1 6 の上面を露出させ、導電体 2 1 8 a、導電体 2 1 8 b、導電体 2 1 8 c、および導電体 2 0 5 を形成する（図 1 1（A））。なお、図中の矢印は、CMP処理を表す。

【 0 1 9 5 】

次に、絶縁体 2 2 0、絶縁体 2 2 2、および絶縁体 2 2 4 を形成する。絶縁体 2 2 0、絶縁体 2 2 2、および絶縁体 2 2 4 は、絶縁体 2 1 0 と同様の材料および方法で作成することができる。特に、絶縁体 2 2 2 には high-k 材料を用いることが好ましい。

30

【 0 1 9 6 】

続いて、酸化物 2 3 0 a となる酸化物と、酸化物 2 3 0 b となる酸化物を順に成膜する。当該酸化物は、大気に触れさせることなく連続して成膜することが好ましい。

【 0 1 9 7 】

酸化物 2 3 0 b となる酸化物を成膜後、加熱処理を行うことが好ましい。加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。加熱処理は、酸化物 2 3 0 b となる酸化物を成膜した直後に行ってもよいし、酸化物 2 3 0 b となる酸化物を加工して島状の酸化物 2 3 0 b を形成した後に行ってもよい。加熱処理により、酸化物 2 3 0 a の下方に形成された絶縁体から、酸化物 2 3 0 a、および酸化物 2 3 0 b に酸素が供給され、酸化物中の酸素欠損を低減することができる。

40

【 0 1 9 8 】

その後、酸化物 2 3 0 b となる酸化物上に、導電体 2 4 0 a、および導電体 2 4 0 b となる導電膜を形成する。続いて、上記と同様の方法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後、導電膜をマスクとして酸化物の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、島状の酸化物 2 3 0 a、島状の酸化物 2 3 0 b、および島状の導電体の積層構造を形成することができる。

50

【0199】

次に、島状の導電膜上に上記と同様の方法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、導電体240a、および導電体240bを形成する。

【0200】

続いて、酸化物230cとなる酸化物、絶縁体250となる絶縁体、および導電体260となる導電膜を順に成膜する。続いて、当該導電膜上に、上記と同様の方法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去することで、導電体260を形成する。

【0201】

次に、絶縁体250となる絶縁体、および導電体260上に絶縁体270となる絶縁体を形成する。絶縁体270となる絶縁体は、水素および酸素に対するバリア性を有する材料を用いることが好ましい。続いて、当該絶縁体上に上記と同様の方法によりレジストマスクを形成し、絶縁体270となる絶縁体、絶縁体250となる絶縁体、および酸化物230cとなる酸化物の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、トランジスタ200が形成される。

【0202】

次に、絶縁体280を形成する。絶縁体280は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。また、絶縁体280となる絶縁体を形成した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

【0203】

なお、絶縁体280に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁体280の成膜を行えばよい。または、成膜後の絶縁体280に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0204】

例えば、成膜後の絶縁体280に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0205】

また、酸素導入処理として、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよく、例えば、二酸化炭素と水素とアルゴンの混合ガスを用いることができる。

【0206】

また、酸素導入処理として、絶縁体280上に、スパッタリング装置を用いて、酸化物を積層する方法がある。例えば、絶縁体282を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体282を成膜しながら、絶縁体280に酸素を導入することができる。

【0207】

続いて、絶縁体284を形成する。絶縁体284は、絶縁体210と、同様の材料および方法で作成することができる。また、絶縁体284は、酸素や水素に対してバリア性のある酸化アルミニウムなどを用いることが好ましい。特に、絶縁体284を、ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える絶縁体を形成することができる。

【0208】

絶縁体282に、緻密な膜質の絶縁体284を積層することで、絶縁体280に導入した過剰酸素を、トランジスタ200側に、効果的に封じ込めることができる（図11(B)）。

10

20

30

40

50

【0209】

次に、容量素子100を形成する。まず、絶縁体284上に、絶縁体102を形成する。絶縁体102は、絶縁体210と同様の材料および方法で作成することができる。

【0210】

次に、絶縁体220、絶縁体222、絶縁体224、絶縁体280、絶縁体282、および絶縁体284に、導電体218a、導電体218b、導電体218c、導電体240a、および導電体240b等に達する開口部を形成する。

【0211】

その後、開口部を埋めるように導電膜を形成し、導電膜に平坦化処理を施すことにより、絶縁体216の上面を露出させ、導電体244a、導電体244b、導電体244c、導電体246a、および導電体246bを形成する。なお、導電膜の形成は、導電体328と同様の材料および方法で作成することができる。

10

【0212】

次に、絶縁体102上に導電膜104Aを成膜する。なお、導電膜104Aの形成は、導電体328と同様の材料および方法で作成することができる。続いて、導電膜104A上に、レジストマスク190を形成する(図12(A))。

【0213】

導電膜104Aをエッチングすることで、導電体124a、導電体124b、導電体124c、および導電体104を形成する。当該エッチング処理を、オーバーエッチング処理とすることで、絶縁体102の一部も同時に除去することができる(図12(B))。絶縁体102は、後に形成する絶縁体112の膜厚よりも、深く除去されていればよい。つまり、絶縁体102において、オーバーエッチング処理が行われた領域の上面は、導電体104と重畳する領域の上面よりも膜厚方向でトランジスタ200側となる、絶縁体112の膜厚以上のエッチング深さを持つオーバーエッチング処理である。また、導電体104をオーバーエッチング処理により形成することで、エッチング残渣を残すことなくエッチングすることができる。

20

【0214】

また、当該エッチング処理の途中で、エッチングガスの種類を切り替えることにより、効率よく絶縁体102の一部を除去することができる。

【0215】

また、例えば、導電体104を形成した後、レジストマスク190を除去し、導電体104をハードマスクとして、絶縁体102の一部を除去してもよい。

30

【0216】

また、導電体104を形成した後、導電体104の表面を、クリーニング処理してもよい。クリーニング処理をすることで、エッチング残渣等を除去することができる。

【0217】

さらに、絶縁体102及び絶縁体284の膜種が異なる場合、絶縁体284をエッチングストップ膜としてもよい。その場合、図12(B)に示すように、導電体124、および導電体104と重畳する領域に絶縁体102が形成される構造となる。

【0218】

続いて、導電体104の側面、および上面を覆う絶縁体112を成膜する(図13(A))。絶縁体112には例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設ける。

40

【0219】

例えば、酸化アルミニウムなどのhigh-k材料と、酸化窒化シリコンなどの絶縁耐力が大きい材料の積層構造とすることが好ましい。当該構成により、容量素子100は、high-k材料により十分な容量を確保でき、絶縁耐力が大きい材料により絶縁耐力が向上するため、容量素子100の静電破壊を抑制し、容量素子100の信頼性を向上させる

50

ことができる。

【0220】

続いて、絶縁体112上に導電膜116Aを成膜する(図13(A))。なお、導電膜116Aの形成は、導電体104と同様の材料および方法で作成することができる。続いて、導電膜116A上に、レジストマスク190を形成し、導電膜116Aの不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、導電体116を形成する。

【0221】

導電体116は、絶縁体112を介して、導電体104の側面および上面を覆うように設けられる。つまり、図1(C)に示す、絶縁体102と絶縁体112とが接する領域における絶縁体112の上面と、絶縁体112と導電体104が接する領域における導電体104の底面との距離dが0以上となるように設けるとよい。

10

【0222】

当該構成により、導電体104の側面は、絶縁体112を介して、導電体116と面する。従って、容量素子100において、図1(B)に示す破線で囲む領域(導電体104の上面および側面の和)が容量として機能するため、投影面積当たりの容量が大きな容量素子を形成することができる。

【0223】

続いて、容量素子100を覆う絶縁体120を成膜する(図13(B))。絶縁体120となる絶縁体は、絶縁体102等と同様の材料および方法により形成することができる。

20

【0224】

次に、絶縁体120に、導電体124a、導電体124b、導電体124c、および導電体104等に達する開口部を形成する。

【0225】

その後、開口部を埋めるように導電膜を形成し、導電膜に平坦化処理を施すことにより、絶縁体120の上面を露出させ、導電体126a、導電体126b、導電体126c、および導電体126dを形成する。なお、導電膜の形成は、導電体244と同様の材料および方法で作成することができる。

【0226】

続いて、導電体128となる導電膜を形成する。導電膜の形成は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該導電膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

30

【0227】

導電体128となる導電膜としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガ、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

40

【0228】

次に、導電体128となる導電膜上に上記と同様の方法によりレジストマスクを形成し、

50

導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、導電体 1 2 8 a、導電体 1 2 8 b、導電体 1 2 8 c、および導電体 1 2 8 d を形成する。

【 0 2 2 9 】

続いて、絶縁体 1 2 0 上に、絶縁体 1 2 2 を成膜する（図 1 4）。絶縁体 1 2 2 となる絶縁体は、絶縁体 1 2 2 等と同様の材料および方法により形成することができる。

【 0 2 3 0 】

以上の工程により、本発明の一態様の半導体装置を作製することができる。

【 0 2 3 1 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

10

【 0 2 3 2 】

（実施の形態 3）

本実施の形態では、半導体装置の一形態を、図 1 8 乃至図 2 1 を用いて説明する。

【 0 2 3 3 】

< トランジスタ構造 1 >

以下では、本発明の一態様に係るトランジスタの一例について説明する。図 1 8 (A)、図 1 8 (B)、および図 1 8 (C) は、本発明の一態様に係るトランジスタの上面図および断面図である。図 1 8 (A) は上面図であり、図 1 8 (B) は、図 1 8 (A) に示す一点鎖線 X 1 - X 2 に対応する断面図であり、図 1 8 (C) は、一点鎖線 Y 1 - Y 2 に対応する断面図である。なお、図 1 8 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

20

【 0 2 3 4 】

なお、図 1 8 に示すトランジスタ 2 0 0 において、図 6 に示したトランジスタ 2 0 0 を構成する構造と同機能を有する構造には、同符号を付記する。

【 0 2 3 5 】

トランジスタ 2 0 0 は、ゲート絶縁層として機能する導電体 2 0 5、および導電体 2 6 0 と、ゲート絶縁層として機能する絶縁体 2 2 0、絶縁体 2 2 2、絶縁体 2 2 4 と、および絶縁体 2 5 0 と、チャンネルが形成される領域を有する酸化物 2 3 0 と、ソースまたはドレインの一方として機能する導電体 2 4 0 a と、ソースまたはドレインの他方として機能する導電体 2 4 0 b と、過剰酸素を有する絶縁体 2 8 0 と、を有する。

30

【 0 2 3 6 】

また、酸化物 2 3 0 は、酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、酸化物 2 3 0 b 上の酸化物 2 3 0 c と、を有する。なお、トランジスタ 2 0 0 をオンさせると、主として酸化物 2 3 0 b に電流が流れる（チャンネルが形成される）。一方、酸化物 2 3 0 a および酸化物 2 3 0 c は、酸化物 2 3 0 b との界面近傍（混合領域となっている場合もある）は電流が流れる場合があるものの、そのほかの領域は絶縁体として機能する場合がある。

【 0 2 3 7 】

絶縁体 2 1 6 は、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。また、絶縁体 2 1 6 は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁膜を用いることができる。このような材料を用いて形成した場合、基板、あるいは他の構造からの水素等の不純物の混入を防ぐ層として機能する。また、絶縁体 2 1 6 は、積層構造としてもよい。

40

【 0 2 3 8 】

導電体 2 0 5 は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等である。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タング

50

ステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0239】

絶縁体220および絶縁体224は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。なお、絶縁体224として過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を補償することができる。なお、絶縁体220と絶縁体224とは、必ずしも同じ材料を用いて形成しなくともよい。

10

【0240】

また、絶縁体220および絶縁体224は、積層構造としてもよい。例えば、過剰酸素を含む絶縁膜を酸化物230に接して設け、さらにバリア膜で包み込むことで、酸化物を化学量論比組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。また、酸化物230への水素等の不純物の侵入を防ぐことができる。

【0241】

絶縁体222は、酸化ハフニウム、酸化窒化ハフニウム、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ジルコニウム、酸化窒化ジルコニウム、窒化シリコン、酸化タンタル、酸化チタン、STO (Strontium Titan Oxide)、BST (Barium Strontium Titan Oxide) などを用いることができる。なお、絶縁体222が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

20

【0242】

また、絶縁体220、絶縁体224、または絶縁体222のいずれかを、酸素や水素に対してバリア性のある物質を用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐことができる。

30

【0243】

なお、絶縁体220と絶縁体224とを酸化シリコン、絶縁体222を酸化ハフニウムで構成する場合、絶縁体220および絶縁体224は、化学的気相成長法（CVD法、原子層堆積（ALD）法を含む）で形成し、絶縁体222は、スパッタリング法で形成してもよい。なお、絶縁体222の形成に、スパッタリング法を用いることで、絶縁体222が低温で結晶化しやすく、生じる固定電荷量が大きい場合がある。

【0244】

また、図18に示す半導体装置において、酸化物230と導電体260の間に、絶縁体250の他にバリア膜を設けてもよい。もしくは、酸化物230cにバリア性があるものを用いてもよい。

40

【0245】

導電体260、導電体240aおよび導電体240bは、導電体205と同様の材料を用いることができる。例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等である。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

50

【 0 2 4 6 】

また、絶縁体 2 5 0 は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。なお、絶縁体 2 5 0 として過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物 2 3 0 に接して設けることにより、酸化物 2 3 0 中の酸素欠損を補償することができる。

【 0 2 4 7 】

また、絶縁体 2 5 0 は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁膜を用いることができる。このような材料を用いて形成した場合、酸化物 2 3 0 からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

10

【 0 2 4 8 】

また、絶縁体 2 5 0 は、積層構造としてもよい。例えば、過剰酸素を含む絶縁膜を酸化物 2 3 0 に接して設け、さらにバリア膜で包み込むことで、酸化物を化学量論比組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。また、酸化物 2 3 0 への水素等の不純物の侵入を防ぐことができる。

【 0 2 4 9 】

上記構成を有することで、酸化物半導体を用いたトランジスタにおいて、しきい値電圧をプラス方向に変動させることで、ゲート電圧が 0 V であっても非導通状態（オフ状態）であるノーマリーオフ型のトランジスタを提供することができる。

20

【 0 2 5 0 】

また、絶縁体 2 2 0、絶縁体 2 2 2、絶縁体 2 2 4 の膜厚を適宜調整することで、しきい値電圧を制御することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。また、安定した電気特性を有するトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

【 0 2 5 1 】

<トランジスタ構造 2 >

30

図 1 9 には、トランジスタ 2 0 0 に適応できる構造の一例を示す。図 1 9 (A) はトランジスタ 2 0 0 の上面を示す。なお、図の明瞭化のため、図 1 9 (A) において一部の膜は省略されている。また、図 1 9 (B) は、図 1 9 (A) に示す一点鎖線 X 1 - X 2 に対応する断面図であり、図 1 9 (C) は Y 1 - Y 2 に対応する断面図である。

【 0 2 5 2 】

なお、図 1 9 に示すトランジスタ 2 0 0 において、図 1 8 に示したトランジスタ 2 0 0 を構成する構造と同機能を有する構造には、同符号を付記する。

【 0 2 5 3 】

図 1 9 に示す構造では、導電体 2 4 0 a、および導電体 2 4 0 b の三方の端部が、酸化物 2 3 0 の端部の一部と一致している。従って、導電体 2 4 0 a、および導電体 2 4 0 b と酸化物 2 3 0 とを、同時に整形することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

40

【 0 2 5 4 】

また、当該構造は、酸化物 2 3 0 b において、チャンネルが形成される領域を、ゲート電極としての機能を有する導電体 2 6 0 の電界によって、電気的に取り囲むことができる。ゲート電極の電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s - channel) 構造とよぶ。そのため、絶縁体 2 5 0 を介して、導電体 2 6 0 と対向する酸化物 2 3 0 b の領域全体にチャンネルが形成される場合がある。s - channel 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、オン電流を高くすることができる。また、チャンネルが形成される領域

50

に全周から電圧が印加されるため、リーク電流が抑制されたトランジスタを提供することができる。

【0255】

<トランジスタ構造3>

図20には、トランジスタ200に適應できる構造の一例を示す。図20(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図20(A)において一部の膜は省略されている。また、図20(B)は、図20(A)に示す一点鎖線X1-X2に対応する断面図であり、図20(C)はY1-Y2に対応する断面図である。

【0256】

なお、図20に示すトランジスタ200において、図18に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

10

【0257】

図20に示す構造は、絶縁体280に形成された開口部に、酸化物230c、絶縁体250、導電体260が形成されている。また、導電体240a、および導電体240bの一方の端部と、絶縁体280に形成された開口部の端部が一致している。さらに、導電体240a、および導電体240bの三方の端部が、酸化物230の端部の一部と一致している。従って、導電体240a、および導電体240bは、酸化物230または絶縁体280の開口部と、同時に整形することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

【0258】

さらに、図20に示すトランジスタ200は、導電体240aおよび導電体240bと、導電体260と、がほとんど重ならない構造を有するため、導電体260にかかる寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ200を提供することができる。

20

【0259】

また、当該構造は、酸化物230bにおいて、チャネルが形成される領域を、ゲート電極としての機能を有する導電体260の電界によって、電気的に取り囲むことができる。s-channel構造を有する為、絶縁体250を介して、導電体260と対向する酸化物230bの領域全体にチャネルが形成される場合がある。s-channel構造では、トランジスタのソース-ドレイン間に大電流を流すことができ、オン電流を高くすることができる。また、チャネルが形成される領域に全周から電圧が印加されるため、リーク電流が抑制されたトランジスタを提供することができる。

30

【0260】

<トランジスタ構造4>

図21には、トランジスタ200に適應できる構造の一例を示す。図21(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図21(A)において一部の膜は省略されている。また、図21(B)は、図21(A)に示す一点鎖線X1-X2に対応する断面図であり、図21(C)はY1-Y2に対応する断面図である。

【0261】

なお、図21に示すトランジスタ200において、図18に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

40

【0262】

図21に示す構造は、酸化物230に、ソース領域またはドレイン領域の一方として機能する領域245a、およびソース領域またはドレイン領域の他方として機能する領域245bとが設けられている。当該領域は、導電体260をマスクとしてホウ素、リン、アルゴンなどの不純物を酸化物230に添加することによって形成することができる。また、絶縁体280を窒化シリコン膜などの水素を含む絶縁体とすることで、水素を酸化物230の一部に拡散させることで形成することができる。そのため、マスクまたは工程を削減することができる。また、歩留まりや生産性を向上させることができる。

【0263】

50

また、当該構造は、酸化物 230b において、チャンネルが形成される領域を、ゲート電極としての機能を有する導電体 260 の電界によって、電気的に取り囲むことができる。s-channel 構造のため、絶縁体 250 を介して、導電体 260 と対向する酸化物 230b の領域全体にチャンネルが形成される場合がある。s-channel 構造では、トランジスタのソース・ドレイン間に大電流を流すことができ、オン電流を高くすることができる。また、チャンネルが形成される領域に全周から電圧が印加されるため、リーク電流が抑制されたトランジスタを提供することができる。

【0264】

以上、本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、方法などと適宜組み合わせ用いることができる。

10

【0265】

(実施の形態 4)

本実施の形態においては、先の実施の形態で例示したトランジスタを有する酸化物半導体について、図 22 乃至図 26 を用いて以下説明を行う。

【0266】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0267】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

20

【0268】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体および nc-OS などがある。

【0269】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

30

【0270】

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OS は、等方的でないが、鬆 (ポイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OS は、物性的に非晶質酸化物半導体に近い。

40

【0271】

<CAAC-OS>

まずは、CAAC-OS について説明する。

【0272】

CAAC-OS は、c 軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0273】

CAAC-OS を X 線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群 R-3m に分類される InGaZnO₄ の結晶を有する CAAC-OS に対し、out-of-plane 法による構造解析を行う

50

と、図22(A)に示すように回折角(2θ)が 31° 近傍にピークが現れる。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面(被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

【0274】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図22(B)に示すように明瞭なピークは現れない。一方、単結晶 InGaZnO_4 に対し、 2θ を 56° 近傍に固定してスキャンした場合、図22(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

【0275】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が 300nm の電子線を入射させると、図22(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300nm の電子線を入射させたときの回折パターンを図22(E)に示す。図22(E)より、リング状の回折パターンが確認される。したがって、プローブ径が 300nm の電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図22(E)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図22(E)における第2リングは(110)面などに起因すると考えられる。

【0276】

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0277】

図23(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0278】

図23(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは 1nm 以上のものや、 3nm 以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこと

10

20

30

40

50

もできる。また、CAAC-OSを、CAN(C- Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0279】

また、図23(B)および図23(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図23(D)および図23(E)は、それぞれ図23(B)および図23(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図23(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

10

【0280】

図23(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

20

【0281】

図23(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形またはノおよび七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

30

【0282】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAC crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

【0283】

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

40

【0284】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0285】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリ

50

ア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0286】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0287】

<nc-OS>

次に、nc-OSについて説明する。

【0288】

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

【0289】

また、例えば、InGaZnO₄の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図24(A)に示すようなリング状の回折パターン(ナノビーム電子回折パターン)が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン(ナノビーム電子回折パターン)を図24(B)に示す。図24(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

【0290】

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図24(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0291】

図24(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

【0292】

このように、nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0293】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-OSを、

10

20

30

40

50

RANC (Random Aligned nanocrystals) を有する酸化物半導体、またはNANC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0294】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0295】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0296】

図25に、a-like OSの高分解能断面TEM像を示す。ここで、図25(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図25(B)は $4.3 \times 10^8 e^- / nm^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図25(A)および図25(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0297】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0298】

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0299】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0300】

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、以下では、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0301】

図26は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図26より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図26より、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図26より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3nm程度および1.8nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件

10

20

30

40

50

は、加速電圧を 300 kV 、電流密度を $6.7 \times 10^5\text{ e}^- / (\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を 230 nm とした。

【0302】

このように、*a-like OS*は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*および*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られない。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0303】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の 78.6% 以上 92.3% 未満である。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の 92.3% 以上 100% 未満である。単結晶の密度の 78% 未満である酸化物半導体は、成膜すること自体が困難である。

10

【0304】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*a-like OS* の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*nc-OS* の密度および*CAAC-OS* の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

20

【0305】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0306】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有する積層膜であってもよい。

30

【0307】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0308】

(実施の形態5)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

【0309】

<記憶装置>

図27に示す半導体装置は、トランジスタ300を有さない点で図6に示した半導体装置と異なる。この場合も図6に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

40

【0310】

図27(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ200が導通状態になると、浮遊状態である配線3003と容量素子100とが導通し、配線3003と容量素子100の間で電荷が再分配される。その結果、配線3003の電位が変化する。配線3003の電位の変化量は、容量素子100の電極の一方の電位(または容量素子100に蓄積された電荷)によって、異なる値をとる。

【0311】

50

例えば、容量素子100の電極の一方の電位をV、容量素子100の容量をC、配線3003が有する容量成分をCB、電荷が再分配される前の配線3003の電位をVB0とすると、電荷が再分配された後の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子100の電極の一方の電位がV1とV0 ($V1 > V0$)の2つの状態をとるとすると、電位V1を保持している場合の配線3003の電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合の配線3003の電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることわかる。

【0312】

そして、配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

10

【0313】

この場合、メモリセルを駆動させるための駆動回路に上記酸化物半導体が適用されたトランジスタを用い、トランジスタ300として他の半導体が適用されたトランジスタを駆動回路に積層して配置する構成とすればよい。

【0314】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合(ただし、電位は固定されていることが好ましい)であっても、長期にわたって記憶内容を保持することが可能である。

20

【0315】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

30

【0316】

(実施の形態6)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

【0317】

<CPUの構成>

図28は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0318】

図28に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図28に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図28に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、

40

50

例えば 8 ビット、16 ビット、32 ビット、64 ビットなどとすることができる。

【0319】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0320】

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

10

【0321】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

20

【0322】

図 28 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0323】

図 28 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。即ち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

30

【0324】

図 29 は、レジスタ 1196 として用いることのできる記憶素子 1200 の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

40

【0325】

ここで、回路 1202 には、上述した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには GND (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

【0326】

スイッチ 1203 は、一導電型 (例えば、n チャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、p チャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端

50

子はトランジスタ 1 2 1 3 のソースとドレインの一方に対応し、スイッチ 1 2 0 3 の第 2 の端子はトランジスタ 1 2 1 3 のソースとドレインの他方に対応し、スイッチ 1 2 0 3 はトランジスタ 1 2 1 3 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 3 の導通状態または非導通状態）が選択される。スイッチ 1 2 0 4 の第 1 の端子はトランジスタ 1 2 1 4 のソースとドレインの一方に対応し、スイッチ 1 2 0 4 の第 2 の端子はトランジスタ 1 2 1 4 のソースとドレインの他方に対応し、スイッチ 1 2 0 4 はトランジスタ 1 2 1 4 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 4 の導通状態または非導通状態）が選択される。

【 0 3 2 7 】

トランジスタ 1 2 0 9 のソースとドレインの一方は、容量素子 1 2 0 8 の一对の電極のうちの一方、およびトランジスタ 1 2 1 0 のゲートと電氣的に接続される。ここで、接続部分をノード M 2 とする。トランジスタ 1 2 1 0 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば G N D 線）に電氣的に接続され、他方は、スイッチ 1 2 0 3 の第 1 の端子（トランジスタ 1 2 1 3 のソースとドレインの一方）と電氣的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）はスイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と電氣的に接続される。スイッチ 1 2 0 4 の第 2 の端子（トランジスタ 1 2 1 4 のソースとドレインの他方）は電源電位 V D D を供給することのできる配線と電氣的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）と、スイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と、論理素子 1 2 0 6 の入力端子と、容量素子 1 2 0 7 の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノード M 1 とする。容量素子 1 2 0 7 の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 7 の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電氣的に接続される。容量素子 1 2 0 8 の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 8 の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電氣的に接続される。

【 0 3 2 8 】

なお、容量素子 1 2 0 7 および容量素子 1 2 0 8 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【 0 3 2 9 】

トランジスタ 1 2 0 9 のゲートには、制御信号 W E が入力される。スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【 0 3 3 0 】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 2 9 では、回路 1 2 0 1 から出力された信号が、トランジスタ 1 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 によってその論理値が反転された反転信号となり、回路 1 2 2 0 を介して回路 1 2 0 1 に入力される。

【 0 3 3 1 】

なお、図 2 9 では、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回

10

20

30

40

50

路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【 0 3 3 2 】

また、図 2 9 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることもできる。

【 0 3 3 3 】

図 2 9 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【 0 3 3 4 】

本発明の一態様に係る半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

【 0 3 3 5 】

また、酸化物半導体にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保持される。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【 0 3 3 6 】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【 0 3 3 7 】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号に応じて、トランジスタ 1 2 1 0 の状態（導通状態、または非導通状態）が決まり、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【 0 3 3 8 】

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

10

20

30

40

50

【0339】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP(Digital Signal Processor)、カスタムLSI等のLSI、RF(Radio Frequency)デバイスにも応用可能である。また、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD: Programmable Logic Device)等のLSI、RF(Radio Frequency)デバイスにも応用可能である。

【0340】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

10

【0341】

(実施の形態7)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した表示装置について、図30および図31を用いて説明する。

【0342】

<表示装置の構成>

表示装置に用いられる表示素子としては液晶素子(液晶表示素子ともいう。)、発光素子(発光表示素子ともいう。)などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electroluminescence)、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置(EL表示装置)および液晶素子を用いた表示装置(液晶表示装置)について説明する。

20

【0343】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0344】

また、以下に示す表示装置は画像表示デバイス、または光源(照明装置含む)を指す。また、コネクタ、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

30

【0345】

図30は、本発明の一態様に係るEL表示装置の一例である。図30(A)に、EL表示装置の画素の回路図を示す。図30(B)は、EL表示装置全体を示す上面図である。また、図30(C)は、図30(B)の一点鎖線M-Nの一部に対応するM-N断面である。

【0346】

図30(A)は、EL表示装置に用いられる画素の回路図の一例である。

【0347】

なお、本明細書等においては、能動素子(トランジスタ、ダイオードなど)、受動素子(容量素子、抵抗素子など)などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子(トランジスタ、ダイオードなど)、受動素子(容量素子、抵抗素子など)などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

40

【0348】

50

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0349】

図30(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0350】

なお、図30(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図30(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

【0351】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電気的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電気的に接続され、発光素子719の一方の電極と電気的に接続される。トランジスタ741のソースは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電気的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0352】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または/およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

【0353】

図30(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または/および駆動回路736をシール材734の外側に配置しても構わない。

【0354】

図30(C)は、図30(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

【0355】

図30(C)には、トランジスタ741として、基板700上の導電体705と、導電体705が埋め込まれた絶縁体701、絶縁体701上の絶縁体702a、絶縁体702b、及び絶縁体702c、と、絶縁体702c上の半導体703a、半導体703b、及び半導体703cと、半導体703b上の導電体707aおよび導電体707bと、半導体703c上の絶縁体706と、絶縁体706上の導電体704を有する構造を示す。なお、トランジスタ741の構造は一例であり、図30(C)に示す構造と異なる構造であっても構わない。

【0356】

したがって、図30(C)に示すトランジスタ741において、導電体704および導電体705はゲート電極としての機能を有し、絶縁体702および絶縁体706はゲート絶

10

20

30

40

50

縁体としての機能を有し、導電体 707a および導電体 707b はソース電極またはドレイン電極としての機能を有する。なお、半導体 703 は、光が当たることで電気特性が変動する可能性がある。したがって、導電体 705、導電体 704 のいずれか一以上が遮光性を有すると好ましい。

【0357】

図 30 (C) には、容量素子 742 として、絶縁体 710 上の導電体 714a と、導電体 714a 上の絶縁体 714b と、絶縁体 714b 上の導電体 714c と、を有する構造を示す。

【0358】

容量素子 742 において、導電体 714a は一方の電極として機能し、導電体 714c は他方の電極として機能する。

10

【0359】

図 30 (C) に示す容量素子 742 は、占有面積当たりの容量が大きい容量素子である。したがって、図 30 (C) は表示品位の高い EL 表示装置である。

【0360】

トランジスタ 741 および容量素子 742 上には、絶縁体 720 が配置される。ここで、絶縁体 710 は、トランジスタ 741 のソースとして機能する導電体 707a、および導電体 707b に達する開口部を有してもよい。絶縁体 720 上には、導電体 781 が配置される。導電体 781 は、絶縁体 720 の開口部を介してトランジスタ 741 と電氣的に接続している。

20

【0361】

導電体 781 上には、導電体 781 に達する開口部を有する隔壁 784 が配置される。隔壁 784 上には、隔壁 784 の開口部で導電体 781 と接する発光層 782 が配置される。発光層 782 上には、導電体 783 が配置される。導電体 781、発光層 782 および導電体 783 の重なる領域が、発光素子 719 となる。

【0362】

ここまでは、EL 表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0363】

図 31 (A) は、液晶表示装置の画素の構成例を示す回路図である。図 31 に示す画素は、トランジスタ 751 と、容量素子 752 と、一對の電極間に液晶の充填された素子 (液晶素子) 753 とを有する。

30

【0364】

トランジスタ 751 では、ソース、又はドレインの一方が信号線 755 に電氣的に接続され、ゲートが走査線 754 に電氣的に接続されている。

【0365】

容量素子 752 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0366】

液晶素子 753 では、一方の電極がトランジスタ 751 のソース、又はドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子 752 の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子 753 の他方の電極に与えられる共通電位とが異なる電位であってもよい。

40

【0367】

なお、液晶表示装置も、上面図は EL 表示装置と同様として説明する。図 30 (B) の一点鎖線 M - N に対応する液晶表示装置の断面図を図 31 (B) に示す。図 31 (B) において、FPC 732 は、端子 731 を介して配線 733a と接続される。なお、配線 733a は、トランジスタ 751 を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0368】

50

トランジスタ751は、トランジスタ741についての記載を参照する。また、容量素子752は、容量素子742についての記載を参照する。なお、図31(B)には、図30(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

【0369】

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

10

【0370】

トランジスタ751および容量素子752上には、絶縁体720が配置される。絶縁体720上には、導電体791が配置される。導電体791は、絶縁体720の開口部を介してトランジスタ751と電氣的に接続する。

【0371】

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁体794が配置される。絶縁体794上には、スペーサ795が配置される。スペーサ795および絶縁体794上には、導電体796が配置される。導電体796上には、基板797が配置される。

20

【0372】

なお、液晶の駆動方式としては、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどを用いることができる。ただし、これに限定されず、駆動方法として様々なものを用いることができる。

30

【0373】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

40

【0374】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、白色、赤色、緑色または青色などの発光ダイオード(LED:Light Emitting Diode)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイパネル(PDP)、MEMS(マイクロ・エレクトロ・メカニカ

50

ル・システム)を用いた表示素子、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、IMOD(インターフェロメトリック・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウエッチング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。

【0375】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)またはSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0376】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

【0377】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0378】

(実施の形態8)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

【0379】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図32に示す。

【0380】

図 3 2 (A) は携帯型ゲーム機であり、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロフォン 9 0 5、スピーカー 9 0 6、操作キー 9 0 7、スタイラス 9 0 8 等を有する。なお、図 3 2 (A) に示した携帯型ゲーム機は、2 つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 3 8 1 】

図 3 2 (B) は携帯データ端末であり、第 1 筐体 9 1 1、第 2 筐体 9 1 2、第 1 表示部 9 1 3、第 2 表示部 9 1 4、接続部 9 1 5、操作キー 9 1 6 等を有する。第 1 表示部 9 1 3 は第 1 筐体 9 1 1 に設けられており、第 2 表示部 9 1 4 は第 2 筐体 9 1 2 に設けられている。そして、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 とは、接続部 9 1 5 により接続されており、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 の間の角度は、接続部 9 1 5 により変更が可能である。第 1 表示部 9 1 3 における映像を、接続部 9 1 5 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度にしたがって、切り替える構成としてもよい。また、第 1 表示部 9 1 3 および第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【 0 3 8 2 】

図 3 2 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

20

【 0 3 8 3 】

図 3 2 (D) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3 等を有する。

【 0 3 8 4 】

図 3 2 (E) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度にしたがって切り替える構成としてもよい。

30

【 0 3 8 5 】

図 3 2 (F) は自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 3 8 6 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【 0 3 8 7 】

なお、以上の実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソース領域、ドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン

40

50

、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、酸化物半導体を有していなくてもよい。

【符号の説明】

【 0 3 8 8 】

1 0 0	容量素子	
1 0 2	絶縁体	
1 0 4	導電体	
1 0 4 a	導電体	10
1 0 4 A	導電膜	
1 0 4 b	導電体	
1 0 4 c	導電体	
1 1 2	絶縁体	
1 1 2 a	絶縁体	
1 1 2 b	絶縁体	
1 1 6	導電体	
1 1 6 A	導電膜	
1 2 0	絶縁体	
1 2 2	絶縁体	20
1 2 4	導電体	
1 2 4 a	導電体	
1 2 4 b	導電体	
1 2 4 c	導電体	
1 2 6	導電体	
1 2 6 a	導電体	
1 2 6 b	導電体	
1 2 6 c	導電体	
1 2 6 d	導電体	
1 2 8	導電体	30
1 2 8 a	導電体	
1 2 8 b	導電体	
1 2 8 c	導電体	
1 2 8 d	導電体	
1 9 0	レジストマスク	
2 0 0	トランジスタ	
2 0 5	導電体	
2 1 0	絶縁体	
2 1 2	絶縁体	
2 1 4	絶縁体	40
2 1 6	絶縁体	
2 1 8	導電体	
2 1 8 a	導電体	
2 1 8 b	導電体	
2 1 8 c	導電体	
2 2 0	絶縁体	
2 2 2	絶縁体	
2 2 4	絶縁体	
2 3 0	酸化物	
2 3 0 a	酸化物	50

2 3 0 b	酸化物	
2 3 0 c	酸化物	
2 4 0 a	導電体	
2 4 0 b	導電体	
2 4 4	導電体	
2 4 4 a	導電体	
2 4 4 b	導電体	
2 4 4 c	導電体	
2 4 5 a	領域	
2 4 5 b	領域	10
2 4 6 a	導電体	
2 4 6 b	導電体	
2 5 0	絶縁体	
2 6 0	導電体	
2 7 0	絶縁体	
2 8 0	絶縁体	
2 8 2	絶縁体	
2 8 4	絶縁体	
3 0 0	トランジスタ	
3 0 1	基板	20
3 0 2	半導体領域	
3 0 4	絶縁体	
3 0 6	導電体	
3 0 8 a	低抵抗領域	
3 0 8 b	低抵抗領域	
3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	
3 2 8	導電体	30
3 2 8 a	導電体	
3 2 8 b	導電体	
3 2 8 c	導電体	
3 3 0	導電体	
3 3 0 a	導電体	
3 3 0 b	導電体	
3 3 0 c	導電体	
3 5 0	絶縁体	
3 5 2	絶縁体	
3 5 4	絶縁体	40
3 5 6	導電体	
3 5 8	導電体	
3 5 8 a	導電体	
3 5 8 b	導電体	
3 5 8 c	導電体	
7 0 0	基板	
7 0 1	絶縁体	
7 0 2	絶縁体	
7 0 2 a	絶縁体	
7 0 2 b	絶縁体	50

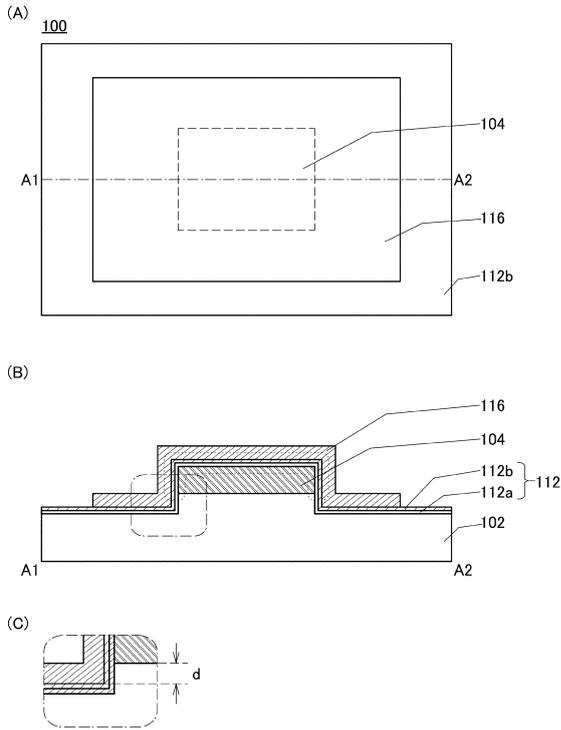
7 0 2 c	絶縁体	
7 0 3	半導体	
7 0 3 a	半導体	
7 0 3 b	半導体	
7 0 3 c	半導体	
7 0 4	導電体	
7 0 5	導電体	
7 0 6	絶縁体	
7 0 7 a	導電体	
7 0 7 b	導電体	10
7 1 0	絶縁体	
7 1 4 a	導電体	
7 1 4 b	絶縁体	
7 1 4 c	導電体	
7 1 9	発光素子	
7 2 0	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	20
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	30
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電体	
7 8 2	発光層	
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	40
7 9 4	絶縁体	
7 9 5	スペーサ	
7 9 6	導電体	
7 9 7	基板	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	50

9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	10
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	20
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	30
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	40
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
3 0 0 1	配線	50

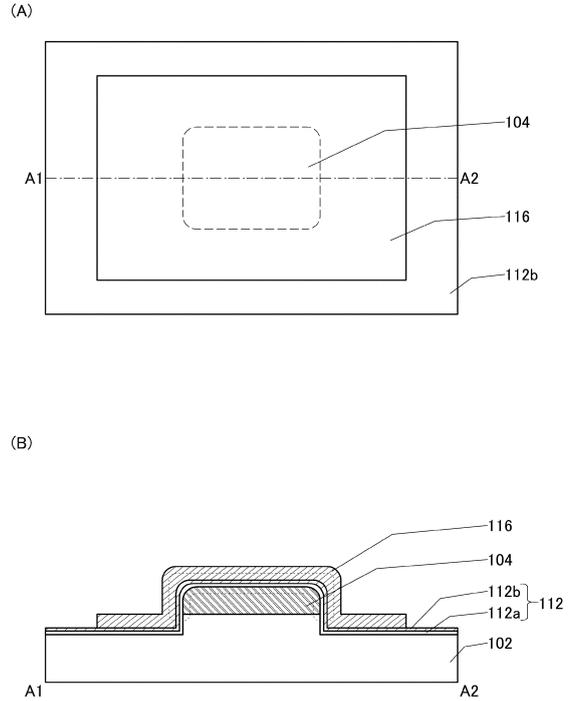
- 3 0 0 2 配線
- 3 0 0 3 配線
- 3 0 0 4 配線
- 3 0 0 5 配線

【図面】

【図 1】



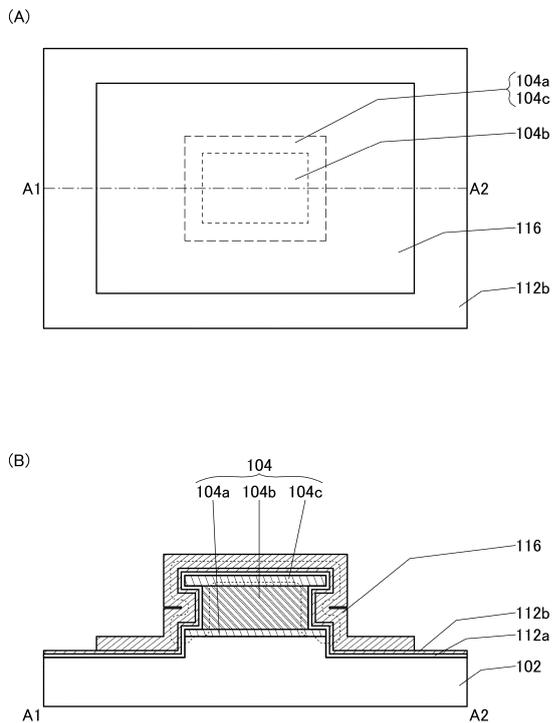
【図 2】



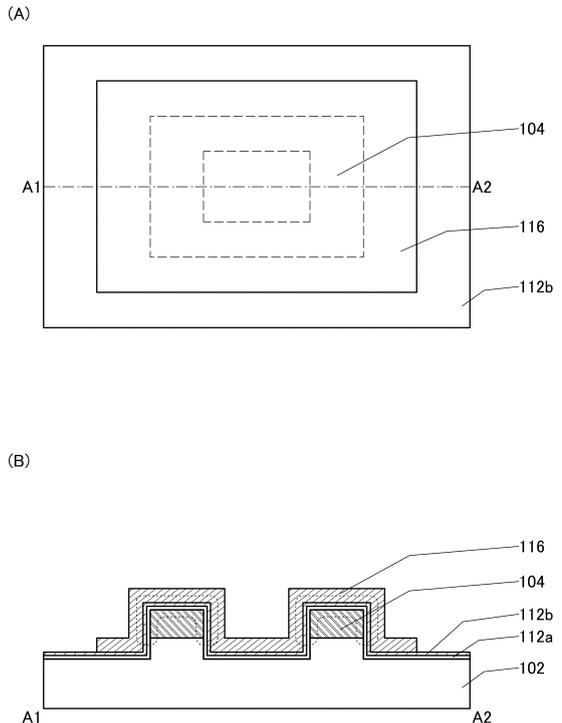
10

20

【図 3】



【図 4】

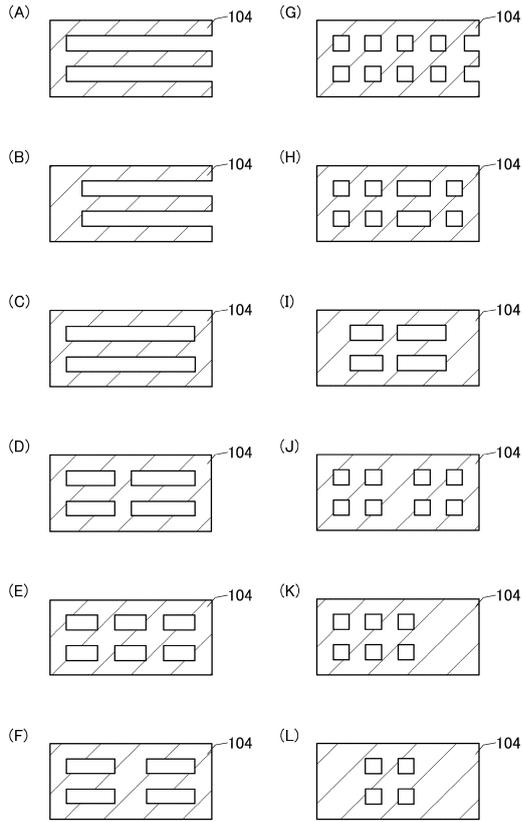


30

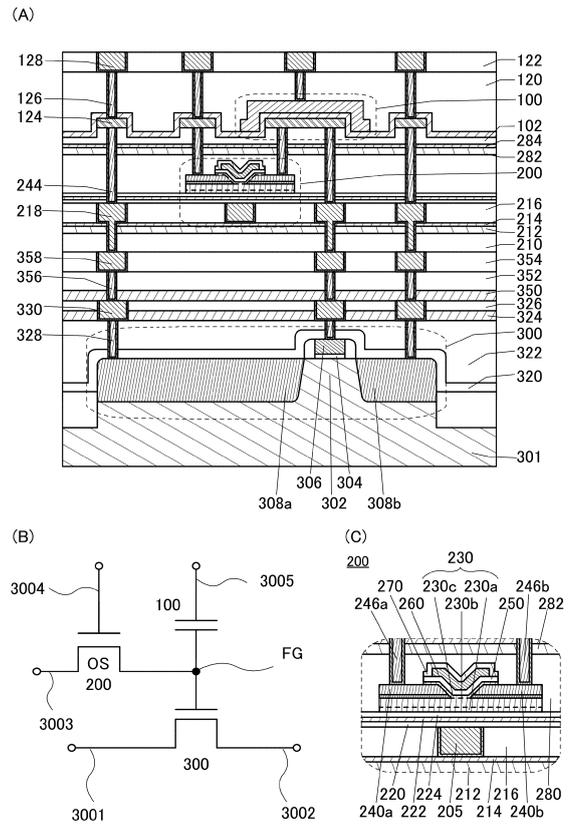
40

50

【図 5】



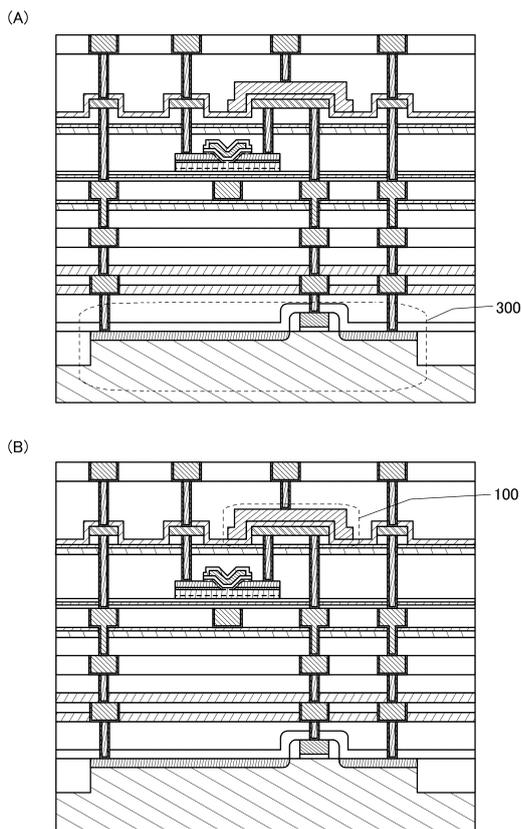
【図 6】



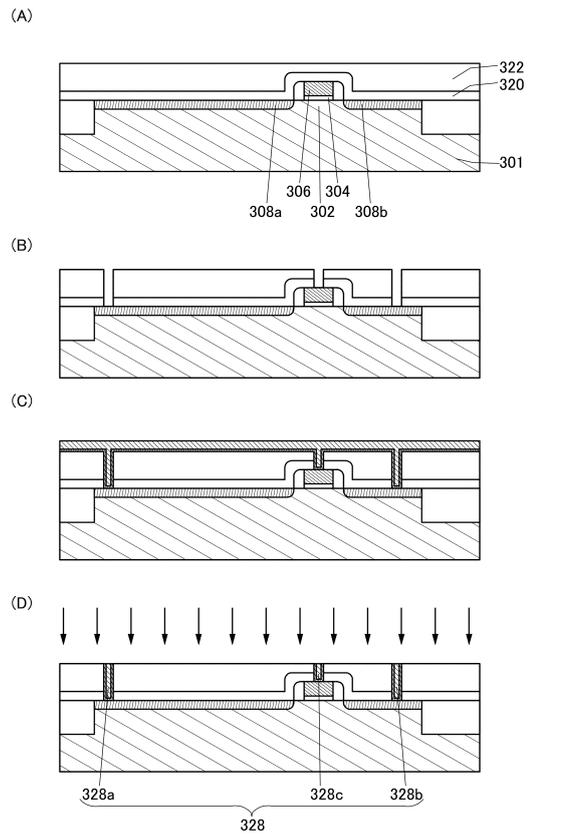
10

20

【図 7】



【図 8】

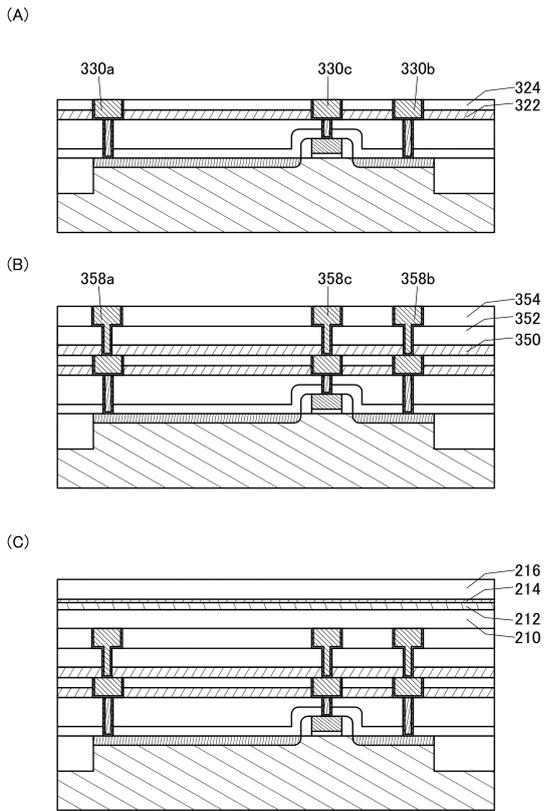


30

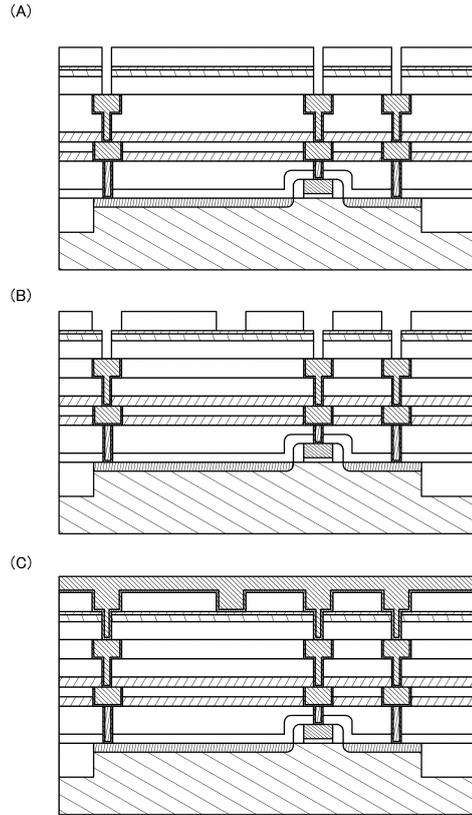
40

50

【図 9】



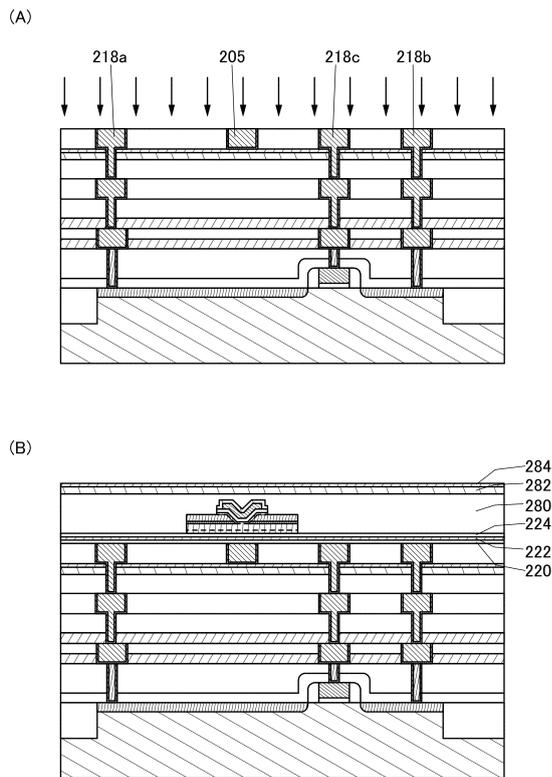
【図 10】



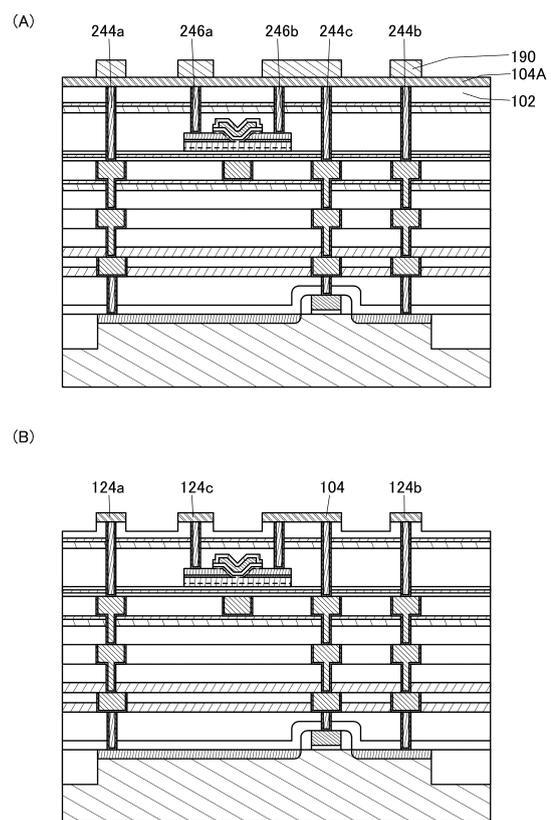
10

20

【図 11】



【図 12】

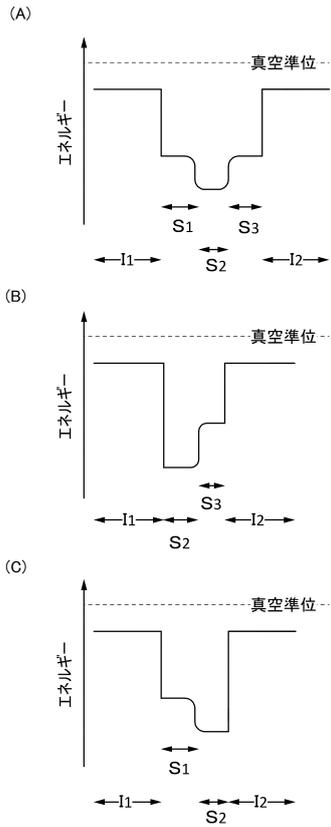


30

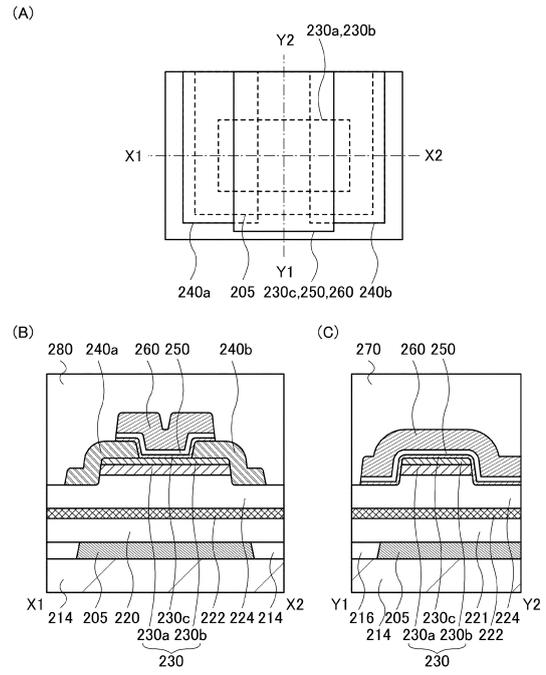
40

50

【図 17】



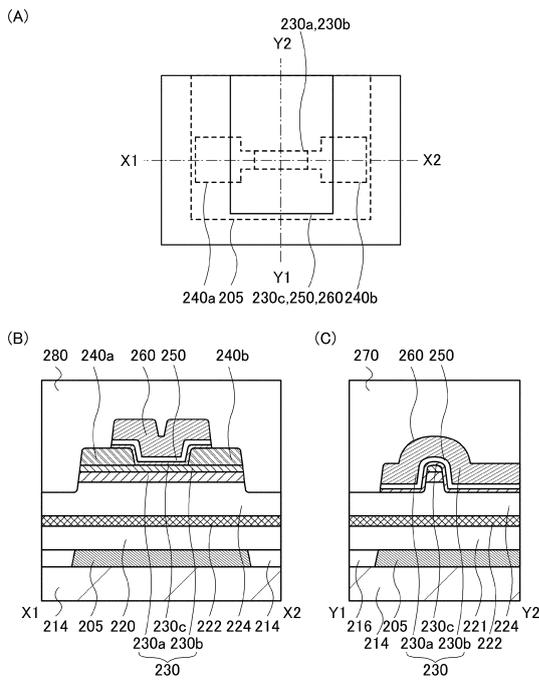
【図 18】



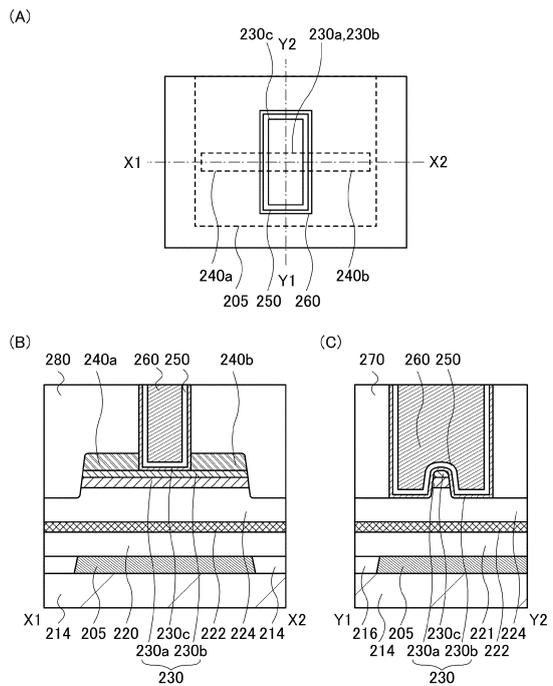
10

20

【図 19】



【図 20】

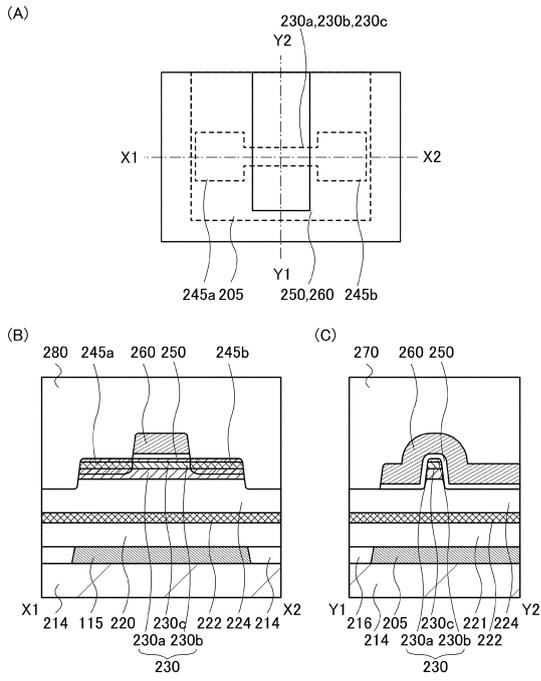


30

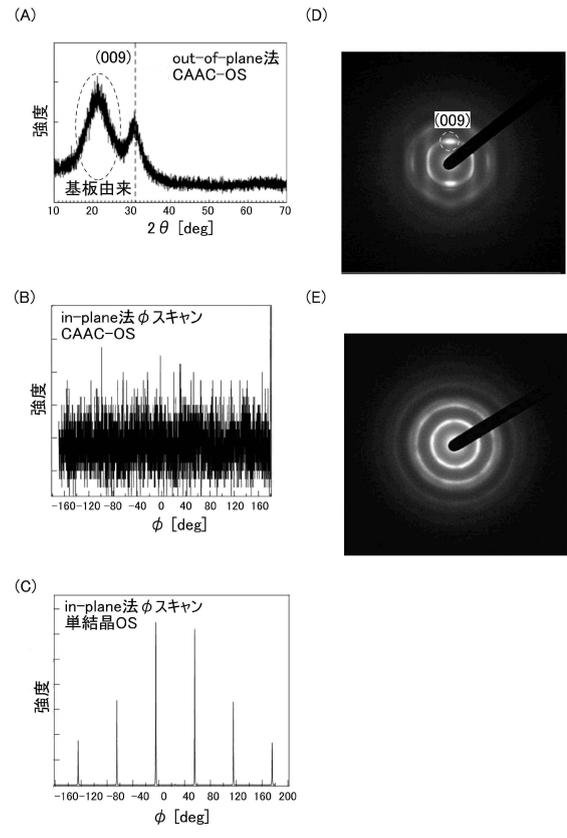
40

50

【図 2 1】



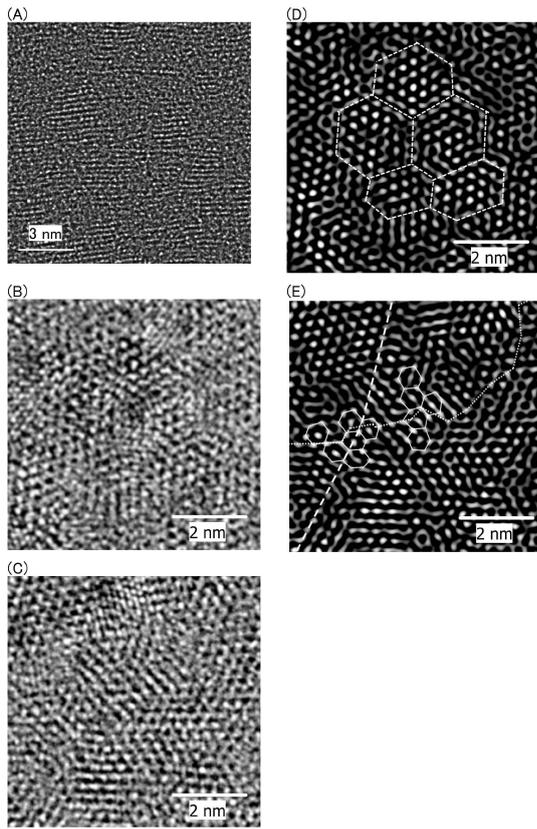
【図 2 2】



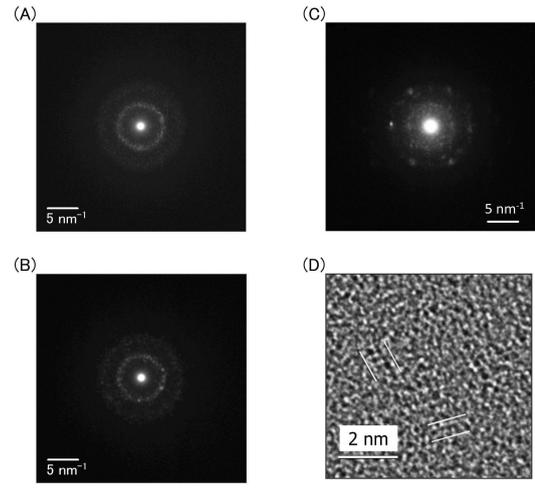
10

20

【図 2 3】



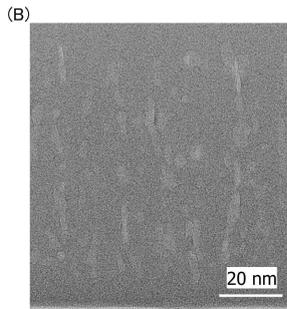
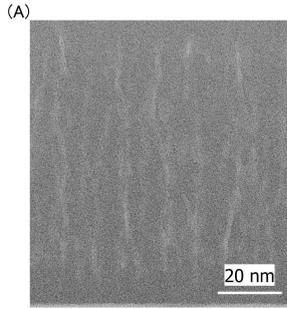
【図 2 4】



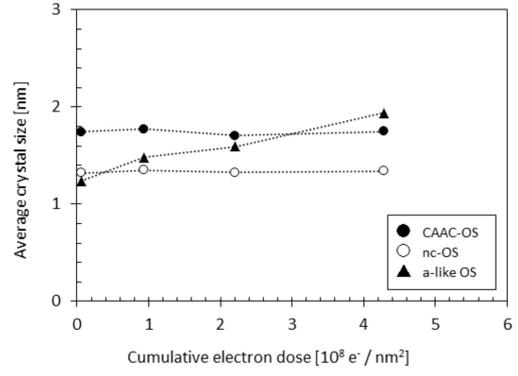
30

40

【 図 2 5 】



【 図 2 6 】

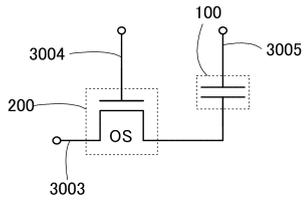


10

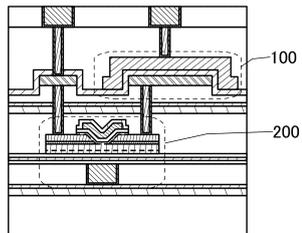
20

【 図 2 7 】

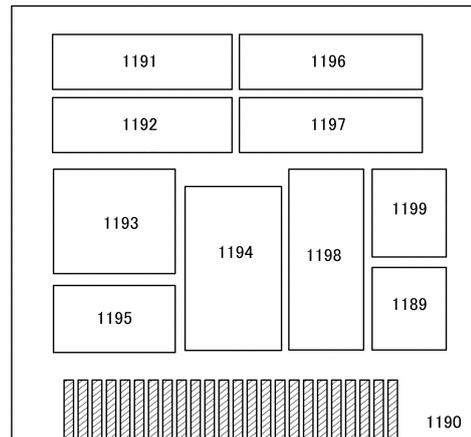
(A)



(B)



【 図 2 8 】

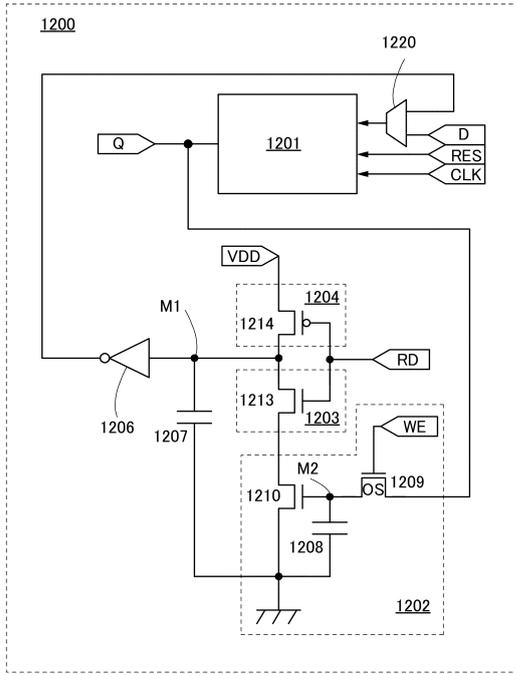


30

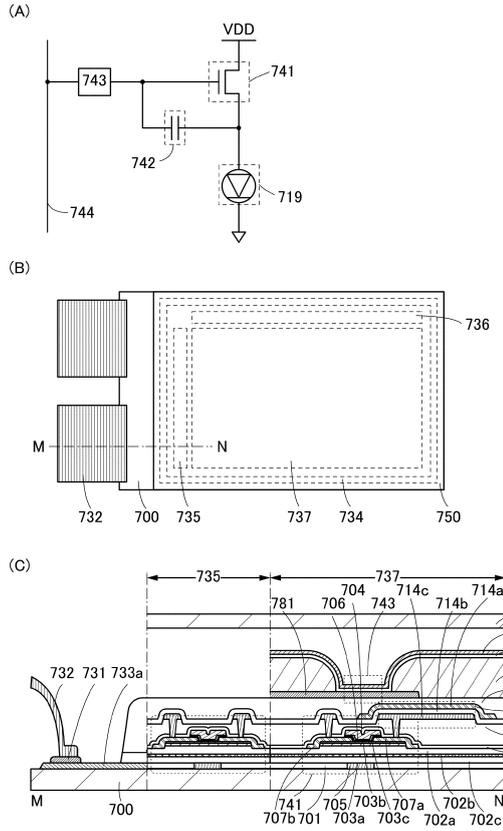
40

50

【 29 】



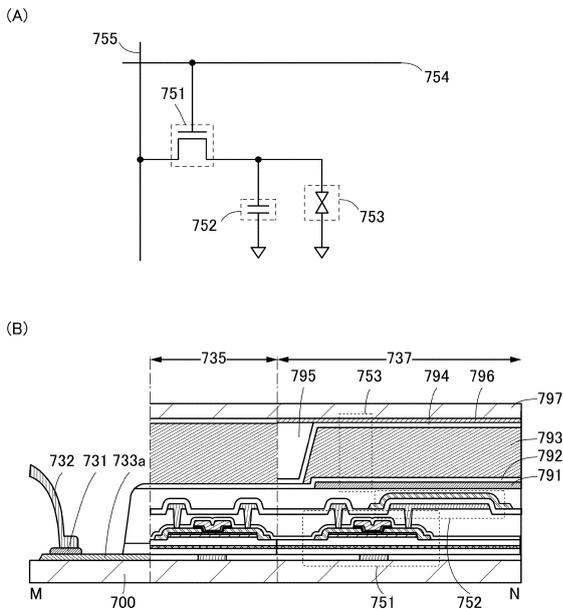
【 30 】



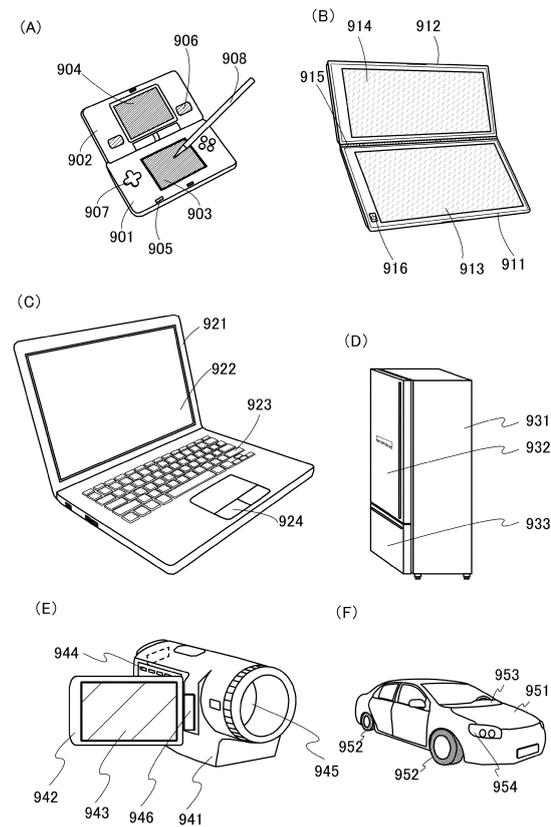
10

20

【 31 】



【 32 】



30

40

50

フロントページの続き

(51)国際特許分類

F I

<i>H 0 1 L</i>	<i>29/786 (2006.01)</i>	<i>H 0 1 L</i>	29/78	6 1 8 B
<i>H 0 1 L</i>	<i>21/336 (2006.01)</i>	<i>H 0 1 L</i>	29/78	6 1 9 A
<i>H 1 0 B</i>	<i>12/00 (2023.01)</i>	<i>H 1 0 B</i>	12/00	6 2 1 B

(56)参考文献

特開 2 0 1 5 - 1 9 5 0 7 4 (J P , A)
特開 2 0 1 5 - 1 6 4 1 8 1 (J P , A)
特開 2 0 1 5 - 1 8 7 9 0 2 (J P , A)
特開 2 0 1 5 - 1 8 8 0 7 0 (J P , A)
特開平 0 5 - 3 4 7 3 9 2 (J P , A)
特開平 1 1 - 0 2 6 7 2 1 (J P , A)
特開 2 0 0 0 - 1 8 8 3 8 3 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 1 0 B 1 2 / 0 0