



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월12일
 (11) 등록번호 10-1807538
 (24) 등록일자 2017년12월05일

(51) 국제특허분류(Int. Cl.)
H03M 13/05 (2006.01)
 (21) 출원번호 10-2011-0104928
 (22) 출원일자 2011년10월14일
 심사청구일자 2016년10월10일
 (65) 공개번호 10-2012-0078576
 (43) 공개일자 2012년07월10일
 (30) 우선권주장
 61/428,273 2010년12월30일 미국(US)
 (56) 선행기술조사문헌
 KR1020100032102 A
 KR1020030073532 A

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
공개필
 서울특별시 서초구 효령로 391 2동 1007호 (서초동, 무지개아파트)
안석원
 경기도 수원시 영통구 영통로 232 812동 1703호 (영통동, 벽적골8단지아파트)
 (74) 대리인
윤재석, 한지희, 권영규

전체 청구항 수 : 총 20 항

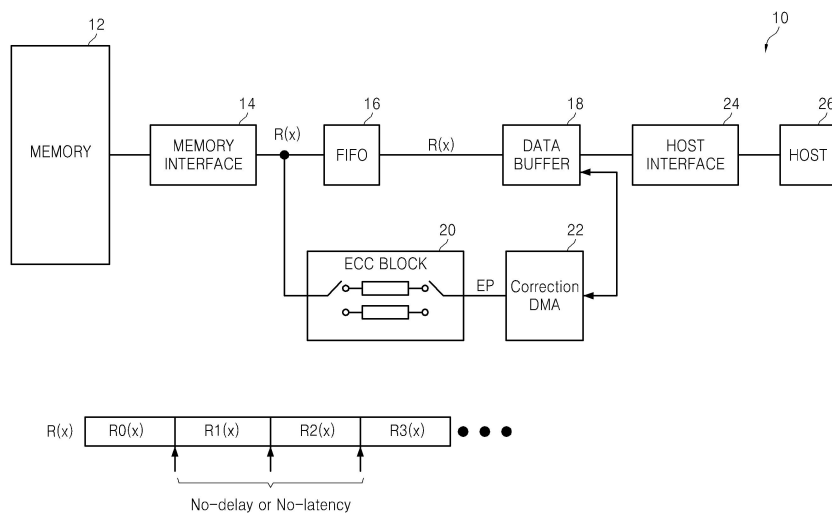
심사관 : 조춘근

(54) 발명의 명칭 **듀얼-신드롬 생성기를 포함하는 에러 정정 코드 블록, 이의 동작 방법, 및 상기 에러 정정 코드 블록을 포함하는 시스템**

(57) 요약

레이턴시(latency) 없이 연속적인 다수의 코드워드들을 처리할 수 있는 듀얼-신드롬 발생기를 포함하는 에러 정정 코드 블록은 상기 듀얼-신드롬 발생기 중에서 어느 하나를 이용하여 상기 다수의 코드워드들 중에서 해당하는 짝수 번째 코드워드에 대한 신드롬 값들을 계산하고 상기 듀얼-신드롬 발생기 중에서 다른 하나를 이용하여 상기 다수의 코드워드들 중에서 해당하는 홀수 번째 코드워드에 대한 신드롬 값들을 계산한다.

대표도 - 도1



명세서

청구범위

청구항 1

제1신드롬 생성기;

제2신드롬 생성기;

입력 단자, 제1출력 단자 및 제2출력 단자를 포함하는 다-멀티플렉서(de-multiplexer); 및
멀티플렉서 선택기를 포함하고,

상기 다-멀티플렉서는,

상기 입력 단자를 통해 연속적으로 입력되는 다수의 코드워드들을 수신하고,

제1상태를 가지는 제1선택 신호에 응답하여, 상기 다수의 코드워드들 중 짝수 번째 코드워드들을 상기 제1출력 단자를 통하여 상기 제1신드롬 생성기로만 전송하고,

상기 제1상태와 다른 제2상태를 가지는 상기 제1선택 신호에 응답하여, 상기 다수의 코드워드들 중 홀수 번째 코드워드들을 상기 제2출력 단자를 통하여 상기 제2신드롬 생성기로만 전송하고,

상기 짝수 번째 코드워드들만 상기 제1출력 단자를 통하여 전송하고,

상기 홀수 번째 코드워드들만 상기 제2출력 단자를 통하여 전송하고,

상기 멀티플렉서 선택기는 제2선택 신호에 응답하여 상기 제1신드롬 생성기와 상기 제2신드롬 생성기 중 어느 하나에 의해 결정된 신드롬 값들을 에러 위치 다항식 발생기 회로로 전송하는 에러 정정 코드(error correction code(ECC)) 회로.

청구항 2

제1항에 있어서, 상기 ECC 회로는,

클락 신호에 응답하여 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기; 및

상기 다수의 펄스들의 개수를 카운트하고 카운트 결과에 따라 상기 제1선택 신호를 생성하는 카운터를 더 포함하는 ECC 회로.

청구항 3

제2항에 있어서,

상기 주기는 상기 다수의 코드워드들 각각의 비트 수에 따라 결정되는 ECC 회로.

청구항 4

제1항에 있어서,

상기 제1신드롬 생성기는 제1레지스터에 저장된 이전 코드워드와 현재 짝수 번째 코드워드에 기초하여 상기 현재 짝수 번째 코드워드의 신드롬 값들을 제1신드롬 값으로 계산하고 계산된 상기 제1신드롬 값들을 상기 제1레지스터로 출력하고,

상기 제2신드롬 생성기는 제2레지스터에 저장된 이전 코드워드와 현재 홀수 번째 코드워드에 기초하여 상기 현재 홀수 번째 코드워드의 신드롬 값들을 제2신드롬 값으로 계산하고 계산된 상기 제2신드롬 값들을 상기 제2레지스터로 출력하는 ECC 회로.

청구항 5

제4항에 있어서,

상기 ECC 회로는 상기 에러 위치 다항식 발생기 회로를 더 포함하고,

상기 멀티플렉서 선택기는 상기 제2선택 신호에 응답하여, 상기 제1레지스터와 상기 제2레지스터 중 어느 하나로부터 출력된 신드롬 값들을 상기 에러 위치 다항식 발생기 회로로 전송하는 ECC회로.

청구항 6

제1항에 있어서,

상기 멀티플렉서 선택기는 상기 제2선택 신호에 응답하여, 상기 제1신드롬 생성기에 의해 생성된 상기 짝수 번째 코드워드들의 신드롬 값들과 상기 제2신드롬 생성기에 의해 생성된 상기 홀수 번째 코드워드들의 신드롬 값들 중 어느 하나를 상기 에러 위치 다항식 발생기 회로로 전송하는 ECC회로.

청구항 7

제6항에 있어서, 상기 ECC 회로는,

클락 신호에 응답하여 상기 다수의 코드워드들 각각의 비트 수에 따라 결정된 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기;

상기 다수의 펄스들의 개수를 카운트하여 제3선택 신호를 생성하는 1-비트 카운터;

상기 제3선택 신호에 따라, 상기 펄스 발생기로부터 출력된 상기 다수의 펄스들을 제1출력 단자 또는 제2출력 단자로 출력하는 제3선택기;

상기 제1출력 단자의 출력 신호에 응답하여 초기화된 후, 상기 클락 신호에 응답하여 업-카운트(up-count)를 수행하고, 카운트 값과 기준 값의 비교 결과에 대응되는 제1시작 신호를 출력하는 제1카운터;

상기 제1시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제1스태이트 머신;

상기 제2출력 단자의 출력 신호에 응답하여 초기화된 후, 상기 클락 신호에 응답하여 업-카운트를 수행하고, 카운트 값과 상기 기준 값의 비교 결과에 대응되는 제2시작 신호를 출력하는 제2카운터; 및

상기 제2시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제2스태이트 머신을 더 포함하는 ECC 회로.

청구항 8

제6항에 있어서, 상기 ECC 회로는,

클락 신호에 응답하여 상기 다수의 코드워드들 각각의 비트 수에 따라 결정된 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기;

상기 제1선택 신호에 응답하여, 상기 다수의 펄스들 중에서 짝수 번째 펄스를 제1출력 단자로 출력하고 상기 다수의 펄스들 중에서 홀수 번째 펄스를 제2출력 단자로 출력하는 제2선택기;

상기 제1출력 단자의 출력 신호에 응답하여 초기화된 후 상기 클락 신호를 카운트하고, 카운트 값과 기준 값의 비교 결과에 대응되는 제1시작 신호를 출력하는 제1카운터;

상기 제1시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제1스태이트 머신;

상기 제2출력 단자의 출력 신호에 응답하여 초기화된 후 상기 클락 신호를 카운트하고, 카운트 값과 상기 기준 값의 비교 결과에 대응되는 제2시작 신호를 출력하는 제2카운터; 및

상기 제2시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제2스태이트 머신을 포함하는 ECC 회로.

청구항 9

메모리로부터 연속적으로 출력되는 다수의 코드워드들을 수신하는 FIFO (first-in first-out) 버퍼;

상기 FIFO 버퍼로부터 출력된 상기 다수의 코드워드들을 저장하는 데이터 버퍼;

다수의 신드롬 생성기들 중에서 상기 메모리로부터 출력된 상기 다수의 코드워드들의 순서에 따라 선택된 신드롬 생성기를 이용하여 신드롬 값들을 생성하고, 생성된 신드롬 값들로부터 에러 위치 다항식을 계산하고, 계산된 에러 위치 다항식의 해들을 계산하고, 계산된 해들로부터 다수의 에러 위치들을 출력하는 에러 정정 코드

(error correction code (ECC)) 회로;

상기 다수의 에러 위치들을 이용하여, 코드워드 단위로 상기 데이터 버퍼로부터 리드된 코드워드에 포함된 에러를 정정하고 에러 정정된 코드워드를 상기 데이터 버퍼에 저장하는 정정 DMA(direct memory access); 및

상기 데이터 버퍼에 저장된 상기 에러 정정된 코드워드를 호스트로 전송하기 위한 호스트 인터페이스를 포함하고,

상기 다수의 신드롬 생성기들은 제1신드롬 값들을 결정하는 제1신드롬 생성기와 제2신드롬 값들을 결정하는 제2신드롬 생성기를 포함하고,

상기 ECC 회로는,

입력 단자, 제1출력 단자 및 제2출력 단자를 포함하는 다-멀티플렉서(de-multiplexer); 및

멀티플렉서 선택기를 포함하고,

상기 다-멀티플렉서는,

상기 입력 단자를 통해 연속적으로 입력되는 다수의 코드워드들을 수신하고,

제1상태를 가지는 제1선택 신호에 응답하여 상기 다수의 코드워드들 중 짝수 번째 코드워드들을 상기 제1출력 단자를 통하여 상기 제1신드롬 생성기로만 전송하고,

상기 제1상태와 다른 제2상태를 가지는 상기 제1선택 신호에 응답하여 상기 다수의 코드워드들 중 홀수 번째 코드워드들을 상기 제2출력 단자를 통하여 상기 제2신드롬 생성기로만 전송하고,

상기 짝수 번째 코드워드들만 상기 제1출력 단자를 통하여 전송하고, 상기 홀수 번째 코드워드들만 상기 제2출력 단자를 통하여 전송하고,

상기 제1선택 신호는 상기 순서에 따라 생성되고,

상기 멀티플렉서 선택기는 제2선택 신호에 응답하여 상기 제1신드롬 생성기와 상기 제2신드롬 생성기 중 어느 하나에 의해 결정된 신드롬 값들을 에러 위치 다항식 발생기 회로로 전송하는 시스템.

청구항 10

제9항에 있어서,

상기 멀티플렉서 선택기는 상기 순서에 따라 생성된 상기 제2선택 신호에 응답하여, 상기 제1신드롬 생성기와 상기 제2신드롬 생성기 중 어느 하나로부터 출력된 신드롬 값들을 출력하고,

상기 ECC 회로는,

상기 멀티플렉서 선택기로부터 출력된 신드롬 값들로부터 상기 에러 위치 다항식을 계산하는 상기 에러 위치 다항식 발생기 회로; 및

상기 에러 위치 다항식의 해들을 계산하고 계산 결과에 따라 상기 다수의 에러 위치들을 출력하는 에러 위치 계산기를 더 포함하는 시스템.

청구항 11

제10항에 있어서, 상기 ECC 회로는,

클럭 신호에 응답하여 상기 다수의 코드워드들 각각의 비트 수에 따라 결정된 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기; 및

상기 다수의 펄스들의 개수를 카운트하고 카운트 결과에 따라 상기 제1선택 신호를 생성하는 카운터를 더 포함하는 시스템

청구항 12

제10항에 있어서,

상기 ECC 회로는 제1레지스터와 제2레지스터를 더 포함하고,

상기 제1신드롬 생성기는 제1레지스터에 저장된 이전 코드워드와 현재 짝수 번째 코드워드에 기초하여 상기 현재 짝수 번째 코드워드의 신드롬 값들을 상기 제1신드롬 값으로 계산하고 계산된 상기 제1신드롬 값들을 상기 제1레지스터로 출력하고,

상기 제2신드롬 생성기는 제2레지스터에 저장된 이전 코드워드와 현재 홀수 번째 코드워드에 기초하여 상기 현재 홀수 번째 코드워드의 신드롬 값들을 상기 제2신드롬 값으로 계산하고 계산된 상기 제2신드롬 값들을 상기 제2레지스터로 출력하고,

상기 멀티플렉서 선택기는 상기 제2선택 신호에 응답하여, 상기 제1레지스터와 상기 제2레지스터 중 어느 하나에 저장된 신드롬 값들을 상기 에러 위치 다항식 발생기 회로로 전송하는 시스템.

청구항 13

제9항에 있어서, 상기 시스템은 휴대 전화(mobile phone), 스마트 폰, 태블릿 PC 및 메모리 카드 중 어느 하나인 시스템.

청구항 14

적어도 메모리로부터 출력된 제1코드워드 열(series of codewords)을 생성하고 제1신드롬 생성기를 포함하는 제1처리 경로와 상기 메모리로부터 출력된 제2코드워드 열을 생성하고 제2신드롬 생성기를 포함하는 제2처리 경로;

입력 단자, 제1출력 단자 및 제2출력 단자를 포함하는 디-멀티플렉서(de-multiplexer); 및 멀티플렉서 선택기를 포함하고,

상기 디-멀티플렉서는,

상기 입력 단자를 통해 연속적으로 입력되는 다수의 코드워드들을 수신하고,

상기 제1신드롬 생성기는 제1상태를 가지는 제1선택 신호에 응답하여 상기 디-멀티플렉서의 상기 제1출력 단자에 접속되고,

상기 제2신드롬 생성기는 상기 제1상태와 다른 제2상태를 가지는 제1선택 신호에 응답하여 상기 디-멀티플렉서의 상기 제2출력 단자에 접속되고,

상기 멀티플렉서 선택기는 제2선택 신호에 응답하여 상기 제1처리 경로와 상기 제2처리 경로 중 어느 하나에 의해 생성된 신드롬 값들을 에러 위치 다항식 발생기 회로로 전송하는 에러 정정 코드(error correction code(ECC)) 회로.

청구항 15

제14항에 있어서, 상기 제1코드워드 열은 상기 메모리로부터 출력된 짝수 번째 코드워드들을 포함하고, 상기 제2코드워드 열은 상기 메모리로부터 출력된 홀수 번째 코드워드들을 포함하는 ECC 회로.

청구항 16

제14항에 있어서,

상기 메모리로부터 상기 제1처리 경로와 상기 제2처리 경로 중 어느 하나로 상기 코드워드들을 선택적으로 전달하는(direct) 선택기를 더 포함하는 ECC 회로.

청구항 17

제14항에 있어서,

상기 제1처리 경로는 제1레지스터를 더 포함하고,

상기 제2처리 경로는 제2레지스터를 더 포함하고,

상기 제1신드롬 생성기는 상기 제1레지스터에 저장된 상기 제1코드워드 열 내의 이전 코드워드와 상기 제1코드워드 열 내의 현재 코드워드에 기초하여 상기 현재 코드워드에 대한 제1신드롬 값들을 생성하고,

상기 제2신드롬 생성기는 상기 제2레지스터에 저장된 상기 제2코드워드 열 내의 이전 코드워드와 상기 제2코드워드 열 내의 현재 코드워드에 기초하여 상기 현재 코드워드에 대한 제2신드롬 값들을 생성하는 ECC 회로.

청구항 18

제17항에 있어서,

상기 ECC 회로는 상기 에러 위치 다항식 발생기 회로를 더 포함하고,

상기 에러 위치 다항식 발생기 회로는 상기 제1처리 경로와 상기 제2처리 경로의 출력으로부터 에러 위치 다항식들과 에러 위치 다항식 계수들 중 하나를 생성하는 ECC 회로.

청구항 19

제18항에 있어서,

상기 에러 위치 다항식 발생기 회로의 출력에 기초하여 에러 위치들을 생성하는 검색 블록을 더 포함하는 ECC 회로.

청구항 20

제14항에 있어서,

상기 에러 위치 다항식 발생기 회로; 및

검색 유닛을 더 포함하고,

상기 에러 위치 다항식 발생기 회로는 상기 제1처리 경로와 상기 제2처리 경로로부터 생성된 신드롬 값들 각각에 기초하여 제1에러 위치 다항식과 제2에러 위치 다항식을 각각 생성하고,

상기 검색 유닛은 제1에러 위치와 제2에러 위치를 생성하기 위해 상기 제1에러 위치 다항식과 상기 제2에러 위치 다항식에 검색 알고리즘을 각각 적용하는 ECC 회로.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 에러 정정 기술에 관한 것으로, 특히 레이턴시(latency) 없이 연속적인 다수의 코드워드들을 처리할 수 있는 듀얼-신드롬 생성기를 포함하는 에러 정정 코드 블록, 이의 동작 방법, 및 상기 에러 정정 코드 블록을 포함하는 시스템에 관한 것이다.

배경 기술

[0002] 데이터 처리 시스템에서 데이터는 전송 중에 변경될 수 있다. 따라서 신뢰성 있는 통신을 위하여 변경된 데이터는 검출되고 정정되어야 한다. 변경된 데이터를 검출하는 방법으로서 패리티 검사(parity check), 순환중복 검사(cyclical redundancy check), 또는 검사합(checksum)이 사용된다.

[0003] 상기 데이터에 포함된 에러를 정정하는 방법으로서 수신 장치가 송신 장치로 상기 데이터의 재전송을 요구하는 방법 또는 수신 장치가 에러 정정 코드를 이용하여 상기 데이터에 포함된 에러를 자동으로 정정하는 방법이 있다.

[0004] 에러 정정 디코더(error correction decoder)는 메모리로부터 리드된 데이터에 포함된 에러를 정정하기 위하여 사용된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 데이터 처리 성능을 극대화하기 위하여 레이턴시(latency) 없이 연속적인 다수의 코드워드들을 처리할 수 있는 듀얼-신드롬 발생기를 포함하는 에러 정정 코드 블록, 이의 동작 방법, 및 상기 에러 정정 코드 블록을 포함하는 시스템을 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명의 실시 예에 따른 에러 정정 코드(error correction code(ECC)) 회로는 제1신드롬 생성기와, 제2신드롬 생성기와, 제1선택 신호(SEL1)에 응답하여, 연속적으로 입력되는 다수의 코드워드들 중에서 짝수 번째 코드워드를 상기 제1신드롬 생성기로 전송하거나 상기 다수의 코드워드들 중에서 홀수 번째 코드워드를 상기 제2신드롬 생성기로 전송하는 제1선택기를 포함한다.
- [0007] 상기 ECC 회로는 클럭 신호(CLK)에 응답하여 일정한 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기와, 상기 다수의 펄스들의 개수를 카운트하고 카운트 결과에 따라 상기 제1선택 신호를 생성하는 카운터를 더 포함한다.
- [0008] 상기 일정한 주기는 상기 다수의 코드워드들 각각의 비트 수에 따라 결정된다.
- [0009] 상기 제1신드롬 생성기는 제1레지스터에 저장된 이전 코드워드와 현재 짝수 번째 코드워드에 기초하여 상기 현재 짝수 번째 코드워드의 신드롬 값들을 계산하고 계산된 신드롬 값들을 상기 제1레지스터로 출력하고, 상기 제2신드롬 생성기는 제2레지스터에 저장된 이전 코드워드와 현재 홀수 번째 코드워드에 기초하여 상기 현재 홀수 번째 코드워드의 신드롬 값들을 계산하고 계산된 신드롬 값들을 상기 제2레지스터로 출력한다.
- [0010] 실시 예에 따라 상기 ECC 회로는, 제2선택 신호에 응답하여, 상기 제1레지스터로부터 출력된 신드롬 값들 또는 상기 제2레지스터로부터 출력된 신드롬 값들을 에러 위치 다항식 발생기 회로로 전송하기 위한 제2선택기를 더 포함한다.
- [0011] 다른 실시 예에 따라 상기 ECC 회로는, 제2선택 신호에 응답하여, 상기 제1신드롬 생성기에 의하여 생성된 상기 짝수 번째 코드워드에 대한 신드롬 값들 또는 상기 제2신드롬 생성기에 의하여 생성된 상기 홀수 번째 코드워드에 대한 신드롬 값들을 에러 위치 다항식 발생기 회로로 전송하기 위한 제2선택기를 더 포함한다.
- [0012] 또 다른 실시 예에 따라, 상기 ECC 회로는 클럭 신호에 응답하여 상기 다수의 코드워드들 각각의 비트 수에 따라 결정된 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기와, 상기 다수의 펄스들의 개수를 카운트하여 제3선택 신호를 생성하는 1-비트 카운터와, 상기 제3선택 신호에 따라, 상기 펄스 발생기로부터 출력된 상기 다수의 펄스들을 제1출력 단자 또는 제2출력 단자로 출력하는 제3선택기와, 상기 제1출력 단자의 출력 신호에 응답하여 초기화된 후 클럭 신호를 카운트하고, 카운트 값과 기준 값의 비교 결과에 대응되는 제1시작 신호를 출력하는 제1카운터와, 상기 제1시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제1스태이트 머신과, 상기 제2출력 단자의 출력 신호에 응답하여 초기화된 후 상기 클럭 신호를 카운트하고 카운트 값과 상기 기준 값의 비교 결과에 대응되는 제2시작 신호를 출력하는 제2카운터와, 상기 제2시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제2스태이트 머신을 더 포함한다.
- [0013] 또 다른 실시 예에 따라 상기 ECC 회로는 클럭 신호에 응답하여 상기 다수의 코드워드들 각각의 비트 수에 따라 결정된 주기를 갖는 다수의 펄스들을 생성하는 펄스 발생기와, 상기 제1선택 신호에 응답하여, 상기 다수의 펄스들 중에서 짝수 번째 펄스를 제1출력 단자로 출력하고 상기 다수의 펄스들 중에서 홀수 번째 펄스를 제2출력 단자로 출력하는 제2선택기와, 상기 제1출력 단자의 출력 신호에 응답하여 초기화된 후 클럭 신호를 카운트하고 카운트 값과 기준 값의 비교 결과에 대응되는 제1시작 신호를 출력하는 제1카운터와, 상기 제1시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제1스태이트 머신과, 상기 제2출력 단자의 출력 신호에 응답하여 초기화된 후 상기 클럭 신호를 카운트하고 카운트 값과 상기 기준 값의 비교 결과에 대응되는 제2시작 신호를 출력하는 제2카운터와, 상기 제2시작 신호에 응답하여 상기 제2선택 신호를 출력하는 제2스태이트 머신을 포함한다.
- [0014] 본 발명의 실시 예에 따른 시스템은 메모리로부터 연속적으로 출력되는 다수의 코드워드들을 수신하는 FIFO (first-in first-out) 버퍼와, 상기 FIFO 버퍼로부터 출력된 상기 다수의 코드워드들을 저장하는 데이터 버퍼와, 다수의 신드롬 생성기들 중에서 상기 메모리로부터 출력된 상기 다수의 코드워드들의 순서에 따라 선택된 신드롬 생성기를 이용하여 신드롬 값들을 생성하고, 생성된 신드롬 값들로부터 에러 위치 다항식을 계산하고, 계산된 에러 위치 다항식의 해들을 계산하고, 계산된 해들로부터 다수의 에러 위치들을 출력하는 에러 정정 코드(error correction code (ECC)) 회로와, 상기 다수의 에러 위치들을 이용하여, 코드워드 단위로 상기 데이터 버퍼로부터 리드된 코드워드에 포함된 에러를 정정하고 에러 정정된 코드워드를 상기 데이터 버퍼에 저장하는 정정 DMA(direct memory access)와, 상기 정정 DMA에 저장된 상기 에러 정정된 코드워드를 호스트로 전송하기 위한 호스트 인터페이스를 포함한다.
- [0015] 상기 다수의 신드롬 생성기들이 제1신드롬 생성기와 제2신드롬 생성기를 포함할 때, 상기 ECC 회로는 상기 순서

에 따라 생성된 제1선택 신호에 응답하여, 상기 다수의 코드워드들 중에서 짝수 번째 코드워드를 상기 제1신드롬 생성기로 전송하거나 상기 다수의 코드워드들 중에서 홀수 번째 코드워드를 상기 제2신드롬 생성기로 전송하는 제1선택기와, 상기 순서에 따라 생성된 제2선택 신호에 응답하여, 상기 제1신드롬 생성기로부터 출력된 신드롬 값들 또는 상기 제2신드롬 생성기로부터 출력된 신드롬 값들을 출력하는 제2선택기와, 상기 제2선택기로부터 출력된 신드롬 값들로부터 상기 에러 위치 다항식을 계산하는 에러 위치 다항식 발생기와, 상기 에러 위치 다항식의 해들을 계산하고 계산 결과에 따라 상기 다수의 에러 위치들을 출력하는 에러 위치 계산기를 포함한다.

발명의 효과

- [0016] 본 발명의 실시 예에 따른 듀얼-신드롬 생성기를 포함하는 에러 정정 코드 회로는 레이턴시 없이 연속적인 다수의 코드워드들을 처리할 수 있는 효과가 있다.
- [0017] 따라서 상기 에러 정정 코드 회로를 포함하는 시스템은 고속으로 동작할 수 있다.

도면의 간단한 설명

- [0018] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
 - 도 1은 본 발명의 실시 예에 따른 듀얼-신드롬 생성기를 포함하는 에러 정정 코드 블록을 포함하는 시스템의 블록도를 나타낸다.
 - 도 2는 도 1에 도시된 듀얼-신드롬 생성기를 포함하는 에러 정정 코드 블록의 블록도를 나타낸다.
 - 도 3은 제1선택 신호 생성기의 블록도를 나타낸다.
 - 도 4는 제2선택 신호 생성기의 일 실시 예를 나타내는 블록도를 나타낸다.
 - 도 5는 제2선택 신호 생성기의 다른 실시 예를 나타내는 블록도를 나타낸다.
 - 도 6은 종래의 코드워드들의 전송과 본 발명의 실시 예에 따른 코드워드들의 전송을 나타낸다.
 - 도 7은 도 1에 도시된 듀얼-신드롬 생성기의 동작을 설명하기 위한 플로우차트이다.
 - 도 8은 도 1에 도시된 듀얼-신드롬 생성기의 동작을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 도 1은 본 발명의 실시 예에 따른 듀얼-신드롬 생성기를 포함하는 에러 정정 코드 블록을 포함하는 시스템의 블록도를 나타낸다.
- [0020] 도 1을 참조하면, 시스템(10)은 메모리(memory; 12), 메모리 인터페이스 (memory interface; 14), FIFO(first-in first-out; 또는 FIFO 버퍼; 16), 데이터 버퍼(data buffer; 18), 에러 정정 코드(error correction code(ECC)) 블록(또는 ECC 회로; 20), 정정 DMA(correction direct memory access(DMA); 또는 DMA 회로; 22), 호스트 인터페이스(host interface; 24), 및 호스트(host; 26)를 포함한다.
- [0021] 시스템(10)은 PC(personal computer), 태블릿(tablet) PC, 노트북, 메모리 카드(memory card), 스마트 카드(smart card), 이동 전화기, 스마트 폰(smart phone), 데이터 서버(data server), HDD(hard disk drive), SSD(solid state drive), 또는 네트워크-결합 스토리지(Network-attached storage(NAS))로 구현될 수 있다.
- [0022] 메모리(12)는 다수의 코드워드들(R(x))을 저장하고, 리드 동작(read operation) 동안에 레이턴시(latency) 없는 연속적인 다수의 코드워드들(R(x))을 메모리 인터페이스(14)로 전송한다.
- [0023] 메모리(12)는 휘발성 메모리 셀(volatile memory cell)을 포함하는 메모리 또는 비휘발성 메모리 셀(non-volatile memory cell)을 포함하는 메모리로 구현될 수 있다.
- [0024] 상기 휘발성 메모리 셀은 DRAM(dynamic random access memory), SRAM (static random access memory), T-RAM(thyristor RAM), Z-RAM(zero capacitor RAM), 또는 TTRAM(Twin Transistor RAM)과 같이 현존하는 휘발성 메모리 셀 (volatile memory cell)과 현재 개발 중인 휘발성 메모리 셀을 의미한다.
- [0025] 또한, 상기 비휘발성 메모리 셀은 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시(flash) 메모리, MRAM(Magnetic RAM), 스핀전달토크 MRAM(Spin-Transfer Torque MRAM), Conductive bridging RAM(CBRAM), FeRAM(Ferroelectric RAM), OUM(Ovonic Unified Memory)라고도 불리는 PRAM(Phase change RAM),

저항 메모리(Resistive RAM: RRAM 또는 ReRAM), 나노튜브 RRAM (Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리 (Insulator Resistance Change Memory)를 포함할 수 있다. 상기 비휘발성 메모리 셀은 1-비트 또는 그 이상의 비트들을 저장할 수 있다.

- [0026] 메모리 인터페이스(14)는 메모리(12)와 FIFO(16) 사이에서 주고받는 데이터를 인터페이싱한다. 예컨대, 메모리 인터페이스(14)는 리드 동작 동안 메모리 (12)로부터 출력된 데이터를 FIFO(16) 또는 ECC 블록(20)이 처리할 수 있는 데이터로 변환할 수 있다. 또한, 메모리 인터페이스(14)는 라이트(또는 프로그램) 동작 동안 FIFO(16)로부터 출력된 데이터를 메모리(12)가 처리할 수 있는 데이터로 변환할 수 있다.
- [0027] FIFO(16)는 메모리 인터페이스(14)를 통하여 입력된 버스트 코드워드들을 순차적으로 저장할 수 있다. 데이터 버퍼(18)는 FIFO(16)로부터 순차적으로 출력된 코드워드를 저장할 수 있다. 예컨대, 데이터 버퍼(18)는 듀얼-포트(dual-port) SRAM으로 구현될 수 있다.
- [0028] 듀얼-신드롬 생성기(dual syndrome generator)를 포함하는 ECC 블록(20)은 하나의 채널(single channel) 또는 하나의 데이터 버스를 통하여 순차적으로 입력되는 다수의 버스트 코드워드들(R(x))로부터 신드롬 값들을 생성하고, 상기 신드롬 값들로부터 에러 위치 다항식들(error locator polynomials; $\Lambda(x)$)을 계산하고, 계산된 에러 위치 다항식들의 해들(roots)을 계산하고, 계산된 해들로부터 다수의 에러 위치들(EP)을 출력할 수 있다.
- [0029] 도 1에 도시된 바와 같이, 코드워드(들)를 전송하는 시간 내에 에러 위치 다항식을 계산하는 시간과 치엔 서치 시간이 포함된다면 연속적인 다수의 코드워드들(R(x)) 각각의 코드워드 사이에는 어떠한 지연(delay)이나 레이턴시 (latency)가 존재하지 않는다. 따라서 듀얼-신드롬 생성기를 포함하는 ECC 블록(20)을 포함하는 시스템 (10)은 고속 동작이 가능하다.
- [0030] 본 발명의 개념에 따른 ECC 블록(20)의 구조와 동작을 도 2를 참조하여 상세히 설명될 것이다.
- [0031] 정정 DMA(22)는 코드워드 단위로 데이터 버퍼(18)로부터 리드된 코드워드와 ECC 블록(20)으로부터 출력된 다수의 에러 위치들(EP)을 수신하고, 다수의 에러 위치들(EP)을 이용하여, 리드된 코드워드에 포함된 에러를 정정하고, 에러 정정된 코드워드를 데이터 버퍼(18)에 저장한다. 정정 DMA(22)는 에러 정정기(error corrector)의 일 예이다.
- [0032] 호스트 인터페이스(24)는 데이터 버퍼(18)와 호스트(26) 사이에서 주고받는 데이터를 인터페이싱한다. 예컨대, 호스트 인터페이스(24)는 리드 동작 동안 데이터 버퍼(18)로부터 출력된 데이터를 호스트(26)가 처리할 수 있는 데이터로 변환할 수 있다. 또한, 호스트 인터페이스(24)는 라이트(또는 프로그램) 동작 동안 호스트(26)로부터 출력된 데이터를 데이터 버퍼(18)가 처리할 수 있는 데이터로 변환할 수 있다.
- [0033] 도 2는 도 1에 도시된 듀얼-신드롬 생성기를 포함하는 에러 정정 코드 블록의 블록도를 나타낸다.
- [0034] 도 2를 참조하면, 듀얼-신드롬 생성기(120과 130)를 포함하는 ECC 블록 (20)은 제1선택기(110), 제1신드롬 생성기(120), 제1레지스터(122), 제2신드롬 생성기(130), 제2레지스터(132), 제2선택기(140), 및 제2선택 신호 발생기(170)를 포함한다.
- [0035] ECC 블록(20)은 에러 위치 다항식 발생기(150)와 치엔 서치(160)를 더 포함한다. ECC 블록(20)에 더 포함되는 구성 요소들은 ECC 블록(20)이 BCH 코드를 이용하여 ECC를 수행하는지 또는 RS(Reed-Solomon) 코드를 이용하여 ECC를 수행하는지에 따라 결정될 수 있다.
- [0036] 디-멀티플렉서(de-multiplexer)로 구현될 수 있는 제1선택기(110)는, 제1상태(예컨대, 로우 레벨)를 갖는 제1선택 신호(SEL1)에 따라, 연속적으로 입력되는 다수의 코드워드들(R(x)=DATA, 또는 다수의 청크들(chunks)) 중에서 짝수 번째 코드워드(R0(x)), R2(x), ...)를 제1출력 단자(0)를 통하여 제1신드롬 생성기 (120)로 전송한다. 코드워드(들)를 전송하는 시간 내에 에러 위치 다항식을 계산하는 시간과 치엔 서치 시간이 포함된다면 다수의 코드워드들(Ri(x), x=0, 1, 2, ...) 각각의 사이의 레이턴시(latency) 또는 지연은 0이다. 설명의 편의를 위하여 첫 번째 코드워드(R0(x))도 짝수 번째 코드워드라 한다.
- [0037] 또한, 제1선택기(110)는, 제2상태(예컨대, 하이 레벨)를 갖는 제1선택 신호 (SEL1)에 따라, 연속적으로 입력되는 다수의 코드워드들(R(x)) 중에서 홀수 번째 코드워드(R1(x), R3(x), ...)를 제2출력 단자(1)를 통하여 제2신드롬 생성기(130)로 전송한다.

- [0038] 실시 예에 따라, 제1선택 신호(SEL1)는 ECC 블록(20)의 외부로부터 입력될 수 있고, 도 3에 도시된 바와 같이 ECC 블록(20)의 내부에서 자체적으로 생성될 수 있다.
- [0039] 예컨대, 제1선택 신호(SEL1)는 다수의 코드워드들(R(x)) 각각의 순서를 나타내는 순서 정보 중에서 LSB(least significant bit)일 수 있다. 예컨대, 다수의 코드워드들(R(x))이 8개이고 상기 순서 정보가 3-비트일 때, 제1선택 신호(SEL1)는 3-비트의 LSB일 수 있다.
- [0040] 제1신드롬 생성기(120)는 제1선택기(110)로부터 전송된 짝수 번째 코드워드로부터 신드롬 값들을 계산한다. 즉, 제1신드롬 생성기(120)는 클락 신호에 응답하여 현재 데이터(current data)와 제1레지스터(122)로부터 피드백되는 이전 데이터(previous data)에 기초하여 신드롬 값을 계산하고 계산된 신드롬 값을 저장하기 위하여 제1레지스터(122)로 출력한다.
- [0041] 제2신드롬 생성기(130)는 제1선택기(110)로부터 전송된 홀수 번째 코드워드로부터 신드롬 값들을 계산한다. 즉, 제2신드롬 생성기(130)는 클락 신호에 응답하여 현재 데이터와 제2레지스터(132)로부터 피드백되는 이전 데이터에 기초하여 신드롬 값을 계산하고 계산된 신드롬 값을 저장하기 위하여 제2레지스터 (132)로 출력한다.
- [0042] 멀티플렉서(multiplexer)로 구현될 수 있는 제2선택기(140)는 제2선택 신호(SEL2)에 따라 제1레지스터(122)로부터 출력된 짝수 번째 신드롬 값들(Se(x)) 또는 제2레지스터(132)로부터 출력된 홀수 번째 신드롬 값들(So(x))을 에러 위치 다항식 발생기(150)로 전송한다.
- [0043] 제2선택 신호(SEL2)는 제2선택 신호 발생기(170)에 의하여 생성될 수 있다.
- [0044] 키-방정식 솔버(key equation solver)로서의 기능을 수행하는 에러 위치 다항식 발생기(150)는 제2선택기(140)로부터 출력된 각 짝수 번째 코드워드(R0(x), R2(x), ...)에 대한 신드롬 값들(Se(x)) 또는 각 홀수 번째 코드워드(R1(x), R3(x), ...)에 대한 신드롬 값들(So(x))로부터 에러 위치 다항식(error locator polynomial; $\Lambda(x)$) 또는 에러 위치 다항식의 계수들을 계산한다.
- [0045] 에러 위치 다항식 발생기(150)는 코드워드 단위로 각 코드워드에 대한 신드롬 값들(Se(x), 또는 So(x))이 모두 0이 아닐 때, 즉 상기 각 코드워드에 적어도 하나의 에러가 존재할 때 상기 각 코드워드에 대한 에러 위치 다항식 ($\Lambda(x)$) 또는 에러 위치 다항식의 계수들을 계산한다.
- [0046] 따라서, ECC 블록(20)은 각 코드워드에 대한 신드롬 값들(Se(x), 또는 So(x))이 모두 0인지 또는 아닌지를 판단할 수 있는 에러 체크 블록(error check block; 미도시)을 더 포함할 수 있다. 이때, 에러 위치 다항식 발생기(150)는 상기 에러 체크 블록의 판단 결과에 따라 또는 상기 에러 체크 블록의 판단 결과를 처리하는 별도의 회로 블록의 출력 신호에 따라 상기 각 코드워드를 바이패스 하거나 상기 각 코드워드에 대한 에러 위치 다항식 또는 에러 위치 다항식의 계수들을 계산할 수 있다.
- [0047] 에러 위치 계산기의 일 예로서 구현될 수 있는 치엔 서치(또는 치엔 서치 블록; 160)는 치엔 서치(Chien search) 기법을 이용하여 상기 에러 위치 다항식 또는 상기 에러 위치 다항식의 계수들로부터 에러 위치 다항식의 해들(roots)을 계산하고, 계산 결과에 따라 다수의 에러 위치들(EP)을 계산할 수 있다.
- [0048] 도 3은 제1선택 신호 생성기의 블록도를 나타낸다.
- [0049] 도 2와 도 3을 참조하면, 제1선택 신호(SEL1)를 생성할 수 있는 제1선택 신호 생성기(180)는 ECC-펄스 발생기(182)와 1-비트 카운터(184)를 포함한다.
- [0050] ECC-펄스 발생기(182)는 클락 신호(CLK)에 응답하여 일정한 주기를 갖는 다수의 펄스들(P)을 생성한다. 상기 일정한 주기는 제1선택기(110)로 입력되는 다수의 코드워드들(R(x)) 각각의 비트 수(또는 길이)에 따라 결정될 수 있다.
- [0051] 1-비트 카운터(184)는 ECC-펄스 발생기(182)로부터 출력된 다수의 펄스들 (P)의 개수를 카운트하여 1-비트 제1선택 신호(SEL1)를 생성한다. 예컨대, 제1선택 신호(SEL1)는 제1상태(예컨대, 데이터 0) 또는 제2상태(예컨대, 데이터 1)일 수 있다.
- [0052] 도 4는 제2선택 신호 생성기의 일 실시 예를 나타내는 블록도를 나타낸다.
- [0053] 도 2와 도 4를 참조하면, 도 2에 도시된 제2선택 신호 생성기(170)의 일 예로서 구현된 도 4의 제2선택 신호 생성기(170A)는 ECC-펄스 발생기(171), 1-비트 카운터(172), 선택기(173), 제1카운터(174), 제1스테이트 머신(state machine; 175), 제2카운터(176), 및 제2스테이트 머신(177)을 포함한다.

- [0054] ECC-펄스 발생기(171)는 클락 신호(CLK)에 응답하여 도 8에 도시된 바와 같이 일정한 주기를 갖는 다수의 펄스들(P)을 생성한다. 상기 일정한 주기는 제1선택기(110)로 입력되는 다수의 코드워드들(R(x)) 각각의 비트 수(또는 길이)에 따라 결정될 수 있다.
- [0055] 1-비트 카운터(172)는 ECC-펄스 발생기(171)로부터 출력된 다수의 펄스들(P)의 개수를 카운트하여 1-비트 제3선택 신호(SEL3)를 생성한다. 예컨대, 제3선택 신호(SEL3)는 제1상태(예컨대, 짝수 개일 때) 또는 제2상태(예컨대, 홀수 개일 때)일 수 있다.
- [0056] 멀티플렉서로 구현될 수 있는 선택기(173)는 각 짝수 번째 코드워드에 대한 신드롬 값들(Se(x))을 에러 위치 다항식 발생기(150)로 전송하기 위하여 제1상태를 갖는 제3선택 신호(SEL3)에 따라 ECC-펄스 발생기(171)로부터 출력된 다수의 펄스들(P) 중에서 Pe(도 8 참조)를 제1카운터(174)로 전송할 수 있다.
- [0057] 제1카운터(174)는 선택기(173)로부터 출력된 펄스(Pe)에 응답하여 초기화된 후, 클락 신호(CLK)에 응답하여 업-카운트를 수행하고, 카운트 값이 기준 값에 도달했을 때 활성화된 제1시작 신호(Syn state start_even, 즉 Se)를 생성한다. 따라서 제1스테이트 머신(175)은 활성화된 제1시작 신호(Syn state start_even, 즉 Se)에 따라 Ee 신호(ELP state start_even)를 출력한다. 이때, 제1스테이트 머신(175)은 에러가 없을 때 노 에러 신호(NEe)를 출력할 수 있다.
- [0058] 제2선택기(140)는 Ee신호에 응답하여 제1레지스터(122)로부터 출력된 해당하는 짝수 번째 코드워드에 대한 신드롬 값들(Se(x))을 에러 위치 다항식 발생기(150)로 전송한다.
- [0059] 선택기(173)는 해당하는 홀수 번째 코드워드에 대한 신드롬 값들(So(x))을 에러 위치 다항식 발생기(150)로 전송하기 위하여 제2상태를 갖는 제3선택 신호(SEL3)에 따라 ECC-펄스 발생기(171)로부터 출력된 다수의 펄스들(P) 중에서 Po(도 8 참조)를 제2카운터(176)로 전송할 수 있다.
- [0060] 제2카운터(176)는 선택기(173)로부터 출력된 펄스(Po)에 응답하여 초기화된 후, 클락 신호(CLK)에 응답하여 업-카운트를 수행하고, 카운트 값이 기준 값에 도달했을 때 활성화된 제2시작 신호(Syn state start_odd, 즉 So)를 생성한다. 따라서 제2스테이트 머신(177)은 활성화된 제2시작 신호(Syn state start_odd, 즉 So)에 따라 Eo신호(ELP state start_odd)를 출력한다. 이때, 제2스테이트 머신(177)은 에러가 없을 때 노 에러 신호(NEo)를 출력할 수 있다.
- [0061] 상기 기준값은 코드워드의 비트 수에 따라 설계자에 의하여 결정될 수 있다.
- [0062] 제2선택기(140)는 Eo신호에 응답하여 제2레지스터(132)로부터 출력된 해당하는 홀수 번째 코드워드에 대한 신드롬 값들(So(x))을 에러 위치 다항식 발생기(150)로 전송한다.
- [0063] 제2선택 신호(SEL2)는 Ee신호와 Eo신호를 포함할 수 있다. 예컨대, 제2선택기(140)는 Ee신호가 제2상태를 가질 때 해당하는 짝수 번째 코드워드에 대한 신드롬 값들(Se(x))을 에러 위치 다항식 발생기(150)로 전송하고 Eo신호가 제2상태를 가질 때 해당하는 홀수 번째 코드워드에 대한 신드롬 값들(So(x))을 에러 위치 다항식 발생기(150)로 전송할 수 있다.
- [0064] 도 5는 제2선택 신호 생성기의 다른 실시 예를 나타내는 블록도를 나타낸다.
- [0065] 도 2와 도 5를 참조하면, 도 2에 도시된 제2선택 신호 생성기(170)의 다른 예로서 구현된 도 5의 제2선택 신호 생성기(170B)는 ECC-펄스 발생기(201), 선택기(202), 제1카운터(203), 제1스테이트 머신(204), 제2카운터(205), 및 제2스테이트 머신(206)을 포함한다.
- [0066] ECC-펄스 발생기(201)는 클락 신호(CLK)에 응답하여 도 8에 도시된 바와 같이 일정한 주기를 갖는 다수의 펄스들(P)을 생성한다. 상기 일정한 주기는 제1선택기(110)로 입력되는 다수의 코드워드들(R(x)) 각각의 비트 수(또는 길이)에 따라 결정될 수 있다.
- [0067] 멀티플렉서로 구현될 수 있는 선택기(202)는 각 짝수 번째 코드워드에 대한 신드롬 값들(Se(x))을 에러 위치 다항식 발생기(150)로 전송하기 위하여 제1상태를 갖는 제1선택 신호(SEL1)에 따라 ECC-펄스 발생기(171)로부터 출력된 펄스(P) 중에서 Pe(도 8 참조)를 제1카운터(203)로 전송할 수 있다.
- [0068] 제1카운터(203)는 선택기(202)로부터 출력된 펄스(Pe)에 응답하여 초기화된 후, 클락 신호(CLK)에 응답하여 업-카운트를 수행하고, 카운트 값이 기준 값에 도달했을 때 활성화된 제1시작 신호(Syn state start_even, 즉 Se)를 생성한다. 따라서 제1스테이트 머신(204)은 활성화된 제1시작 신호(Syn state start_even, 즉 Se)에 따라 Ee 신호(EPL state start_even)를 출력한다. 이때, 제1스테이트 머신(204)은 에러가 없을 때 노 에러 신호

(NEe)를 출력할 수 있다.

- [0069] 제2선택기(140)는 Ee신호에 응답하여 제1레지스터(122)로부터 출력된 해당하는 짝수 번째 코드워드에 대한 신드롬 값들($Se(x)$)을 에러 위치 다항식 발생기(150)로 전송한다.
- [0070] 선택기(202)는 해당하는 홀수 번째 코드워드에 대한 신드롬 값들($So(x)$)을 에러 위치 다항식 발생기(150)로 전송하기 위하여 제2상태를 갖는 제1선택 신호 (SEL1)에 따라 ECC-펄스 발생기(201)로부터 출력된 펄스(P) 중에서 Po(도 8 참조)를 제2카운터(205)로 전송할 수 있다.
- [0071] 제2카운터(205)는 선택기(202)로부터 출력된 펄스(Po)에 응답하여 초기화된 후, 클락 신호(CLK)에 응답하여 업-카운트를 수행하고, 카운트 값이 기준 값에 도달했을 때 활성화된 제2시작 신호(Syn state start_odd, 즉 So)를 생성한다. 따라서 제2 스테이트 머신(206)은 활성화된 제2시작 신호(Syn state start_odd, 즉 So)에 따라 Eo 신호(ELP state start_odd)를 출력한다. 이때, 제2스테이트 머신 (206)은 에러가 없을 때 노 에러 신호(NEo)를 출력할 수 있다.
- [0072] 제2선택기(140)는 Eo 신호에 응답하여 제2레지스터(132)로부터 출력된 해당하는 홀수 번째 코드워드에 대한 신드롬 값들($So(x)$)을 에러 위치 다항식 발생기(150)로 전송한다.
- [0073] 도 6은 종래의 코드워드들의 전송과 본 발명의 실시 예에 따른 코드워드들의 전송을 나타낸다. 도 6의 (a)를 참조하면, 종래의 시스템에서 사용되는 다수의 코드워드들 각각의 사이는 빗금 부분과 같이 일정한 지연 또는 레이턴시가 존재한다.
- [0074] 만일, 인접하는 두 개의 코드워드들(예컨대, $R0(x)$ 와 $R1(x)$) 사이에 1클락 사이클(clock cycle)이라도 지연(delay)이 존재할 때, 고속으로 동작하는 시스템, 예컨대 NAND 플래시 메모리 시스템에서는 상기 지연에 따른 신호 안정화를 위하여 경우에 따라서는 수 클락 사이클 내지 수십 클락 사이클의 지연이 추가로 필요하다.
- [0075] 그러나, 도 6의 (b)에 도시된 바와 같이, 본 발명의 개념에 따른 듀얼-신드롬 생성기(120과 130)를 포함하는 ECC 블록(20)을 포함하는 시스템(10)은 코드워드(들)를 전송하는 시간 내에 에러 위치 다항식을 계산하는 시간과 치옌 서치 시간이 포함된다면, 인접하는 두 개의 코드워드들(예컨대, $R0(x)$ 와 $R1(x)$) 사이에는 어떠한 지연도 발생하지 않는다.
- [0076] 도 7은 도 1에 도시된 듀얼-신드롬 생성기의 동작을 설명하기 위한 플로우차트이다.
- [0077] 도 1부터 도 7을 참조하면, ECC 블록(20)은 다수의 코드워드들($R(x)$), 즉 버스트 리드 코드워드들($R(x)$)을 수신한다(S10).
- [0078] 다수의 코드워드들($R(x)$) 각각이 짝수 번째 코드워드인지 또는 홀수 번째 코드워드인지에 따라 제1선택 신호 (SEL1)는 서로 다른 상태를 갖는다(S20).
- [0079] 예컨대, 제1선택기(110)는 제1상태를 갖는 제1선택 신호(SEL1)에 따라 다수의 코드워드들($R(x)$) 중에서 해당하는 짝수 번째 코드워드($R0(x)$, $R2(x)$, ...)를 제1신드롬 생성기(120)로 전송한다. 제1신드롬 생성기(120)는 해당하는 짝수 번째 코드워드($R0(x)$, $R2(x)$, ...)로부터 신드롬 값들을 계산한다(S31).
- [0080] 그리고, 제1선택기(110)는 제2상태를 갖는 제1선택 신호(SEL1)에 따라 다수의 코드워드들($R(x)$) 중에서 해당하는 홀수 번째 코드워드($R1(x)$, $R3(x)$, ...)를 제2신드롬 생성기(130)로 전송한다. 제2신드롬 생성기(130)는 해당하는 홀수 번째 코드워드($R1(x)$, $R3(x)$, ...)로부터 신드롬 값들을 계산한다(S32).
- [0081] 상술한 바와 같이 제2상태를 갖는 Ee 신호를 포함하는 제2선택 신호(SEL2)에 따라, 제2선택기(410)는 제1레지스터(122)에 저장된 해당하는 짝수 번째 코드워드($R0(x)$, $R2(x)$, ...)에 대한 신드롬 값들($Se(x)$)을 에러 위치 다항식 발생기(150)로 전송한다(S40).
- [0082] 또한, 상술한 바와 같이 제2상태를 갖는 Eo 신호를 포함하는 제2선택 신호 (SEL2)에 따라, 제2선택기(410)는 제2레지스터(132)에 저장된 해당하는 홀수 번째 코드워드($R1(x)$, $R3(x)$, ...)에 대한 신드롬 값들($So(x)$)을 에러 위치 다항식 발생기(150)로 전송한다(40).
- [0083] 에러 위치 다항식 발생기(150)는 해당하는 짝수 번째 코드워드($R0(x)$, $R2(x)$, ...)에 대한 신드롬 값들($Se(x)$)로부터 위치 에러 다항식($\Lambda(x)$) 또는 해당하는 홀수 번째 코드워드($R1(x)$, $R3(x)$, ...)에 대한 신드롬 값들($So(x)$)로부터 위치 에러 다항식($\Lambda(x)$)을 계산한다(S50).
- [0084] 치옌 서치(160)는 에러 위치 다항식 발생기(150)로부터 출력된 위치 에러 다항식($\Lambda(x)$)으로부터 치옌 서치를

이용하여 다항식의 해들(roots)을 서치하고 다수의 에러 위치들(EP)을 출력한다(S60). 정정 DMA(22)는 치엔 서치(160)로부터 출력된 각 코드워드에 대한 다수의 에러 위치들(EP)을 이용하여 데이터 버퍼(18)에 저장된 각 코드워드의 에러를 정정한다(S70).

[0085] 도 8은 도 1에 도시된 듀얼-신드롬 생성기의 동작을 설명하기 위한 타이밍도이다.

[0086] 도 1부터 도 8을 참조하면, 제2선택기(140)는 제2상태를 갖는 Ee 신호를 포함하는 제2선택 신호(SEL2)에 따라 제1레지스터(122)에 저장된 해당하는 짝수 번째 코드워드(R0(x), R2(x), ...)에 대한 신드롬 값들(Se(x))을 에러 위치 다항식 발생기(150)로 전송하고 제2상태를 갖는 Eo 신호를 포함하는 제2선택 신호(SEL2)에 따라 제2레지스터(132)에 저장된 해당하는 홀수 번째 코드워드(R1(x), R3(x), ...)에 대한 신드롬 값들(So(x))을 에러 위치 다항식 발생기(150)로 전송한다. 코드워드 단위로 신드롬 값들(Se(x) 또는 So(x))이 계산된 후, 계산된 신드롬 값들((Se(x) 또는 So(x))이 모두 0인지 또는 아닌지가 판단된다(No error check).

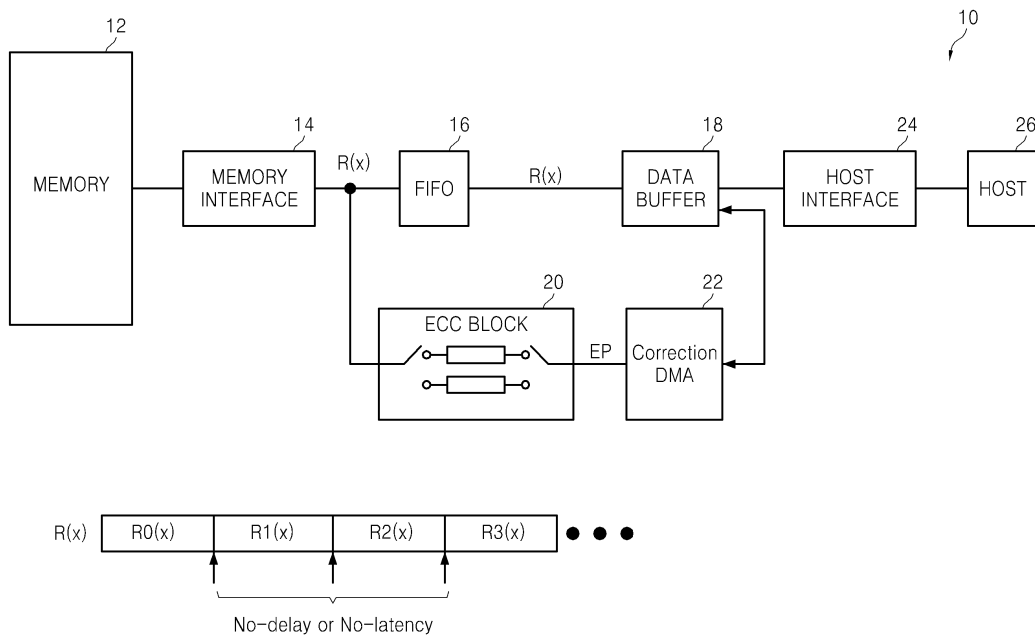
[0087] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

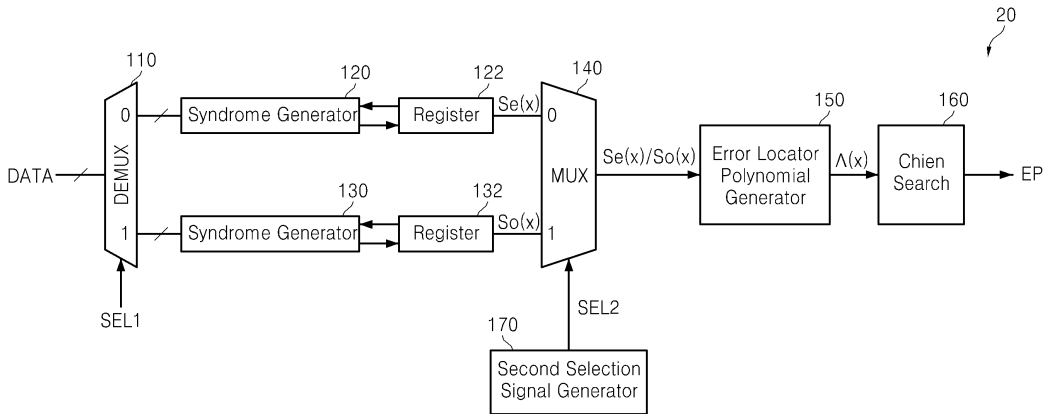
- [0088]
- 10: 시스템
 - 12: 메모리
 - 14: 메모리 인터페이스
 - 16: FIFO 버퍼
 - 18: 데이터 버퍼
 - 20: 에러 정정 코드 회로
 - 22: 정정 DMA 회로
 - 24: 호스트 인터페이스
 - 26: 호스트
 - 110: 제1선택기
 - 120: 제1신드롬 생성기
 - 130: 제2신드롬 생성기
 - 140: 제2선택기
 - 150: 에러 위치 다항식 발생기
 - 160: 에러 위치 계산기

도면

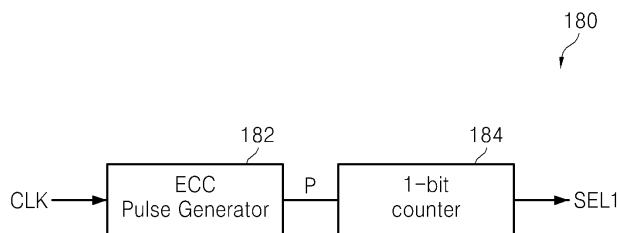
도면1



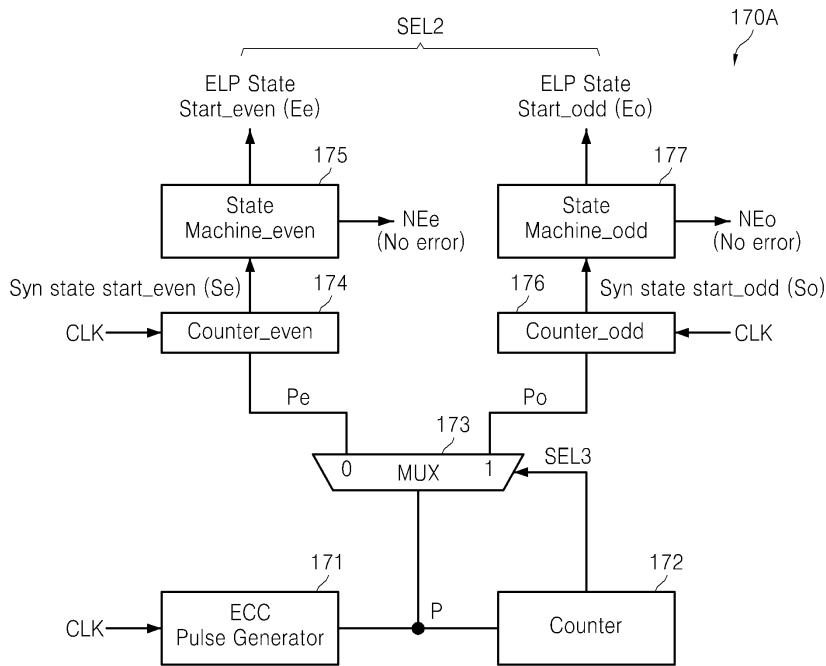
도면2



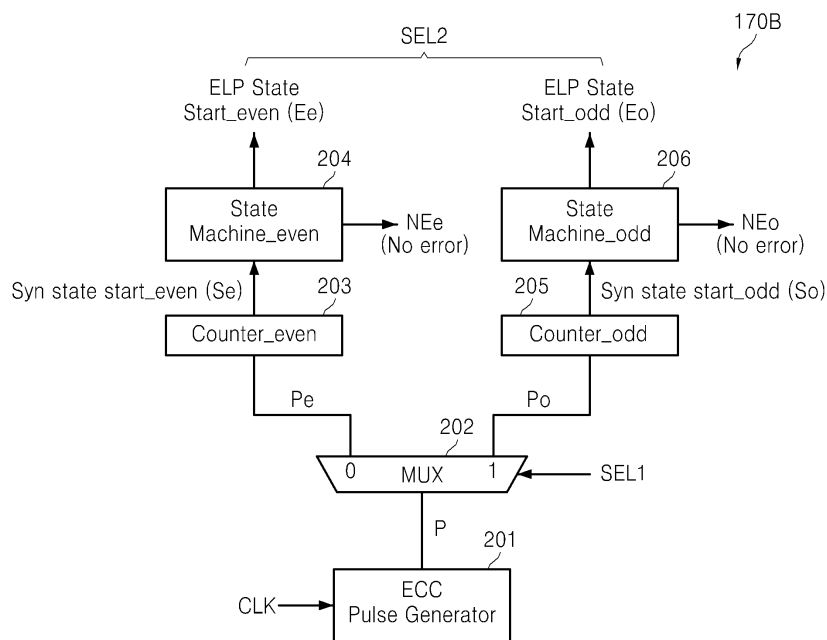
도면3



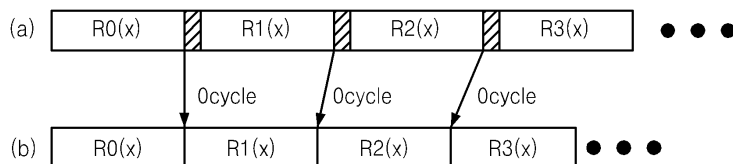
도면4



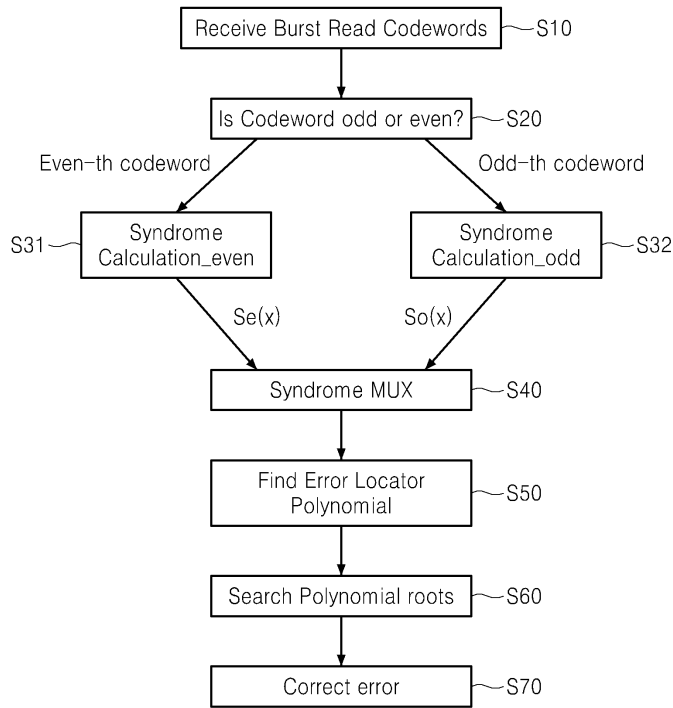
도면5



도면6



도면7



도면8

