



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월05일  
(11) 등록번호 10-2691606  
(24) 등록일자 2024년07월31일

- (51) 국제특허분류(Int. Cl.)  
G11C 11/4091 (2006.01) G11C 11/406 (2006.01)  
G11C 11/4096 (2015.01)
- (52) CPC특허분류  
G11C 11/4091 (2013.01)  
G11C 11/406 (2013.01)
- (21) 출원번호 10-2023-0074044
- (22) 출원일자 2023년06월09일  
심사청구일자 2023년06월09일
- (56) 선행기술조사문헌  
US20190339908 A1
- (73) 특허권자  
한국과학기술원  
대전광역시 유성구 대학로 291(구성동)
- (72) 발명자  
조성환  
대전광역시 유성구 대학로 291 (구성동)  
이기우  
대전광역시 유성구 대학로 291 (구성동)  
김동환  
대전광역시 유성구 대학로 291 (구성동)
- (74) 대리인  
특허법인 수

전체 청구항 수 : 총 8 항

심사관 : 손윤식

(54) 발명의 명칭 메모리 디바이스

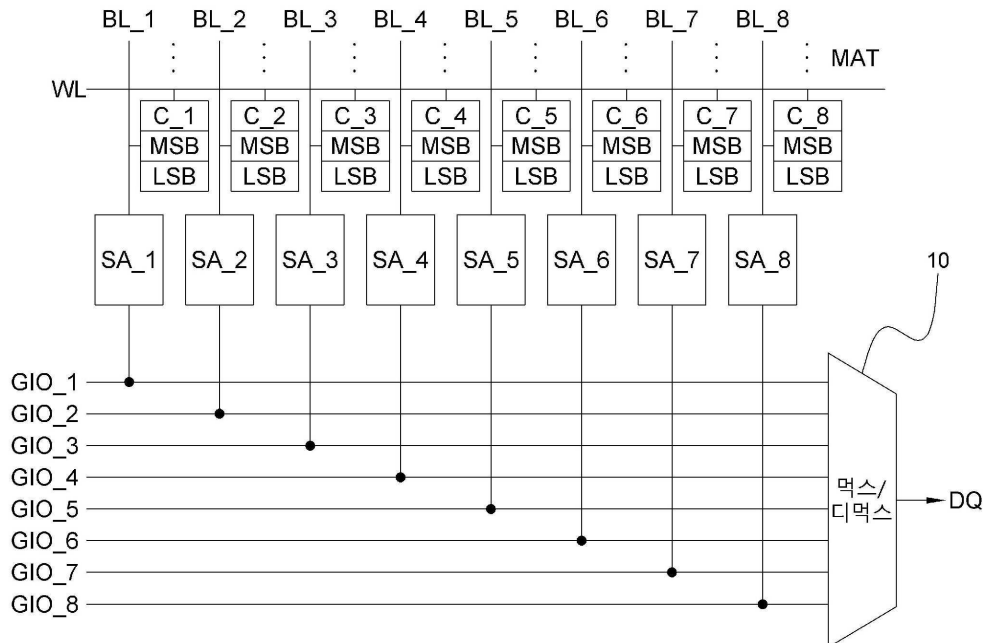
(57) 요약

본 발명은 워드라인과 비트라인의 동작에 의해 n비트 데이터를 저장하는 메모리 셀을 포함하는 메모리 디바이스에 있어서, 복수의 워드라인, 복수의 비트라인, 및 복수의 메모리 셀을 포함하는 적어도 하나의 메모리 셀 어레이; 상기 복수의 비트라인 각각에 결합되며, 리드 모드에서, 상기 복수의 메모리 셀 각각에 저장된 제1 특정 레

(뒷면에 계속)

대표도 - 도2

100



벨 전압들을 각각의 제1 n비트 데이터 - 상기 n은 2 이상의 정수임 - 들로 변환하여 출력하되, 상기 제1 n비트 데이터들 각각의 제1 순위별 비트값들을 순차적으로 출력하며, 라이트 모드에서, 제2 n비트 데이터들을 제2 특정 레벨 전압들로 변환하여 상기 복수의 메모리 셀 각각에 저장되도록 하는 복수의 센스 앰프; 및 프리페치 사이즈에 대응되는 k개의 - 상기 k는 1 이상의 정수임 - 글로벌 입출력 라인 각각이, 상기 복수의 센스 앰프를 k개씩 그룹핑한 센스 앰프 그룹들 각각에서의 k개의 센스 앰프 각각에 결합되며, 상기 리드 모드에서, 상기 k개의 센스 앰프 각각의 상기 제1 순위별 비트값들을 멀티플렉싱하여 k비트 출력 데이터들을 출력하며, 상기 라이트 모드에서, k비트 입력 데이터들 각각을 제2 순위별 비트값들로 디멀티플렉싱하여 상기 k개의 글로벌 입출력 라인 각각을 통해 상기 k개의 센스 앰프 각각에 인가하여 주는 적어도 하나의 믹스/디믹스; 를 포함한다.

(52) CPC특허분류

*G11C 11/4096* (2018.05)

---

## 명세서

### 청구범위

#### 청구항 1

워드라인과 비트라인의 동작에 의해 n비트 데이터를 저장하는 메모리 셀을 포함하는 메모리 디바이스에 있어서, 복수의 워드라인, 복수의 비트라인, 및 복수의 메모리 셀을 포함하는 적어도 하나의 메모리 셀 어레이;

상기 복수의 비트라인 각각에 결합되며, 리드 모드에서, 상기 복수의 메모리 셀 각각에 저장된 제1 특정 레벨 전압들을 각각의 제1 n비트 데이터 - 상기 n은 2 이상의 정수임 - 들로 변환하여 출력하되, 상기 제1 n비트 데이터들 각각의 제1 순위별 비트값들을 순차적으로 출력하며, 라이트 모드에서, 제2 n비트 데이터들을 제2 특정 레벨 전압들로 변환하여 상기 복수의 메모리 셀 각각에 저장되도록 하는 복수의 센스 앰프; 및

프리페치 사이즈에 대응되는 k개의 - 상기 k는 1 이상의 정수임 - 글로벌 입출력 라인 각각이, 상기 복수의 센스 앰프를 k개씩 그룹핑한 센스 앰프 그룹들 각각에서의 k개의 센스 앰프 각각에 결합되며, 상기 리드 모드에서, 상기 k개의 센스 앰프 각각의 상기 제1 순위별 비트값들을 컬럼 어드레스에 대응하여 멀티플렉싱하여 k비트 출력 데이터들을 출력하며, 상기 라이트 모드에서, k비트 입력 데이터들 각각을 상기 컬럼 어드레스에 대응하여 제2 순위별 비트값들로 디멀티플렉싱하여 상기 k개의 글로벌 입출력 라인 각각을 통해 상기 k개의 센스 앰프 각각에 인가하여 주는 적어도 하나의 맥스/디맥스;

를 포함하는 메모리 디바이스.

#### 청구항 2

제1항에 있어서,

(R) 상기 리드 모드에서, (R\_1) 제1\_1 사이클에서, 상기 k개의 센스 앰프인 제1 센스 앰프 내지 제k 센스 앰프 각각은, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각에 대응되는 제1 메모리 셀 내지 제k 메모리 셀 각각에 저장된 제1\_1 특정 레벨 전압 내지 제1\_k 특정 레벨 전압 각각에 대응되는 제1\_1 n비트 데이터의 제1\_1 순위 비트값 내지 제1\_k n비트 데이터의 제1\_k\_1 순위 비트값을 출력하며, (R\_2) 제1\_i 사이클 - 상기 i는 2부터 상기 n까지 증가하는 정수임 - 에서, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각은 상기 제1\_1 n비트 데이터의 제1\_1\_i 순위 비트값 내지 상기 1\_k n비트 데이터의 제1\_k\_i 순위 비트값을 출력하고, 상기 적어도 하나의 맥스/디맥스는 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인 각각을 통해 전송된 제1\_1(i-1) 순위 비트값 내지 제1\_k(i-1) 순위 비트값을 멀티플렉싱하여 상기 제1\_1(i-1) 순위 비트값 내지 상기 제1\_k(i-1) 순위 비트값으로 이루어진 제(i-1) k비트 출력 데이터를 출력하며, (R\_3) 제1\_(n+1) 사이클에서, 상기 적어도 하나의 맥스/디맥스는 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인 각각을 통해 전송된 제1\_1\_n 순위 비트값 내지 제1\_k\_n 순위 비트값을 멀티플렉싱하여 상기 제1\_1\_n 순위 비트값 내지 상기 제1\_k\_n 순위 비트값으로 이루어진 제n k비트 출력 데이터를 출력하며,

(W) 상기 라이트 모드에서, (W\_1) 제2\_1 사이클에서, 상기 적어도 하나의 맥스/디맥스는 제1 k비트 입력 데이터를 디멀티플렉싱하여 제2\_1\_1 순위 비트값 내지 제2\_k\_1 순위 비트값 각각을 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 출력하며, (W\_2) 제2\_i 사이클에서, 상기 적어도 하나의 맥스/디맥스는 제 i k비트 입력 데이터를 디멀티플렉싱하여 제2\_1\_i 순위 비트값 내지 제2\_k\_i 순위 비트값 각각을 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 출력하고, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각은 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 전송된 제2\_1(i-1) 순위 비트값 내지 제2\_k(i-1) 순위 비트값 각각을 래치하며, (W\_3) 제2\_(n+1) 사이클에서, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각은, 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 전송된 제2\_1\_n 순위 비트값 내지 제2\_k\_n 순위 비트값 각각을 래치하며, 래치된 상기 제2\_1\_1 순위 비트값 내지 래치된 상기 제2\_1\_n 순위 비트값으로 이루어진 제2\_1 n비트 데이터 내지 래치된 상기 제2\_k\_1 순위 비트값 내지 래치된 상기 제2\_k\_n 순위 비트값으로 이루어진 제2\_k n비트 데이터 각각에 대응되는 제2\_1 특정 레벨 전압 내지 제2\_k 특정 레벨 전압 각각이 상기 제1 메모리 셀 내지 상기 제k 메모리 셀 각각에 저장되도록 하는 메모리 디바이스.

**청구항 3**

제1항에 있어서

상기 k개의 센스 앰프 각각에 결합된 제1 비트라인 내지 제k 비트라인 각각은 동일한 메모리 셀 어레이에 위치하며,

상기 k개의 센스 앰프 각각은 하나의 먹스/디먹스에 결합된 상기 k개의 글로벌 입출력 라인 각각에 결합된 메모리 디바이스.

**청구항 4**

제1항에 있어서,

상기 k개의 센스 앰프 각각에 결합된 제1 비트라인 내지 제k 비트라인 각각은 서로 다른 메모리 셀 어레이에 위치하며,

상기 k개의 센스 앰프 각각은 k개의 먹스/디먹스 각각의 글로벌 입출력 라인에 결합된 메모리 디바이스.

**청구항 5**

제1항에 있어서,

상기 k개의 센스 앰프 각각은, 상기 제1 n비트 데이터들 각각의 상기 제1 순위별 비트값들을 순차적으로 출력하는 각각의 축차 비교형 아날로그-디지털 컨버터들을 포함하는 메모리 디바이스.

**청구항 6**

제1항에 있어서,

상기 k개의 센스 앰프 각각은, 상기 제2 순위별 비트값들 각각이 입력되는 각각의 입력단자들, 상기 각각의 입력단자들을 순차적으로 활성화시키는 각각의 단자 스위치들, 및 상기 각각의 단자 스위치들을 통해 순차적으로 입력되는 상기 제2 순위별 비트값들에 대응되는 상기 제2 특정 레벨 전압들을 상기 복수의 비트라인들 각각에 인가하여 주는 각각의 디지털-아날로그 컨버터를 포함하는 메모리 디바이스.

**청구항 7**

제1항에 있어서,

상기 k개의 센스 앰프 각각은, 상기 제1 순위별 비트값들 중 적어도 일부의 특정 순위별 비트값들을 상기 k개의 센스 앰프에 대응되는 k개의 메모리 셀 각각의 리프레시에 이용하는 메모리 디바이스.

**청구항 8**

제7항에 있어서,

상기 k개의 센스 앰프 각각은 k개의 글로벌 스위치 각각을 통해 상기 k개의 글로벌 입출력 라인 각각에 결합되며,

상기 특정 순위별 비트값들을 상기 k개의 메모리 셀 각각의 리프레시에 이용할 경우, 상기 k개의 글로벌 스위치 각각이 비활성화되는 메모리 디바이스.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 메모리 디바이스에 관한 것으로, 보다 상세하게는, n비트 데이터를 저장하는 메모리 셀에서의 데이터 읽기 및 쓰기에서의 시간 지연을 최소화하며 메모리 셀의 밀도를 증가시킬 수 있도록 하는 메모리 디바이스에 관한 것이다.

**배경 기술**

- [0002] 반도체 메모리 디바이스에서 대표적인 소자인 디램은 하나의 트랜지스터와 하나의 캐패시터로 구성된 메모리 셀들에 데이터를 기록하는 것으로, 캐패시터에 전하를 충전하거나 방전함에 따라 메모리 셀에 하나의 비트 정보, 일 예로, “0” 과 “1” 을 기록한다.
- [0003] 또한, 최근에는 하나의 트랜지스터와 하나의 캐패시터를 포함하는 메모리 셀에 하나의 비트 정보, 즉, “0” 또는 “1” 의 1비트 정보를 저장하는 것과는 달리, 하나의 메모리 셀에 1비트 초과인 데이터를 저장하여 데이터의 저장 용량을 증대시킨 멀티 레벨 디램이 제안되고 있다.
- [0004] 그리고, 디램은, 워드라인이 트랜지스터를 온/오프 시킴으로써 캐패시터에 대한 접근 여부를 결정하며, 비트라인을 통해 캐패시터에 데이터를 저장하거나 캐패시터에 저장된 데이터를 읽는다.
- [0005] 이러한 디램에서 비트라인을 통해 캐패시터에 저장된 데이터를 읽기 위하여 센스 앰프를 이용하며, 센스 앰프는, 워드라인에 의해 트랜지스터가 활성화됨으로써 캐패시터와 비트라인에서의 차지 셰어링(charge sharing)에 의해 미세하게 변하는 비트라인의 전압 변화를 증폭하여 메모리 셀에 저장된 데이터를 읽는다.
- [0006] 하지만, 종래의 멀티 레벨 디램에서는, 센스 앰프를 통해 센싱한 메모리 셀의 n비트 데이터를 읽은 다음, n비트 데이터에서의 순위 비트값들 각각을 서로 다른 각각의 글로벌 입출력(GIO) 라인을 통해 믹스(MUX)/디믹스(DEMUX)로 전송하여 준다.
- [0007] 즉, 도 1의 2비트 데이터를 저장하는 멀티 레벨 디램을 참조하면, 메모리 셀에 2비트 데이터를 저장하거나 메모리 셀에 저장된 2비트 데이터를 읽기 위하여, 센스 앰프 각각은 2개의 글로벌 입출력 라인에 연결된다.
- [0008] 따라서, 프리페치 사이즈에 따라 8개의 글로벌 입출력 라인을 이용하여 데이터를 송수신하는 하나의 믹스/디믹스를 통해 한 사이클에 접근할 수 있는 메모리 셀의 개수는 4개로 제한되며, 그에 따라, 메모리 셀 어레이에서의 메모리 셀들에의 데이터 읽기 및 쓰기에서 시간 지연이 발생한다.
- [0009] 한편, 메모리 셀에 저장된 n비트 데이터를 읽거나 메모리 셀에 n비트 데이터를 쓰기 위한 센스 앰프는, 메모리 셀에 저장된 특정 레벨의 전압을 센싱하여 n비트 데이터로 변환하는 아날로그-디지털 컨버터와, n비트 데이터를 특정 레벨의 전압으로 변환하여 메모리 셀에 저장하는 디지털-아날로그 컨버터를 포함하며, 아날로그-디지털 컨버터는 플래시 아날로그-디지털 컨버터와 같이 병렬적으로 데이터를 변환하는 타입과, 축차 비교형(Successive Approximate Register) 아날로그-디지털 컨버터와 같이 순차적으로 데이터를 변환하는 타입이 있다.
- [0010] 다시 도 1을 참조하면, 플래시 아날로그-디지털 컨버터와 같이 병렬적으로 데이터를 변환하는 아날로그-디지털 컨버터를 사용할 경우에는, 2비트 데이터를 저장하는 4개의 메모리 셀에 대응되는 8개의 비트값을 8개의 글로벌 입출력 라인을 통해 하나의 사이클에서 전송할 수 있으므로 메모리 셀의 데이터 액세스에 필요한 시간 지연이 짧은 장점이 있다. 하지만, 데이터를 병렬적으로 변환하여야 하므로 각각의 순위 비트에 대응되는 각각의 비교기가 필요하므로 메모리 디바이스 내에서 아날로그-디지털 컨버터 영역이 차지하는 면적이 증가되는 문제점이 있다.
- [0011] 한편, 축차 비교형 아날로그-디지털 컨버터와 같이 순차적으로 데이터를 변환하는 아날로그-디지털 컨버터를 사용하는 경우에는, 데이터의 변환에 필요한 비교기가 증가되지 않으므로 병렬적으로 데이터를 변환하는 아날로그-디지털 컨버터에 비하여 메모리 디바이스 내에서의 면적이 크게 증가되지 않는 장점이 있다. 하지만, 순차적으로 데이터를 변환함으로써, 4개의 메모리 셀 각각에서의 최상위 비트값(MSB)과 최하위 비트값(LSB)을 전송하는데 각각의 사이클, 즉, 2 사이클이 소요되므로, 메모리 셀의 데이터 액세스에 필요한 시간 지연이 발생하는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

- [0012] 본 발명은 상술한 문제점들을 모두 해결하는 것을 그 목적으로 한다.
- [0013] 또한, 본 발명은 n비트 데이터를 저장하는 메모리 셀에서의 데이터 액세스를 위한 시간 지연을 최소화할 수 있도록 하는 다른 목적으로 한다.
- [0014] 또한, 본 발명은 n비트 데이터를 저장하는 메모리 셀의 밀도를 증가시킬 수 있도록 하는 것을 또 다른 목적으로 한다.
- [0015] 또한, 본 발명은 n비트 데이터 저장하는 메모리 셀에서의 데이터를 효율적으로 전송할 수 있도록 하는 것을 또

다른 목적으로 한다.

**과제의 해결 수단**

- [0016] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따르면, 워드라인과 비트라인의 동작에 의해 n비트 데이터를 저장하는 메모리 셀을 포함하는 메모리 디바이스에 있어서, 복수의 워드라인, 복수의 비트라인, 및 복수의 메모리 셀을 포함하는 적어도 하나의 메모리 셀 어레이; 상기 복수의 비트라인 각각에 결합되며, 리드 모드에서, 상기 복수의 메모리 셀 각각에 저장된 제1 특정 레벨 전압들을 각각의 제1 n비트 데이터 - 상기 n은 2 이상의 정수임 - 들로 변환하여 출력하되, 상기 제1 n비트 데이터들 각각의 제1 순위별 비트값들을 순차적으로 출력하며, 라이트 모드에서, 제2 n비트 데이터들을 제2 특정 레벨 전압들로 변환하여 상기 복수의 메모리 셀 각각에 저장되도록 하는 복수의 센스 앰프; 및 프리페치 사이즈에 대응되는 k개의 - 상기 k는 1 이상의 정수임 - 글로벌 입출력 라인 각각이, 상기 복수의 센스 앰프를 k개씩 그룹핑한 센스 앰프 그룹들 각각에서의 k개의 센스 앰프 각각에 결합되며, 상기 리드 모드에서, 상기 k개의 센스 앰프 각각의 상기 제1 순위별 비트값들을 멀티플렉싱하여 k비트 출력 데이터들을 출력하며, 상기 라이트 모드에서, k비트 입력 데이터들 각각을 제2 순위별 비트값들로 디멀티플렉싱하여 상기 k개의 글로벌 입출력 라인 각각을 통해 상기 k개의 센스 앰프 각각에 인가하여 주는 적어도 하나의 믹스/디믹스; 를 포함하는 메모리 디바이스가 제공된다.
- [0017] 상기 일 실시예에서, (R) 상기 리드 모드에서, (R\_1) 제1\_1 사이클에서, 상기 k개의 센스 앰프인 제1 센스 앰프 내지 제k 센스 앰프 각각은, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각에 대응되는 제1 메모리 셀 내지 제k 메모리 셀 각각에 저장된 제1\_1 특정 레벨 전압 내지 제1\_k 특정 레벨 전압 각각에 대응되는 제1\_1 n비트 데이터의 제1\_1\_1 순위 비트값 내지 제1\_k n비트 데이터의 제1\_k\_1 순위 비트값을 출력하며, (R\_2) 제1\_i 사이클 - 상기 i는 2부터 상기 n까지 증가하는 정수임 - 에서, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각은 상기 제1\_1 n비트 데이터의 제1\_1\_i 순위 비트값 내지 상기 1\_k n비트 데이터의 제1\_k\_i 순위 비트값을 출력하고, 상기 믹스/디믹스는 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인 각각을 통해 전송된 제1\_1(i-1) 순위 비트값 내지 제1\_k(i-1) 순위 비트값을 멀티플렉싱하여 상기 제1\_1(i-1) 순위 비트값 내지 상기 제1\_k(i-1) 순위 비트값으로 이루어진 제(i-1) k비트 출력 데이터를 출력하며, (R\_3) 제1\_(n+1) 사이클에서, 상기 믹스/디믹스는 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인 각각을 통해 전송된 제1\_1\_n 순위 비트값 내지 제1\_k\_n 순위 비트값을 멀티플렉싱하여 상기 제1\_1\_n 순위 비트값 내지 상기 제1\_k\_n 순위 비트값으로 이루어진 제n k비트 출력 데이터를 출력하며, (W) 상기 라이트W\_1) 제2\_1 사이클에서, 상기 믹스/디믹스는 제1 k비트 입력 데이터를 디멀티플렉싱하여 제2\_1\_1 순위 비트값 내지 제2\_k\_1 순위 비트값 각각을 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 출력하며, (W\_2) 제2\_i 사이클에서, 상기 믹스/디믹스는 제i k비트 입력 데이터를 디멀티플렉싱하여 제2\_1\_i 순위 비트값 내지 제2\_k\_i 순위 비트값 각각을 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 출력하고, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각은 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 전송된 제2\_1(i-1) 순위 비트값 내지 제2\_k(i-1) 순위 비트값 각각을 래치하며, (W\_3) 제2\_(n+1) 사이클에서, 상기 제1 센스 앰프 내지 상기 제k 센스 앰프 각각은, 상기 제1 글로벌 입출력 라인 내지 상기 제k 글로벌 입출력 라인을 통해 전송된 제2\_1\_n 순위 비트값 내지 제2\_k\_n 순위 비트값 각각을 래치하며, 래치된 상기 제2\_1\_1 순위 비트값 내지 래치된 상기 제2\_1\_n 순위 비트값으로 이루어진 제2\_1 n비트 데이터 내지 래치된 상기 제2\_k\_1 순위 비트값 내지 래치된 상기 제2\_k\_n 순위 비트값으로 이루어진 제2\_k n비트 데이터 각각에 대응되는 제2\_1 특정 레벨 전압 내지 제2\_k 특정 레벨 전압 각각이 상기 제1 메모리 셀 내지 상기 제k 메모리 셀 각각에 저장되도록 할 수 있다.
- [0018] 상기 실시예에서, 상기 k개의 센스 앰프 각각에 결합된 제1 비트라인 내지 제k 비트라인 각각은 동일한 메모리 셀 어레이에 위치하며, 상기 k개의 센스 앰프 각각은 하나의 상기 믹스/디믹스에 결합된 상기 k개의 글로벌 입출력 라인 각각에 결합될 수 있다.
- [0019] 상기 실시예에서, 상기 k개의 센스 앰프 각각에 결합된 제1 비트라인 내지 제k 비트라인 각각은 서로 다른 메모리 셀 어레이에 위치하며, 상기 k개의 센스 앰프 각각은 k개의 상기 믹스/디믹스 각각의 글로벌 입출력 라인에 결합될 수 있다.
- [0020] 상기 실시예에서, 상기 k개의 센스 앰프 각각은, 상기 제1 n비트 데이터들 각각의 상기 제1 순위별 비트값들을 순차적으로 출력하는 각각의 축차 비교형 아날로그-디지털 컨버터들을 포함할 수 있다.
- [0021] 상기 실시예에서, 상기 k개의 센스 앰프 각각은, 상기 제2 순위별 비트값들 각각이 입력되는 각각의 입력단자들, 상기 각각의 입력단자들을 순차적으로 활성화시키는 각각의 단자 스위치들, 및 상기 각각의 단자

스위치들을 통해 순차적으로 입력되는 상기 제2 순위별 비트값들에 대응되는 상기 제2 특정 레벨 전압들을 상기 복수의 비트라인들 각각에 인가하여 주는 각각의 디지털-아날로그 컨버터를 포함할 수 있다.

[0022] 상기 실시예에서, 상기 k개의 센스 앰프 각각은, 상기 제1 순위별 비트값들 중 적어도 일부의 특정 순위별 비트값들을 상기 k개의 센스 앰프에 대응되는 k개의 메모리 셀 각각의 리프레시에 이용할 수 있다.

[0023] 상기 실시예에서, 상기 k개의 센스 앰프 각각은 k개의 글로벌 스위치 각각을 통해 상기 k개의 글로벌 입출력 라인 각각에 결합되며, 상기 특정 순위별 비트값들을 상기 k개의 메모리 셀 각각의 리프레시에 이용할 경우, 상기 k개의 글로벌 스위치 각각이 비활성화될 수 있다.

**발명의 효과**

[0024] 본 발명에 의하면, 다음과 같은 효과가 있다.

[0025] 본 발명은 n비트 데이터를 저장하는 메모리 셀에서의 데이터 액세스를 위한 시간 지연을 최소화할 수 있다.

[0026] 본 발명은 n비트 데이터를 저장하는 메모리 셀의 밀도를 증가시킬 수 있다.

[0027] 본 발명은 n비트 데이터 저장하는 메모리 셀에서의 데이터를 효율적으로 전송할 수 있다.

**도면의 간단한 설명**

[0028] 도 1은 종래의 2비트 데이터를 저장하는 메모리 셀을 포함하는 메모리 디바이스를 개략적으로 도시한 것이고, 도 2는 본 발명의 일 실시예에 따라 2비트 데이터를 저장하는 메모리 셀을 포함하는 메모리 디바이스를 개략적으로 도시한 것이고,

도 3은 본 발명의 일 실시예에 따른 메모리 디바이스에서의 센스 앰프를 개략적으로 도시한 것이고,

도 4는 본 발명의 일 실시예에 따른 메모리 디바이스에서의 센스 앰프의 아날로그-디지털 컨버터를 개략적으로 도시한 것이고,

도 5는 본 발명의 일 실시예에 따른 메모리 디바이스에서 글로벌 입출력 라인의 다른 구성을 개략적으로 도시한 것이고,

도 6은 본 발명의 일 실시예에 따른 메모리 디바이스에서의 데이터를 읽는 리드 모드를 개략적으로 도시한 것이고,

도 7은 본 발명의 일 실시예에 따른 메모리 디바이스에서의 데이터를 쓰는 라이트 모드를 개략적으로 도시한 것이다.

**발명을 실시하기 위한 구체적인 내용**

[0029] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0030] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 바람직한 실시예들에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다. 본 발명에 따른 메모리 디바이스는 DRAM(Dynamic Random Access Memory), SDRAM(Synchronous DRAM), SRAM(Static RAM), DDR SDRAM(Double Date Rate SDRAM), DDR2 SDRAM, DDR3 SDRAM, PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM) 등을 포함하는 랜덤 액세스 메모리(RAM, Random Access Memory)들 중의 어느 하나의 메모리 디바이스일 수 있으며, 이하에서는 디램을 위주로 설명하도록 한다. 또한, 메모리 셀은 워드라인 신호에 의해 스위칭되는 스위치 소자와 전하를 저장하는 셀 캐패시터를 포함하지만, 설명의 편의를 위하여 셀 캐패시터를

메모리 셀로 지칭할 수도 있다.

- [0031] 또한, 이하에서는 설명의 편의를 위하여 메모리 셀에서의 2비트 데이터를 기준으로 작성된 도면을 이용하여 본 발명을 상세히 설명하지만, 본 발명이 도면에 한정되는 것은 아니다. 그리고, 도면에는 설명의 편의를 위하여 8개의 메모리 셀, 8개의 센스 앰프, 8개의 글로벌 입출력 라인을 가지는 하나의 맥스/디맥스만을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0032] 도 2는 본 발명의 일 실시예에 따라 2비트 데이터를 저장하는 메모리 셀을 포함하는 메모리 디바이스를 개략적으로 도시한 것이다.
- [0033] 본 발명의 일 실시예에 따른 메모리 디바이스는 복수의 워드라인, 복수의 비트라인, 및 복수의 메모리 셀을 포함하는 적어도 하나의 메모리 셀 어레이를 포함할 수 있다. 이때, 복수의 메모리 셀 각각은 n비트 데이터에 대응되는 각각의 특정 레벨 전압을 저장할 수 있으며, 대응되는 특정 워드라인이 로우 어드레스에 의해 활성화됨에 따라 복수의 메모리 셀 각각은 턴온되어 대응되는 비트라인들 각각과 차지 셰어링이 이루어질 수 있다. 상기 n은 2 이상의 정수일 수 있다.
- [0034] 일 예로, 도 2를 참조하면, 본 발명의 일 실시예에 따른 메모리 디바이스(100)에서의 하나의 메모리 셀 어레이(MAT)를 도시하고 있으며, 특정 워드라인(WL)의 활성화에 따라 턴온되는 8개의 메모리 셀(C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>8</sub>)과, 8개의 메모리 셀(C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>8</sub>) 각각에 연결되는 8개의 비트라인(BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>8</sub>)을 도시하고 있다. 이에 따르면, 본 발명의 메모리 디바이스(100)는 특정 워드라인(WL)이 로우 어드레스에 의해 활성화되며, 그에 따라, 특정 워드라인(WL)에 결합된 8개의 메모리 셀(C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>8</sub>)은 턴온되며, 턴온된 8개의 메모리 셀(C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>8</sub>) 각각은 8개의 비트라인(BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>8</sub>) 각각과 차지 셰어링이 이루어질 수 있다.
- [0035] 그리고, 본 발명의 일 실시예에 따른 메모리 디바이스는 복수의 비트라인 각각에 결합되며, 리드 모드에서, 복수의 메모리 셀 각각에 저장된 제1 특정 레벨 전압들을 각각의 제1 n비트 데이터들로 변환하여 출력하되, 제1 n비트 데이터들 각각의 제1 순위별 비트값들을 순차적으로 출력하며, 라이트 모드에서, 제2 n비트 데이터들을 제2 특정 레벨 전압들로 변환하여 복수의 메모리 셀 각각에 저장되도록 하는 복수의 센스 앰프를 포함할 수 있다.
- [0036] 일 예로, 도 2를 참조하면, 8개의 센스 앰프(SA<sub>1</sub>, SA<sub>2</sub>, ..., SA<sub>8</sub>)를 도시하고 있으며, 이에 따르면, 본 발명의 일 실시예에 따른 메모리 디바이스(100)의 8개의 센스 앰프(SA<sub>1</sub>, SA<sub>2</sub>, ..., SA<sub>8</sub>) 각각은 8개의 비트라인(BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>8</sub>) 각각에 결합될 수 있다. 이때, 8개의 센스 앰프(SA<sub>1</sub>, SA<sub>2</sub>, ..., SA<sub>8</sub>) 각각은, 메모리 디바이스(100)의 리드 모드에서, 컬럼 어드레스에 의해 활성화되며, 8개의 비트라인(BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>8</sub>) 각각을 통해 8개의 메모리 셀(C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>8</sub>) 각각에 저장된 8개의 제1 특정 레벨 전압 각각을 각각의 8개의 제1 n비트 데이터로 변환하여 출력하되, 8개의 제1 n비트 데이터 각각의 제1 순위별 비트값들을 순차적으로 출력할 수 있다. 즉, 8개의 센스 앰프(SA<sub>1</sub>, SA<sub>2</sub>, ..., SA<sub>8</sub>) 각각은 8개의 제1 n비트 데이터 각각에서의, 8개의 제1 순위 비트값 내지 8개의 제n 순위 비트값을 순차적으로 출력할 수 있다. 이때, 제1 순위 내지 제n 순위는 n비트 데이터에서의 MSB(Most Significant Bit)로부터 LSB(Least Significant Bit)까지의 순위이거나, LSB(Least Significant Bit)로부터 MSB(Most Significant Bit)까지의 순위일 수 있다. 또한, 8개의 센스 앰프(SA<sub>1</sub>, SA<sub>2</sub>, ..., SA<sub>8</sub>) 각각은, 메모리 디바이스(100)의 라이트 모드에서, 컬럼 어드레스에 의해 활성화되며, 8개의 제2 n비트 데이터 각각을 8개의 제2 특정 레벨 전압 각각으로 변환하고, 8개의 비트라인(BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>8</sub>) 각각을 통해 8개의 제2 특정 레벨 전압 각각이 8개의 메모리 셀(C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>8</sub>) 각각에 저장되도록 할 수 있다.
- [0037] 이때, 도 3을 참조하면, 복수의 센스 앰프 각각은, 리드 모드에서 메모리 셀에 저장된 특정 레벨 전압을 n비트 데이터로 변환하는 아날로그-디지털 컨버터(ADC)와 라이트 모드에서 n비트 데이터를 특정 레벨 전압으로 변환하여 메모리 셀에 저장되도록 하는 디지털-아날로그 컨버터(DAC)를 포함할 수 있다. 그리고, 디지털-아날로그 컨버터(DAC)는 n비트 데이터의 순위별 비트값들을 하나의 입력단자를 통해 순차적으로 입력받으며, 입력되는 순위별 비트값들을 래치하거나 버퍼링한 다음 모든 순위의 비트값이 입력되면 특정 레벨 전압으로 변환하거나, 순위별 비트값들 각각이 입력되는 입력단자들을 형성하고, 입력단자들을 순차적으로 활성화시키는 단자 스위치(SW<sub>2</sub>)를 통해 순위별 비트값을 입력받으며, 입력되는 순위별 비트값들을 래치하거나 버퍼링한 다음 모든 순위의 비트값이 입력되면 특정 레벨 전압으로 변환하여 줄 수 있다. 한편, 스위치(SW<sub>1</sub>)에 대해서는 후술하도록 한다.
- [0038] 또한, 도 4를 참조하면, 복수의 센스 앰프 각각에 포함된 아날로그-디지털 컨버터(ADC)는 하나의 비교기(comp)



를 이용하여 메모리 셀에 저장된 특정 레벨 전압을 n비트 데이터로 변환하되, n비트 데이터의 순위별 비트값들을 순차적으로 출력하는 축차 비교형 아날로그-디지털 컨버터로 구성할 수도 있다.

- [0039] 그리고, 본 발명의 일 실시예에 따른 메모리 디바이스는 프리페치 사이즈에 대응되는 k개의 글로벌 입출력 라인 각각이, 복수의 센스 앰프를 k개씩 그룹핑한 센스 앰프 그룹들 각각에 포함되는 k개의 센스 앰프 각각에 결합되는 적어도 하나의 맥스/디맥스를 포함할 수 있다. 상기 k는 1 이상의 정수일 수 있다.
- [0040] 일례로, 도 2를 참조하면, k가 8인 경우를 도시하고 있으며, 이에 따르면 본 발명의 일 실시예에 따른 메모리 디바이스(100)는 프리페치 사이즈에 대응되는 8개의 글로벌 입출력 라인(GIO\_1, GIO\_2, ..., GIO\_8) 각각이, 하나의 센스 앰프 그룹에 포함된 8개의 센스 앰프(SA\_1, SA\_2, ..., SA\_8) 각각에 결합되는 적어도 하나의 맥스/디맥스(10)를 포함할 수 있다.
- [0041] 그리고, 본 발명의 일 실시예에 따른 메모리 디바이스에서의 맥스/디맥스는, 리드 모드에서, k개의 센스 앰프 각각의 제1 순위별 비트값들을 멀티플렉싱하여 k비트 출력 데이터들을 출력하며, 라이트 모드에서, k비트 입력 데이터들 각각을 제2 순위별 비트값들로 디멀티플렉싱하여 k개의 글로벌 입출력 라인 각각을 통해 k개의 센스 앰프 각각에 인가하여 줄 수 있다.
- [0042] 일 예로, 도 2를 참조하면, 본 발명의 일 실시예에 따른 메모리 디바이스에서의 맥스/디맥스(10)는, 메모리 디바이스(100)의 리드 모드에서, 메모리 셀을 한번 액세스한 시각으로부터 다음 액세스가 시작될 때까지의 시간인 연속적인 사이클에서의 특정 사이클에서, 8개의 센스 앰프(SA\_1, SA\_2, ..., SA\_8) 각각에서 출력되는 8개의 특정 순위 비트값을 멀티플렉싱하여 하나의 8비트 출력 데이터를 출력할 수 있다. 또한, 발명의 일 실시예에 따른 메모리 디바이스에서의 맥스/디맥스(10)는, 메모리 디바이스(100)의 라이트 모드에서, 특정 사이클에서, 8비트 입력 데이터를 디멀티플렉싱하여 8개의 특정 순위 비트값을 생성하고, 8개의 특정 순위 비트값 각각이 8개의 센스 앰프(SA\_1, SA\_2, ..., SA\_8) 각각에 입력되도록 할 수 있다.
- [0043] 이때, 본 발명의 일 실시예에 따른 메모리 디바이스에서, k개의 센스 앰프 각각은 하나의 맥스/디맥스에 결합된 k개의 글로벌 입출력 라인에 각각 결합될 수 있으며, k개의 센스 앰프 각각에 결합된 k개의 비트라인인 제1 비트라인 내지 제k 비트라인 각각은 동일한 메모리 셀 어레이에 위치할 수 있다. 하지만, 본 발명은 이에 한정되지 않으며, k개의 비트라인 각각이 서로 다른 메모리 셀 어레이에 위치할 수도 있다.
- [0044] 일 예로, 도 2를 참조하면, 본 발명의 일 실시예에 따른 메모리 디바이스(100)에서, 하나의 센스 앰프 그룹에 포함되는 8개의 센스 앰프(SA\_1, SA\_2, ..., SA\_8) 각각은 맥스/디맥스(10)의 8개의 글로벌 입출력 라인(GIO\_1, GIO\_2, ..., GIO\_8) 각각에 결합될 수 있다. 그리고, 8개의 센스 앰프(SA\_1, SA\_2, ..., SA\_8) 각각에 결합된 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8)은 동일한 메모리 셀 어레이(MAT)에 위치할 수 있다. 이때, 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8)은 동일한 메모리 셀 어레이(MAT) 내에서 연속되는 위치에 배치되거나, 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8) 중 적어도 일부는 연속되지 않는 위치에 배치될 수 있다.
- [0045] 또한, 본 발명의 일 실시예에 따른 메모리 디바이스에서, k개의 센스 앰프 각각은 k개의 맥스/디맥스 각각의 글로벌 입출력 라인에 결합될 수 있으며, k개의 센스 앰프 각각에 결합된 제1 비트라인 내지 제k 비트라인 각각은 서로 다른 메모리 셀 어레이에 위치할 수 있다. 하지만, 본 발명은 이에 한정되지 않으며, k개의 비트라인 각각이 동일한 메모리 셀 어레이에 위치할 수도 있다.
- [0046] 일 예로, 도 5를 참조하면, 본 발명의 일 실시예에 따른 메모리 디바이스(100)에서, 하나의 센스 앰프 그룹에 포함된 8개의 센스 앰프(SA\_1, SA\_2, ..., SA\_8)인 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각은, 8개의 맥스/디맥스(10\_1, 10\_2, ..., 10\_8)인 제1 맥스/디맥스(10\_1) 내지 제8 맥스/디맥스(10\_8) 각각의 제1 글로벌 입출력 라인(GIO\_1)들에 각각 결합될 수 있다. 이때, 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각이 제1 맥스/디맥스(10\_1) 내지 제8 맥스/디맥스(10\_8) 각각의 제1 글로벌 입출력 라인(GIO\_1)들에 결합된 것으로 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각이 제1 맥스/디맥스(10\_1) 내지 제8 맥스/디맥스(10\_8) 각각의 서로 다른 순위의 글로벌 입출력 라인들에 결합될 수도 있다. 또한, 도 5에서는, 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각에 결합된 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8)이 동일한 메모리 셀 어레이(MAT) 내에서 연속되는 위치에 배치된 것으로 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8) 중 적어도 일부는 동일한 메모리 셀 어레이(MAT) 내에서 연속되지 않는 위치에 배치될 수도 있으며, 이에 더하여, 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8) 중 적어도 일부는 서로 다른 메모리 셀 어레이(MAT)들에 배치될 수도 있다.
- [0047] 이와 같은 본 발명의 일 실시예에 따른 메모리 디바이스에서 메모리 셀에 저장된 n비트 데이터를 읽기 위한 리

드 모드에서의 동작을 설명하면 다음과 같다.

- [0048] 로우 어드레스에 의해 특정 워드라인이 활성화되며, 그에 따라, 특정 워드라인에 결합된 메모리 셀들은 턴온되고, 턴온된 메모리 셀들 각각은 결합된 각각의 비트라인들과 차지 셰어링이 이루어진다.
- [0049] 그리고, 메모리 셀들에 저장된 n비트 데이터들을 읽기 위한 최초의 사이클인 제1\_1 사이클에서, 컬럼 어드레스에 대응하여 k개의 센스 앰프인 제1 센스 앰프 내지 제k 센스 앰프 각각은, 제1 센스 앰프 내지 제k 센스 앰프 각각에 대응되는 제1 메모리 셀 내지 제k 메모리 셀 각각에 저장된 제1\_1 특정 레벨 전압 내지 제1\_k 특정 레벨 전압 각각에 대응되는 제1\_1 n비트 데이터의 제1\_1\_1 순위 비트값 내지 제1\_k n비트 데이터의 제1\_k\_1 순위 비트값을 출력할 수 있다.
- [0050] 이후, 제1\_i 사이클에서, 제1 센스 앰프 내지 제k 센스 앰프 각각은 제1\_1 n비트 데이터의 제1\_1\_i 순위 비트값 내지 제1\_k n비트 데이터의 제1\_k\_i 순위 비트값을 출력할 수 있다. 상기 i는 2부터 n까지 증가하는 정수일 수 있다. 이와 동시에, 맥스/디맥스는 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인 각각을 통해 전송된 제1\_1\_(i-1) 순위 비트값 내지 제1\_k\_(i-1) 순위 비트값을 멀티플렉싱하여 제1\_1\_(i-1) 순위 비트값 내지 제1\_k\_(i-1) 순위 비트값으로 이루어진 제(i-1) k비트 출력 데이터를 출력할 수 있다.
- [0051] 그리고, 제1\_(n+1) 사이클에서, 맥스/디맥스는 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인 각각을 통해 전송된 제1\_1\_n 순위 비트값 내지 제1\_k\_n 순위 비트값을 멀티플렉싱하여 제1\_1\_n 순위 비트값 내지 제1\_k\_n 순위 비트값으로 이루어진 제n k비트 출력 데이터를 출력할 수 있다.
- [0052] 즉, 본 발명의 일 실시예에 따른 메모리 디바이스는 k개의 메모리 셀에 기록된 k개의 n비트 데이터들을, 순위별 비트값으로 이루어진 n개의 k비트 데이터로 읽을 수 있다.
- [0053] 상기 본 발명의 일 실시예에 따른 메모리 디바이스에서의 읽기 동작을 도 2와 도 6의 2비트 데이터를 기준으로 설명하면 다음과 같다. 이때, 메모리 디바이스는 프리페치 사이즈에 따라 8비트 출력 데이터를 출력하는 것으로 예시한다.
- [0054] 로우 어드레스에 의해 특정 워드라인(WL)이 활성화됨에 따라, 특정 워드라인(WL)에 결합된 제1 메모리 셀(C\_1) 내지 제8 메모리 셀(C\_8)은 턴온되어 각각의 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8)과 차지 셰어링이 이루어진다.
- [0055] 그리고, 제1 사이클(tCAS\_MSB)에서, 컬럼 어드레스에 대응하여 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각은, 제1 비트라인(BL\_1) 내지 제8 비트라인(BL\_8) 각각을 통해 제1 메모리 셀(C\_1) 내지 제8 메모리 셀(C\_8) 각각에 저장된 제1 특정 레벨 전압 내지 제8 특정 레벨 전압 각각을 센싱하여, 제1 특정 레벨 전압에 대응되는 제1 2비트 데이터에서의 제1 최상위 비트값(D<sub>1,M</sub>) 내지 제8 특정 레벨 전압에 대응되는 제8 2비트 데이터에서의 제8 최상위 비트값(D<sub>8,M</sub>)을 각각 출력할 수 있다.
- [0056] 이후, 제2 사이클(tCAS\_LSB = tBUSRT\_MSB)에서, 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각은, 제1 특정 레벨 전압에 대응되는 제1 2비트 데이터에서의 제1 최하위 비트값(D<sub>1,L</sub>) 내지 제8 특정 레벨 전압에 대응되는 제8 2비트 데이터에서의 제8 최하위 비트값(D<sub>8,L</sub>)을 각각 출력할 수 있다.
- [0057] 이와 동시에, 맥스/디맥스(10)는 제1 글로벌 입출력 라인(GIO\_1) 내지 제8 글로벌 입출력 라인(GIO\_8)을 통해 병렬적으로 전송된 제1 센스 앰프(SA\_1)로부터의 제1 최상위 비트값(D<sub>1,M</sub>) 내지 제8 센스 앰프(SA\_8)로부터의 제8 최상위 비트값(D<sub>8,M</sub>)을 멀티플렉싱하여 제1 최상위 비트값(D<sub>1,M</sub>) 내지 제8 최상위 비트값(D<sub>8,M</sub>)으로 이루어진 제1 8비트 출력 데이터를 출력하여 줄 수 있다.
- [0058] 그리고, 제3 사이클(tBURST\_LSB)에서, 맥스/디맥스(10)는 제1 글로벌 입출력 라인(GIO\_1) 내지 제8 글로벌 입출력 라인(GIO\_8)을 통해 병렬적으로 전송된 제1 센스 앰프(SA\_1)로부터의 제1 최하위 비트값(D<sub>1,L</sub>) 내지 제8 센스 앰프(SA\_8)로부터의 제8 최하위 비트값(D<sub>8,L</sub>)을 멀티플렉싱하여 제1 최하위 비트값(D<sub>1,L</sub>) 내지 제8 최하위 비트값(D<sub>8,L</sub>)으로 이루어진 제2 8비트 출력 데이터를 출력하여 줄 수 있다.
- [0059] 한편, 상기에서는 최상위 비트값들과 최하위 비트값들을 모두 메모리 디바이스의 데이터로 이용하였으나, 일부 순위의 비트값들은 메모리 디바이스의 데이터로 이용하며, 일부 순위의 비트값들은 리프레시에 이용할 수 있다.
- [0060] 일 예로, 도 3에서와 같이, 센스 앰프와 글로벌 입출력 라인 사이에 글로벌 스위치(SW\_1)를 설치한 상태에서,

글로벌 스위치(SW<sub>1</sub>)를 활성화하여 최상위 비트값은 맥스/디맥스로 전송되도록 하고, 리프레시를 위하여 글로벌 스위치(SW<sub>1</sub>)를 비활성화하여 최하위 비트값은 디지털-아날로그 컨버터로 전송되도록 할 수 있다. 이때, 디지털-아날로그 컨버터는 입력되는 최하위 비트값을 복제하여 2비트 데이터에 대응되는 특정 레벨 전압이 메모리 셀에 저장될 수 있도록 할 수 있다.

- [0061] 한편, 상기에서는 디지털-아날로그 컨버터는 입력되는 최하위 비트값을 복제하여 2비트 데이터에 대응되는 특정 레벨 전압이 메모리 셀에 저장될 수 있도록 하였으나, 이와는 달리, 글로벌 스위치(SW<sub>1</sub>)를 활성화하여 최상위 비트값은 맥스/디맥스로 전송되도록 함과 동시에, 최상위 비트값이 디지털-아날로그 컨버터로 입력되어 디지털-아날로그 컨버터가 최상위 비트값을 래치하도록 하고, 리프레시를 위하여 글로벌 스위치(SW<sub>1</sub>)를 비활성화하여 최하위 비트값은 디지털-아날로그 컨버터로만 전송되도록 하여, 디지털-아날로그 컨버터가 최하위 비트값을 래치하고, 래치된 최상위 비트값과 래치된 최하위 비트값으로 이루어진 2비트 데이터에 대응되는 특정 레벨 전압이 메모리 셀에 저장될 수 있도록 할 수도 있다.
- [0062] 또한, 본 발명의 일 실시예에 따른 메모리 디바이스에서 메모리 셀에 n비트 데이터를 쓰기 위한 라이트 모드에서의 동작을 설명하면 다음과 같다.
- [0063] 로우 어드레스에 의해 특정 워드라인이 활성화되며, 그에 따라, 특정 워드라인에 결합된 메모리 셀들은 턴온될 수 있다.
- [0064] 그리고, 메모리 셀들에 제2 n비트 데이터들을 쓰기 위한 최초의 사이클인 제2\_1 사이클에서, 맥스/디맥스는 제1 k비트 입력 데이터를 디멀티플렉싱하여 제2\_1\_1 순위 비트값 내지 제2\_k\_1 순위 비트값 각각을 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인을 통해 출력할 수 있다.
- [0065] 이후, 제2\_i 사이클에서, 맥스/디맥스는 제i k비트 입력 데이터를 디멀티플렉싱하여 제2\_1\_i 순위 비트값 내지 제2\_k\_i 순위 비트값 각각을 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인을 통해 출력할 수 있다. 이와 동시에 제1 센스 앰프 내지 제k 센스 앰프 각각은 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인을 통해 전송된 제2\_1\_(i-1) 순위 비트값 내지 제2\_k\_(i-1) 순위 비트값 각각을 래치할 수 있다.
- [0066] 그리고, 제2\_(n+1) 사이클에서, 제1 센스 앰프 내지 제k 센스 앰프 각각은, 제1 글로벌 입출력 라인 내지 제k 글로벌 입출력 라인을 통해 전송된 제2\_1\_n 순위 비트값 내지 제2\_k\_n 순위 비트값 각각을 래치하며, 래치된 제2\_1\_1 순위 비트값 내지 제2\_1\_n 순위 비트값으로 이루어진 제2\_1 n비트 데이터 내지 래치된 제2\_k\_1 순위 비트값 내지 제2\_k\_n 순위 비트값으로 이루어진 제2\_k n비트 데이터 각각에 대응되는 제2\_1 특정 레벨 전압 내지 제2\_k 특정 레벨 전압 각각이 제1 메모리 셀 내지 제k 메모리 셀 각각에 저장되도록 할 수 있다.
- [0067] 즉, 본 발명의 일 실시예에 따른 메모리 디바이스는 n개의 k비트 입력 데이터에서의 순위별 비트값들을 이용하여 k개의 n비트 데이터를 생성하여, k개의 메모리 셀에 각각의 n비트 데이터들을 기록할 수 있다.
- [0068] 상기 본 발명의 일 실시예에 따른 메모리 디바이스에서의 쓰기 동작을 도 2와 도 7의 2비트 데이터를 기준으로 설명하면 다음과 같다. 이때, 메모리 디바이스는 프리페치 사이즈에 따라 8비트 입력 데이터를 기록하는 것으로 예시한다.
- [0069] 로우 어드레스에 의해 특정 워드라인(WL)이 활성화됨에 따라, 특정 워드라인(WL)에 결합된 제1 메모리 셀(C<sub>1</sub>) 내지 제8 메모리 셀(C<sub>8</sub>)은 턴온될 수 있다.
- [0070] 그리고, 제1 사이클(tBURST\_MSB)에서, 컬럼 어드레스에 대응하여 맥스/디맥스(10)는 입력되는 제1 8비트 입력 데이터를 디멀티플렉싱하여 제1 최상위 비트값(D<sub>1,M</sub>) 내지 제8 최상위 비트값(D<sub>8,M</sub>)을 생성하고, 제1 최상위 비트값(D<sub>1,M</sub>) 내지 제8 최상위 비트값(D<sub>8,M</sub>) 각각을 제1 글로벌 입출력 라인(GIO<sub>1</sub>) 내지 제8 글로벌 입출력 라인(GIO<sub>8</sub>) 각각을 통해 전송할 수 있다.
- [0071] 이후, 제2 사이클(tBURST\_LSB = tCAS\_MSB)에서, 맥스/디맥스(10)는 입력되는 제2 8비트 입력 데이터를 디멀티플렉싱하여 제1 최하위 비트값(D<sub>1,L</sub>) 내지 제8 최하위 비트값(D<sub>8,L</sub>)을 생성하고, 제1 최하위 비트값(D<sub>1,L</sub>) 내지 제8 최하위 비트값(D<sub>8,L</sub>) 각각을 제1 글로벌 입출력 라인(GIO<sub>1</sub>) 내지 제8 글로벌 입출력 라인(GIO<sub>8</sub>) 각각을 통해 전송할 수 있다.
- [0072] 이와 동시에, 제1 센스 앰프(SA<sub>1</sub>) 내지 제8 센스 앰프(SA<sub>8</sub>) 각각은, 제1 글로벌 입출력 라인(GIO<sub>1</sub>)을 통해 전송된 제1 최상위 비트값(D<sub>1,M</sub>) 내지 제8 글로벌 입출력 라인(GIO<sub>8</sub>)을 통해 전송된 제8 최상위 비트값(D<sub>8,M</sub>) 각

각을 래치할 수 있다.

[0073] 그리고, 제3 사이클(tCAS\_LSB)에서, 제1 센스 앰프(SA\_1) 내지 제8 센스 앰프(SA\_8) 각각은, 제1 글로벌 입출력 라인(GIO\_1)을 통해 전송된 제1 최하위 비트값(D<sub>1,L</sub>) 내지 제8 글로벌 입출력 라인(GIO\_8)을 통해 전송된 제8 최하위 비트값(D<sub>8,L</sub>) 각각을 래치할 수 있으며, 래치된 제1 최상위 비트값(D<sub>1,M</sub>)과 제1 최하위 비트값(D<sub>1,L</sub>)으로 이루어진 제1 2비트 데이터 내지 래치된 제8 최상위 비트값(D<sub>8,M</sub>)과 제8 최하위 비트값(D<sub>8,L</sub>)으로 이루어진 제8 2비트 데이터 각각에 대응되는 제1 특정 레벨 전압 내지 제8 특정 레벨 전압이 제1 메모리 셀(C\_1) 내지 제8 메모리 셀(C\_8) 각각에 저장되도록 할 수 있다.

[0074] 이상에서 본 발명이 구체적인 구성요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명이 상기 실시예들에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형을 꾀할 수 있다.

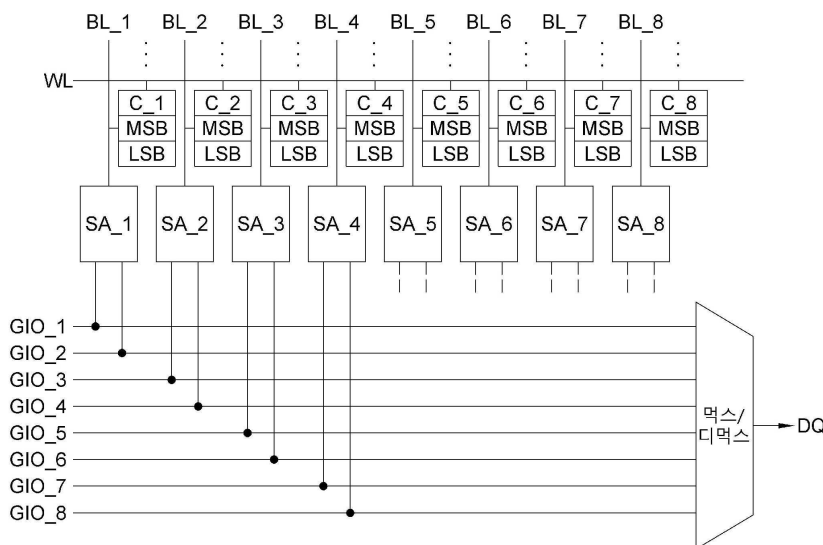
[0075] 따라서, 본 발명의 사상은 상기 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등하게 또는 등가적으로 변형된 모든 것들은 본 발명의 사상의 범주에 속한다고 할 것이다.

**부호의 설명**

- [0076] 100: 메모리 디바이스,
- MAT: 메모리 셀 어레이,
- WL: 워드라인,
- BL: 비트라인,
- SA: 센스 앰프,
- ADC: 아날로그-디지털 컨버터,
- DAC: 디지털-아날로그 컨버터

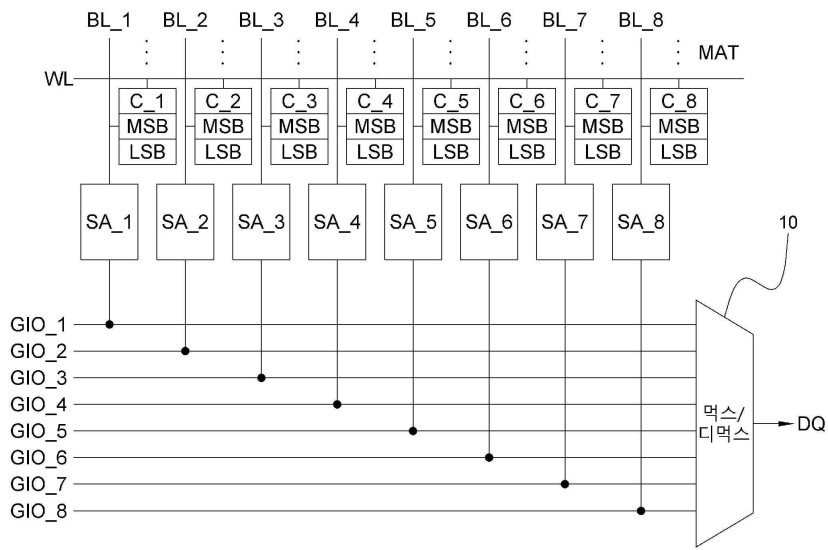
**도면**

**도면1**

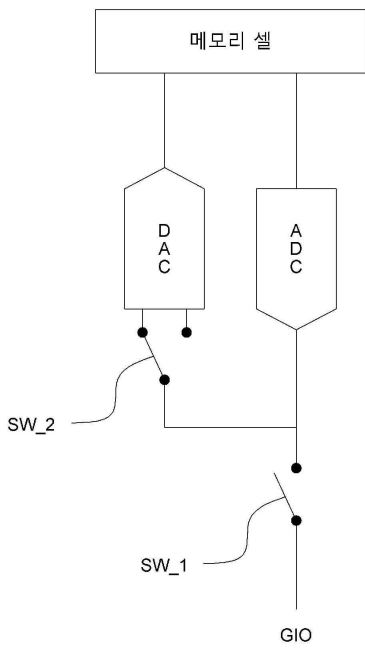


도면2

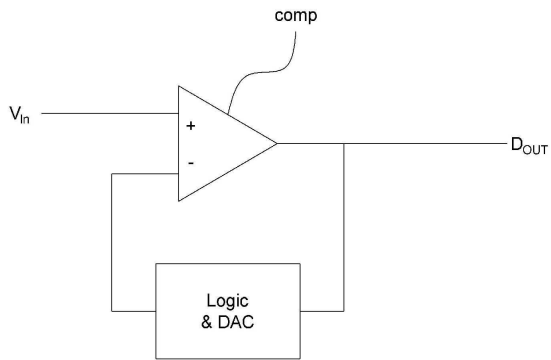
100



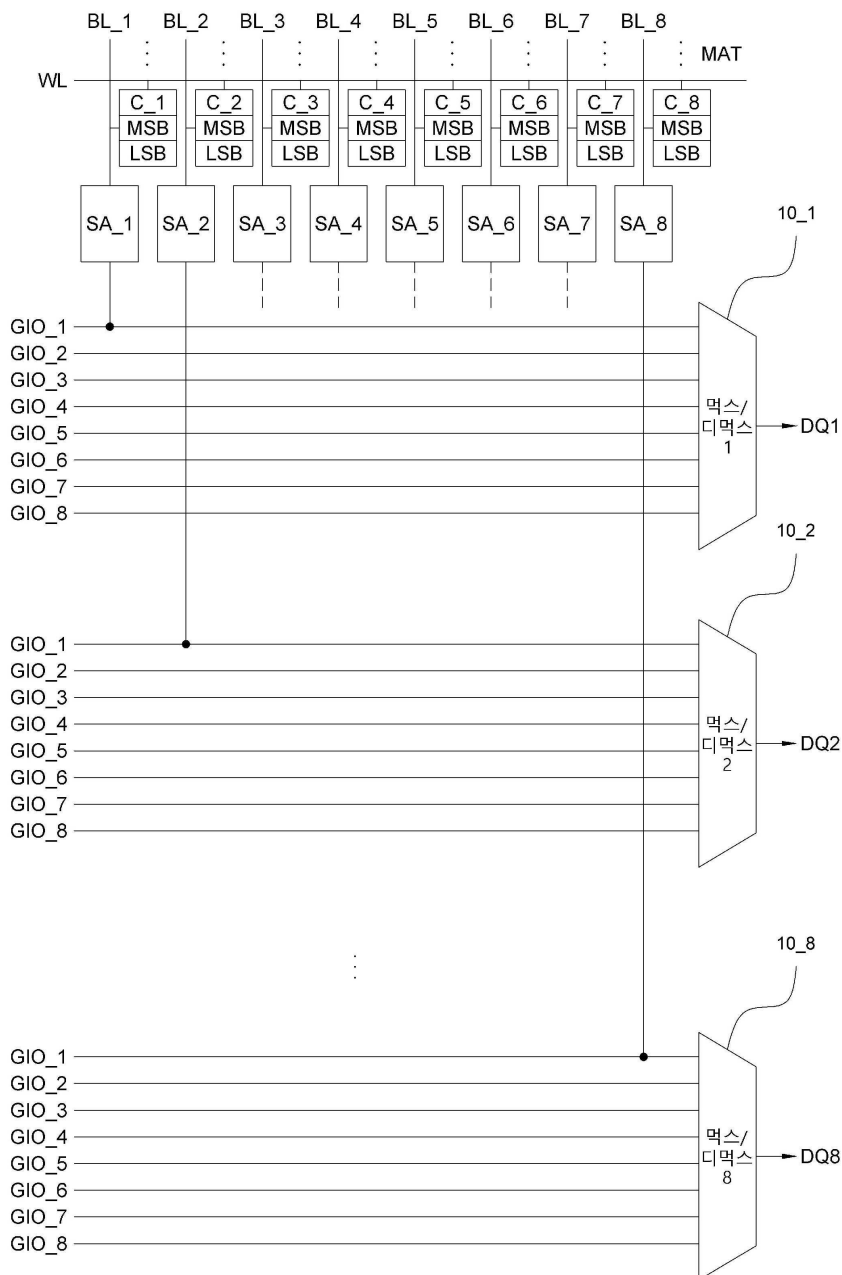
도면3



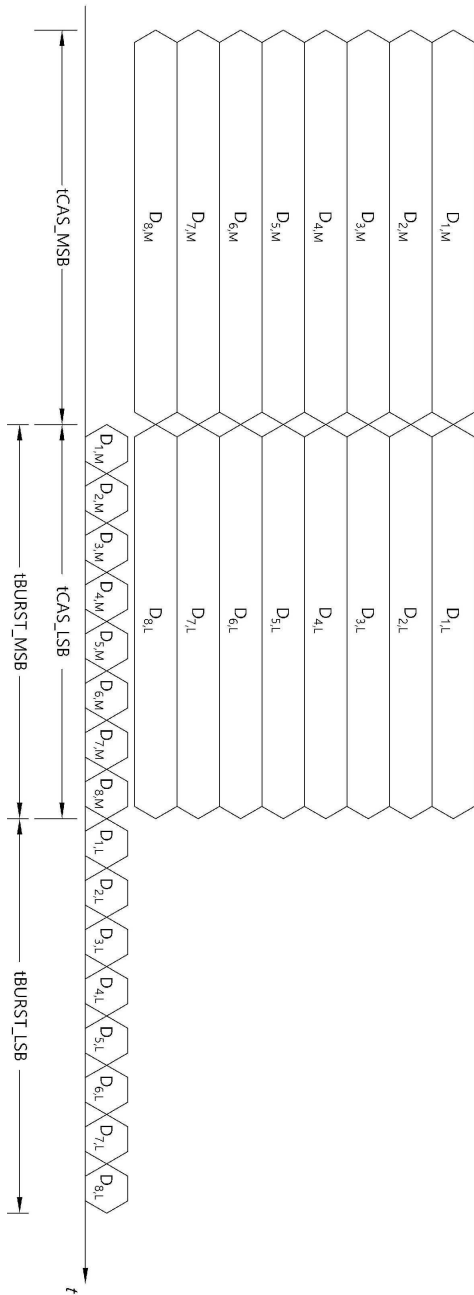
도면4



도면5



도면6



도면7

