



(12)发明专利申请

(10)申请公布号 CN 105720110 A

(43)申请公布日 2016.06.29

(21)申请号 201610199796.7

(22)申请日 2016.04.01

(71)申请人 江苏捷捷微电子股份有限公司

地址 226200 江苏省南通市启东科技创业园兴龙路8号

(72)发明人 王成森 沈怡东 钱清友 张超
周榕榕 黎重林 薛治祥 颜呈祥

(74)专利代理机构 南京正联知识产权代理有限公司 32243

代理人 卢海洋

(51)Int.Cl.

H01L 29/872(2006.01)

H01L 29/06(2006.01)

H01L 21/329(2006.01)

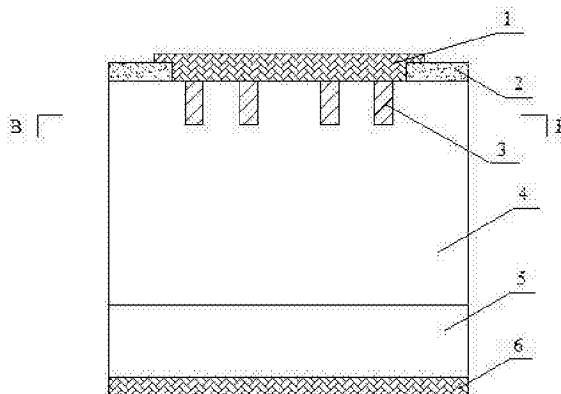
权利要求书1页 说明书5页 附图5页

(54)发明名称

一种SiC环状浮点型P+结构结势垒肖特基二极管及制备方法

(57)摘要

本发明公开了一种SiC环状浮点型P+结构结势垒肖特基二极管,包括肖特基接触区、SiO₂隔离介质、N-外延层、N+衬底区和欧姆接触区,所述N+衬底区上面设有N-外延层,所述N-外延层上设有肖特基接触区和SiO₂隔离介质,所述N+衬底区下面设有欧姆接触区,其特征在于:所述N-外延层和肖特基接触区之间设有多个环状浮点型P+注入区。本发明的优点:在传统JBS器件结构基础上引入环状浮点型P+结构,增大有源区肖特基接触面积,增大导通路径,提高器件的正向导通电流,降低导通电阻,而反向漏电流增加并不明显,解决缓解了器件正向导通电阻和反向击穿电压相互制约矛盾等问题。



1. 一种SiC环状浮点型P+结构结势垒肖特基二极管,包括肖特基接触区、SiO₂隔离介质、N-外延层、N+衬底区和欧姆接触区,所述N+衬底区上面设有N-外延层,所述N-外延层上设有肖特基接触区和SiO₂隔离介质,所述N+衬底区下面设有欧姆接触区,其特征在于:所述N-外延层和肖特基接触区之间设有多个环状浮点型P+注入区。

2. 根据权利要求1所述的一种SiC环状浮点型P+结构结势垒肖特基二极管,其特征在于:所述环状浮点型P+注入区之间的间距为3 μ m,环状浮点型P+注入区深度为1 μ m。

3. 根据权利要求1或2所述的一种SiC环状浮点型P+结构结势垒肖特基二极管,其特征在于:所述环状浮点型P+注入区俯视形状为正方形、圆形或者正六边形。

4. 根据权利要求1所述的一种SiC环状浮点型P+结构结势垒肖特基二极管的制备方法,其特征在于,包括以下步骤:

S1、对N⁺型碳化硅衬底片进行RCA标准清洗后,在其顶面生长一层N⁻外延层;

S2、在N⁻外延层上用PECVD淀积一层SiO₂薄膜;

S3、在SiO₂薄膜层上光刻出环状浮点型P⁺注入区窗口,通过Al离子注入形成环状浮点型P⁺注入区;

S4、去除SiO₂薄膜层,采用RCA标准清洗、烘干、C膜保护后,进行离子激活退火;

S5、牺牲氧化,再腐蚀掉牺牲氧化层;

S6、用PECVD在N⁻外延层表面淀积一层SiO₂隔离介质;

S7、在N⁺型碳化硅衬底片底面溅射金属,再快速热退火形成欧姆接触区;

S8、在N⁻外延层表面的SiO₂隔离介质上光刻出肖特基接触区窗口;

S9、在肖特基接触区窗口内溅射一层金属形成肖特基接触区;

S10、测试、划片、封装。

一种SiC环状浮点型P+结构结势垒肖特基二极管及制备方法

技术领域

[0001] 本发明涉及一种半导体芯片技术领域,具体是一种SiC环状浮点型P+结构结势垒肖特基二极管及制备方法。

背景技术

[0002] 宽禁带半导体材料是继第一代硅、锗和第二代砷化镓、磷化铟等材料以后发展起来的第三代半导体材料。在第三代半导体材料中,碳化硅(SiC)和氮化镓(GaN)是其中的佼佼者。碳化硅材料技术已经成熟,已有高质量的4英寸晶圆,而氮化镓材料没有氮化镓衬底,外延只能依赖其他材料,其热导率只有碳化硅的四分之一,而且无法实现p型掺杂。这使得氮化镓材料在高压、大功率方面的应用受到限制,相比较而言碳化硅材料在电力电子应用领域的优势则尤为显著。

[0003] SiC材料的禁带宽度约是硅的3倍,击穿电场是硅材料的8倍,热导率是硅的3倍,极大地提高了SiC器件的耐压容量和电流密度。由于二者材料的特性不同使SiC材料的击穿电场大约为Si材料的10倍,导致其在相同的击穿电压下,导通电阻只有Si器件的1/100~1/200,极大地降低了SiC器件的导通损耗,同时较高的热点率使得SiC器件可以在高温下稳定工作,减少冷却散热系统,大大提高电路的集成度。由于器件的面积、导通电阻小,以及电容和储存电荷少,SiC功率器件可以实现高的开关速度以及小的开关损耗,因此其可以工作在较高的频率下。SiC材料还具有高抗电磁波冲击和高抗辐射破坏的能力,能够工作在极端辐照环境下,因此,SiC器件可以使电力电子系统的功率、温度、频率和抗辐射能力倍增,效率、可靠性、体积和重量方面的性能也会大幅度改善,不仅在直流、交流输电,不间断电源,开关电源,工业控制等传统工业领域具有广泛应用,而且在太阳能、风能等新能源中也将具有广阔的应用前景。

[0004] 近年来由于SiC单晶生长以及工艺的成熟,SiC肖特基势垒二极管已经率先打开市场,实现了产业化。但是,肖特基二极管的过大的反向漏电流依然是制约其在高压领域应用的主要因素。为了降低传统肖特基二极管在反向时过大的反向漏电流,结势垒肖特基二极管(JBS)得到了广泛的研究。结势垒肖特基二极管是在原有肖特基有源区基础上注入一层不连续的P+层,达到降低肖特基区表面峰值电场,降低反向漏电流,提高耐压稳定性的作用。但是在低电压下,由于SiC pn结没有开启,导通电流主要由肖特基接触完成,条状P+结的引入将降低器件的正向导通电流,增大导通电阻(如图1和图2所示)。

发明内容

[0005] 为解决上述技术问题,本发明提供一种SiC环状浮点型P+结构结势垒肖特基二极管及制备方法。本发明将条状P+结设计为环状浮点型P+结,增大了器件的肖特基接触面积,可以有效增大器件的正向导通电流,降低导通电阻。

[0006] 本发明采用的技术方案是:一种SiC环状浮点型P+结构结势垒肖特基二极管,包括肖特基接触区、SiO₂隔离介质、N-外延层、N+衬底区和欧姆接触区,所述N+衬底区上面设有

N-外延层,所述N-外延层上设有肖特基接触区和SiO₂隔离介质,所述N+衬底区下面设有欧姆接触区,所述N-外延层和肖特基接触区之间设有多个环状浮点型P+注入区。在传统结势垒肖特基二极管器件结构基础上引入P+浮点结构,并将浮点结构设置为环状结构,中心位置依然是肖特基区,从而使得环状浮点型P+结内外外部均允许电流流过,起到提升正向导通电流,减小导通电阻的作用。

[0007] 优选的,所述环状浮点型P+注入区之间的间距为3 μ m、深度为1 μ m。

[0008] 优选的,所述环状浮点型P+注入区俯视形状为正方形、圆形或者正六边形。

[0009] 本发明还提供一种SiC环状浮点型P+结构结势垒肖特基二极管的制备方法,包括以下步骤:

S1、对N⁺型碳化硅衬底片进行RCA标准清洗后,在其顶面生长一层N⁻外延层;

S2、在N⁻外延层上用PECVD淀积一层SiO₂薄膜;

S3、在SiO₂薄膜层上光刻出环状浮点型P⁺注入区窗口,通过Al离子注入形成环状浮点型P⁺注入区;

S4、去除SiO₂薄膜层,采用RCA标准清洗、烘干、C膜保护后,进行离子激活退火;

S5、牺牲氧化,再腐蚀掉牺牲氧化层;

S6、用PECVD在N⁻外延层表面淀积一层SiO₂隔离介质;

S7、在N⁺型碳化硅衬底片底面溅射金属,再快速热退火形成欧姆接触区;

S8、在N⁻外延层表面的SiO₂隔离介质上光刻出肖特基接触区窗口;

S9、在肖特基接触区窗口内溅射一层金属形成肖特基接触区;

S10、测试、划片、封装。

[0010] 本发明的优点:在传统JBS器件结构基础上引入环状浮点型P+结构,增大有源区肖特基接触面积,增大导通路径,提高器件的正向导通电流,降低导通电阻,而反向漏电流增加并不明显,解决缓解了器件正向导通电阻和反向击穿电压相互制约矛盾等问题。

附图说明

[0011] 图1为传统结势垒肖特基二极管结构示意图;

图2为图1的A-A剖视图;

图3为本发明环状浮点型P+结构结势垒肖特基二极管(JBS)的结构示意图;

图4是图3的B-B剖视图;

图5为本发明环状浮点型P+结构结势垒肖特基二极管(JBS)制备方法第1步的示意图;

图6为本发明环状浮点型P+结构结势垒肖特基二极管(JBS)制备方法第2步的示意图;

图7为本发明环状浮点型P+结构结势垒肖特基二极管(JBS)制备方法第3步的示意图;

图8为本发明环状浮点型P+结构结势垒肖特基二极管(JBS)制备方法第4步的示意图;

图9为本发明环状浮点型P+结构结势垒肖特基二极管(JBS)制备方法第5步的示意图;

图中,1、肖特基接触区,2、SiO₂隔离介质,3、环状浮点型P+注入区,4、N-外延层,5、N+衬底区,6、欧姆接触区。

具体实施方式

[0012] 下面结合附图和具体实施例对本发明的技术方案作进一步的说明,但本发明的保

护范围不限于此。

[0013] 如图3至图4所示,一种SiC环状浮点型P+结构结势垒肖特基二极管,包括肖特基接触区1、SiO₂隔离介质2、N-外延层4、N+衬底区5和欧姆接触区6, N+衬底区5上面设有N-外延层4, N-外延层4上设有肖特基接触区1和SiO₂隔离介质2, N+衬底区5下面设有欧姆接触区6, N-外延层4和肖特基接触区6之间设有多个环状浮点型P+注入区3, P+注入区位于N-外延层4内部上表面。环状浮点型P+注入区3可以有效的增加正向电流导通面积,增大正向电流,减小导通电阻。环状浮点型P+注入区3、N-外延层4和N+衬底区5构成PiN结构,减小主结表面电场峰值,减小反向泄漏电流。

[0014] 其中,肖特基接触区1的金属为金属Ti,厚度200nm,整个覆盖在器件阳极。SiO₂隔离介质2位于N-外延层4之上,环绕在器件周围,通过PECVD淀积1μm SiO₂形成。N+衬底区5为高掺杂的N型碳化硅衬底片, N-外延区4为厚度是10~30μm、氮离子掺杂浓度是 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-3}$ 的。环状浮点型P+注入区3为环状结构,外部之间的间距为3μm,内部之间间距也为3μm,通过离子注入形成,其阻挡掩模层为SiO₂,厚度为2μm,通过PECVD淀积形成,并通过CF₄、SF₆刻蚀形成注入窗口,注入窗口形状可以为正方形、圆形或者正六边形,注入深度为0.5μm,注入浓度为 $1 \times 10^{19} \text{cm}^{-3}$ 。欧姆接触区6由金属Ti/Ni10nm/200nm构成,并经过快速热退火1000℃、3min、Ar气氛,形成欧姆接触区6。

[0015] N-外延层4的掺杂和厚度对器件的击穿电压有明显影响,在器件击穿之前,空间电荷区已扩展到与电极相连,则该器件将先于击穿的发生而失去阻断能力,称器件为穿通型,反之为非穿通型。非穿通型器件通常击穿电压更高一些。空间电荷区结构与N-外延层4的掺杂和厚度有着密切的关系。

[0016] 在具体实施过程中,可以根据具体情况,在基本结构不变的情况下,进行一定的变通设计。例如:

一、在满足器件基本结构的情况下,将SiO₂介质进行调整,可以替换为一些高k介质。

[0017] 二、在满足器件基本结构的情况下,可以将环状浮点型P+注入区3的间距进行调整。

[0018] 三、在满足器件基本结构的情况下,可以将环状浮点型P+注入区3的排布方式进行调整,例如六边形排布。

[0019] 本发明提供的一种SiC环状浮点型P+结构结势垒肖特基二极管(JBS),在保证器件性能的情况下,进一步增大器件的导通路径,增大导通电流,减小导通电阻。随着半导体技术的发展,采用本发明还可以制作更多的新型高功率器件。

[0020] 实施例1

第1步,如图5所示,在N+碳化硅衬底片上外延生长N-漂移层:先对N+型碳化硅衬底片5进行RCA标准清洗;再在其正面上用低压热壁化学气相淀积法外延生长厚度为10μm、氮离子掺杂浓度为 $5 \times 10^{15} \text{cm}^{-3}$ 的N-外延层4,其外延工艺条件是:温度为1580℃,压力100mbar,反应气体是硅烷和丙烷,载运气体为纯氢气,杂质源为液态氮气。

[0021] 第2步,如图6所示,在N-外延层上形成环状浮点型P+注入区3:(2.1)淀积2μm的SiO₂做为P+注入区Al离子注入的阻挡层,并通过光刻和刻蚀形成环状浮点型P+注入区3的注入窗口;(2.2)在400℃的温度下进行三次铝离子注入,注入的剂量分别为 $1.33 \times 10^{14} \text{cm}^{-2}$, $8.29 \times 10^{13} \text{cm}^{-2}$, $4.05 \times 10^{13} \text{cm}^{-2}$,对应的能量分别为350keV,150keV和50keV;(2.3)采用

RCA清洗标准对碳化硅表面依次进行清洗、烘干和C膜保护,并在1600℃氩气氛围中作45min的离子激活退火。

[0022] 第3步,如图7所示,形成SiO₂钝化层:在N-外延区4上面通过PECVD淀积的方式淀积一层1μm的SiO₂隔离介质3。

[0023] 第4步,如图8所示,形成衬底欧姆接触区:在衬底上利用溅射的方式溅射金属Ti/Ni10nm/200nm,并通过快速热退火1000℃、3min、Ar气氛围,形成欧姆接触区6。

[0024] 第5步,形成肖特基接触:光刻掩模腐蚀SiO₂钝化层,露出肖特基接触区,如图9所示,利用溅射的方式溅射一层200nmTi金属层,作为肖特基接触区1,如图3。

[0025] 实施例2

第1步,如图5所示,在N+碳化硅衬底片上外延生长N-漂移层:先对N+型碳化硅衬底片5进行RCA标准清洗;再在其正面上用低压热壁化学气相淀积法外延生长厚度为10μm、氮离子掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的N-外延层4,其外延工艺条件是:温度为1580℃,压力100mbar,反应气体是硅烷和丙烷,载运气体为纯氢气,杂质源为液态氮气。

[0026] 第2步,如图6所示,在N-外延层上形成环状浮点型P+注入区3:(2.1)淀积2μm的SiO₂作为做为P+注入区Al离子注入的阻挡层,并通过光刻和刻蚀形成环状浮点型P+注入区3的注入窗口;(2.2)在500℃的温度下进行三次铝离子注入,注入的剂量分别为 $1.33 \times 10^{14} \text{cm}^{-2}$, $8.29 \times 10^{13} \text{cm}^{-2}$, $4.05 \times 10^{13} \text{cm}^{-2}$,对应的能量分别为250keV,150keV和75keV;(2.3)采用RCA清洗标准对碳化硅表面依次进行清洗、烘干和C膜保护,并在1650℃氩气氛围中作45min的离子激活退火。

[0027] 第3步,如图7所示,形成SiO₂钝化层:在N-外延区4上面通过PECVD淀积的方式淀积一层1μm的SiO₂隔离介质3。

[0028] 第4步,如图8所示,形成衬底欧姆接触区:在衬底上利用溅射的方式溅射金属Ti/Ni10nm/200nm,并通过快速热退火1000℃、3min、Ar气氛围,形成欧姆接触区6。

[0029] 第5步,形成肖特基接触:光刻掩模腐蚀SiO₂钝化层,露出肖特基接触区,如图9所示,利用溅射的方式溅射一层200nmTi金属层,作为肖特基接触区1,如图3。

[0030] 实施例3

第1步,如图5所示,在N+碳化硅衬底片上外延生长N-漂移层:先对N+型碳化硅衬底片5进行RCA标准清洗;再在其正面上用低压热壁化学气相淀积法外延生长厚度为20μm、氮离子掺杂浓度为 $2 \times 10^{15} \text{cm}^{-3}$ 的N-外延层4,其外延工艺条件是:温度为1580℃,压力100mbar,反应气体是硅烷和丙烷,载运气体为纯氢气,杂质源为液态氮气。

[0031] 第2步,如图6所示,在N-外延层上形成环状浮点型P+注入区3:(2.1)淀积2μm的SiO₂作为做为P+注入区Al离子注入的阻挡层,并通过光刻和刻蚀形成环状浮点型P+注入区3的注入窗口;(2.2)在400℃的温度下进行三次铝离子注入,注入的剂量分别为 $1.33 \times 10^{14} \text{cm}^{-2}$, $8.29 \times 10^{13} \text{cm}^{-2}$, $4.05 \times 10^{13} \text{cm}^{-2}$,对应的能量分别为500keV,350keV和150keV;(2.3)采用RCA清洗标准对碳化硅表面依次进行清洗、烘干和C膜保护,并在1650℃氩气氛围中作30min的离子激活退火。

[0032] 第3步,如图7所示,形成SiO₂钝化层:在N-外延区4上面通过PECVD淀积的方式淀积一层1μm的SiO₂隔离介质3。

[0033] 第4步,如图8所示,形成衬底欧姆接触区:在衬底上利用溅射的方式溅射金属Ti/

Ni10nm/200nm,比通过快速热退火1000℃、3min、Ar气氛,形成欧姆接触区6。

[0034] 第5步,形成肖特基接触区:光刻掩模腐蚀SiO₂钝化层,露出肖特基接触区,如图9所示,利用溅射的方式溅射一层200nmTi金属层,作为肖特基接触区1,如图3。

[0035] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

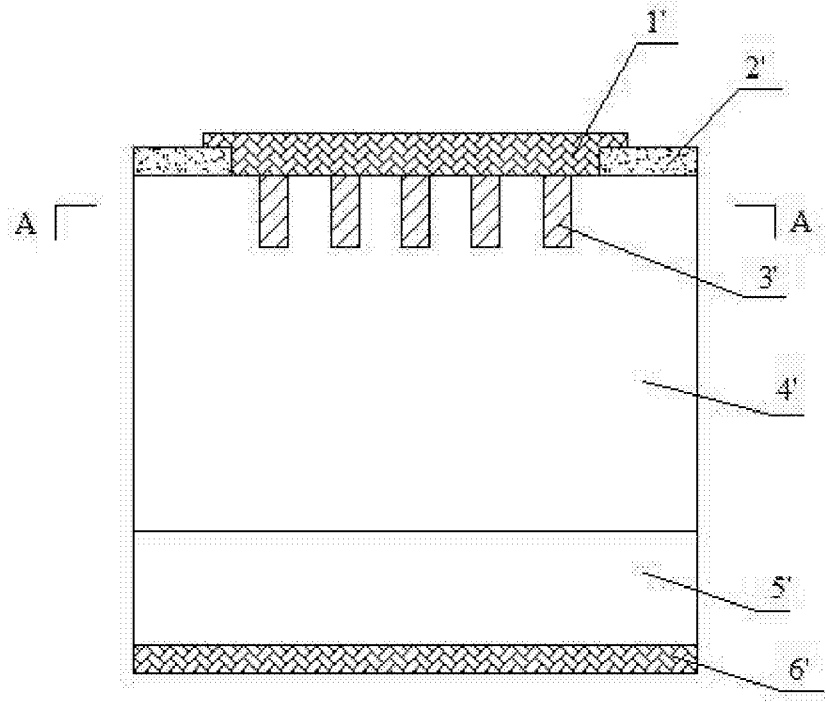


图1

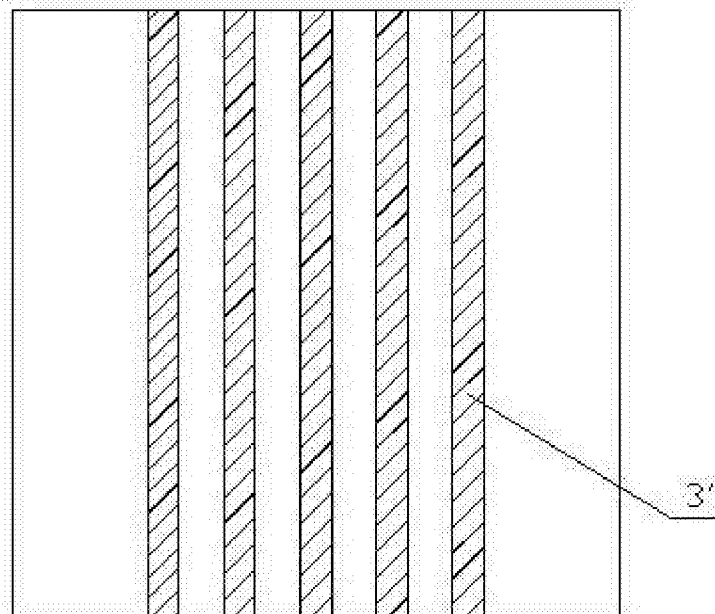


图2

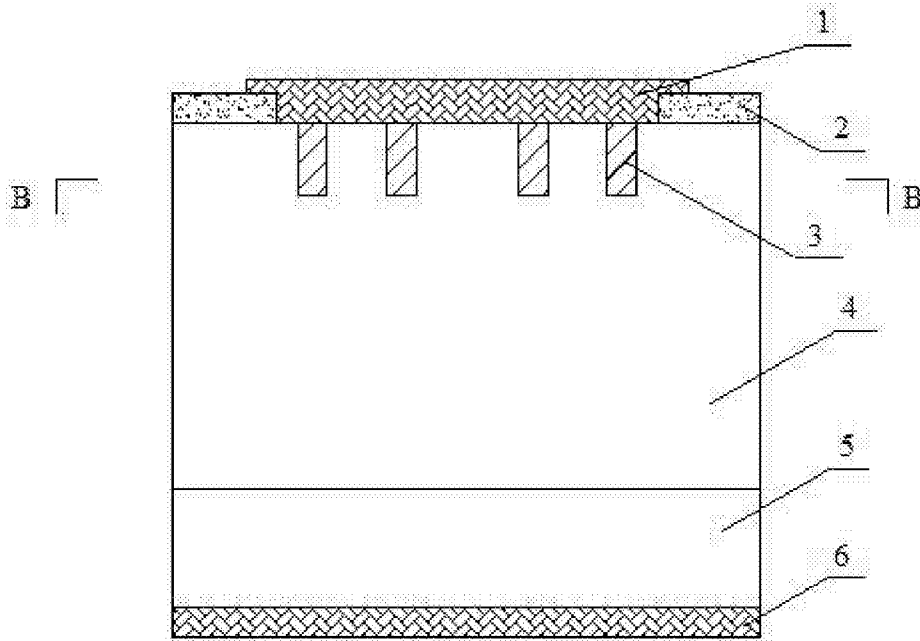


图3

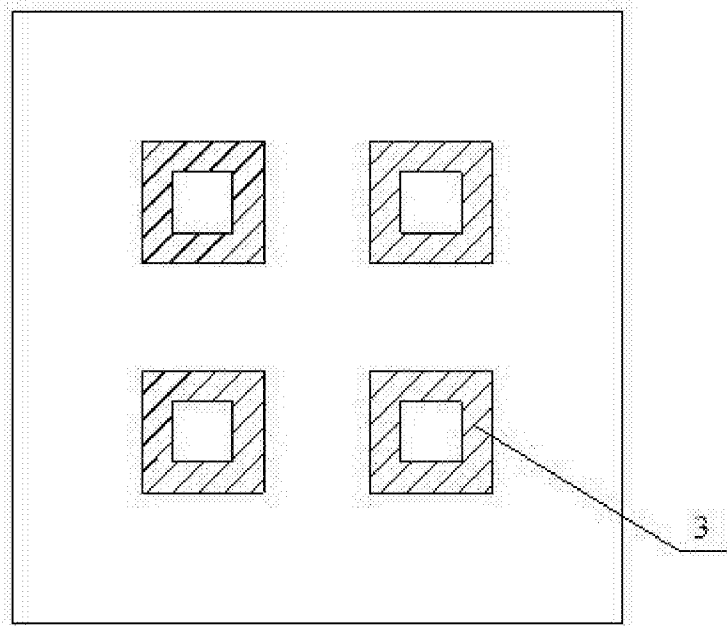


图4

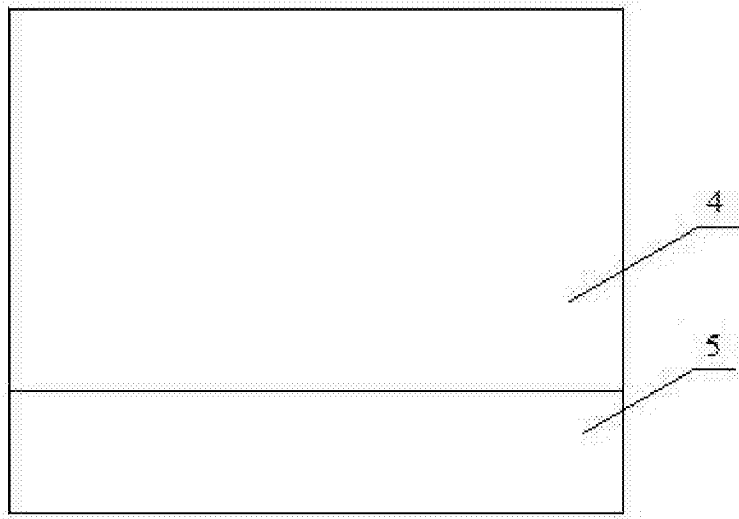


图5

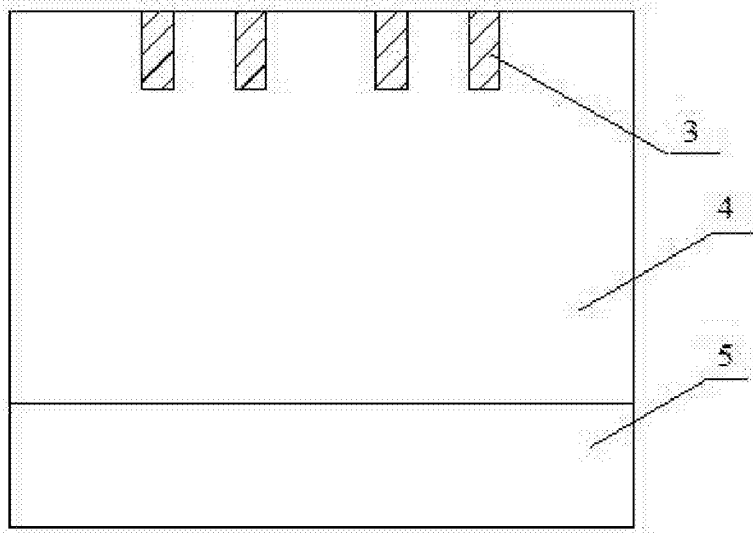


图6

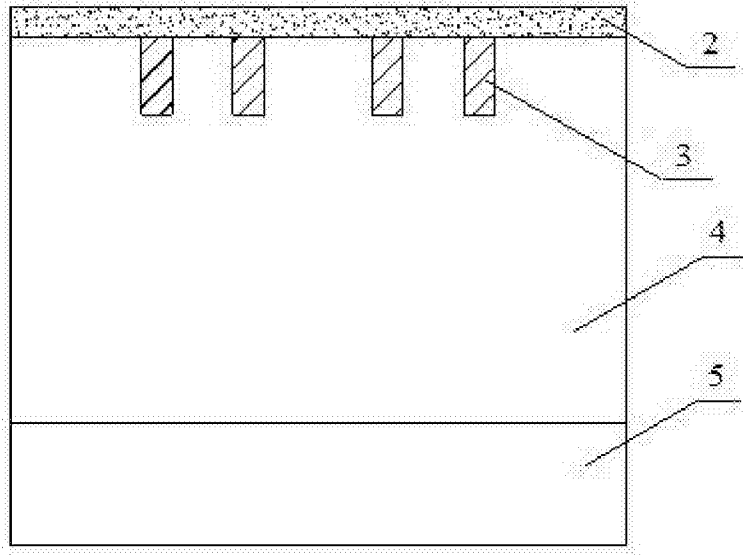


图7

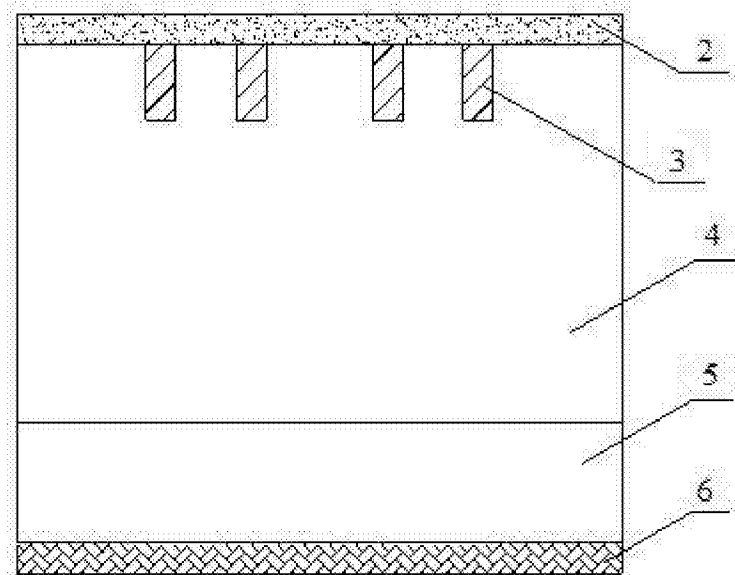


图8

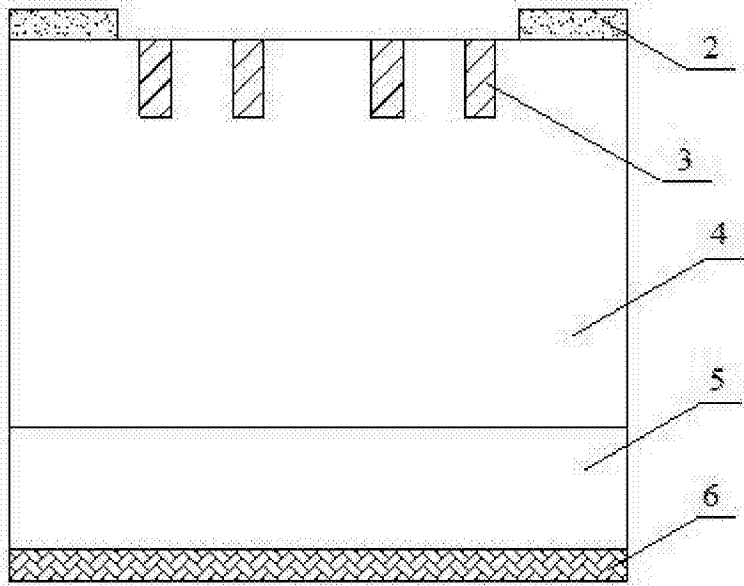


图9