

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 94107080

※ 申請日期： 94.3.9

※IPC 分類： H05K 3/10

一、發明名稱：(中文/英文)

電路板電性連接端之製法及其結構

ELECTRICAL CONNECTOR STRUCTURE OF CIRCUIT BOARD AND METHOD FOR
FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

全懋精密科技股份有限公司

PHOENIX PRECISION TECHNOLOGY CORPORATION

代表人：(中文/英文) 林文伯 / LIN, WEN-PO

住居所或營業所地址：(中文/英文)

新竹市科學園區力行路 6 號

No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu,
Taiwan, R. O. C.

國 籍：(中文/英文) 中華民國/R. O. C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

胡文宏 / HU, WEN HUNG

國 籍：(中文/英文) 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電子元件電性連接端之製法及其結構，尤指一種應用於電路板電性連接端之製法及其結構。

【先前技術】

自從 IBM 公司在 1960 年早期引入覆晶封裝 (Flip Chip Package) 技術以來，相較於打線 (Wire Bond) 技術，覆晶技術之特徵在於半導體晶片與基板間的電性連接係透過焊錫凸塊而非一般之金線，而該種覆晶技術之優點在於其可提高封裝密度以降低封裝元件尺寸，同時，該種覆晶技術不需使用長度較長之金線，故可提高電性性能。有鑑於此，業界在陶瓷基板上使用高溫焊錫，即所謂控制崩解之晶片連接技術 (Control-Collapse Chip Connection, C4)，已有多年之久。因此近年來，因應高密度、高速度以及低成本之半導體元件需求之增加，同時隨著電子產品之體積逐漸縮小的趨勢，將覆晶元件設置於有機電路板 (例如，印刷電路板或基板)，並以環氧樹脂當底膠 (Underfill resin) 填充於晶片下方以減少矽晶片與有機電路板之結構間因熱膨脹差異所產生的熱應力，已呈現爆炸性的成長。

在現行覆晶技術中，半導體積體電路 (IC) 晶片的表面上配置有電極焊墊 (electronic pad) 而有機電路板亦具有相對應的接觸焊墊，以在該晶片以及電路板之間適當地設置焊錫凸塊或其他導電黏著材料，使該晶片以電性接觸面

朝下的方式設置於該電路板上，其中，該焊錫凸塊或導電黏著材料提供該晶片以及電路板間的電性輸入/輸出(I/O)以及機械性的連接。

再者，後續將該電路板與半導體晶片等進行封裝製程時，為提供該電路板得以與外界電子裝置電性連接，通常必須於該電路板底面植設複數焊球，而為提供焊球有效接置其於電路板上，即必須於該供接置焊球之電路板電性連接墊上預先形成供接置焊球之焊錫材料。

目前常用於電路板之電性連接墊上形成焊錫材料的製作方法為模板印刷技術。然而，半導體晶片之微型化發展趨勢使得半導體之封裝技術亦隨之改變，以滿足不斷減小的晶片具有更多輸入輸出端，惟該變化將縮小晶片承載件之面積，而增加晶片承載件上電性連接墊之數量，唯有縮小電性連接墊之尺寸與間距，才能適應晶片發展之需求。然電性連接墊之減小使得模板印刷技術中之模板開口必須隨之減小，如此，不僅因模板開發不易而造成該模板之製造成本增加，更將因模板之開口細微而導致焊錫材料難以穿過，造成製程上之瓶頸。再者，焊錫材料之生成精度除了要求模板印刷技術中之模板尺寸大小正確外，尚須確認模板印刷之次數與清潔問題。因為焊錫材料具有黏度(Viscosity)，而當印刷次數愈多，殘留在模板孔壁內之焊錫材料即相對愈多，導致下次印刷所使用之焊錫材料數量及形狀與設計規格不合，因此，通常在實際操作時，於使用一定印刷次數後即必須進行模板之擦拭清潔，否則極易

產生焊錫材料之形狀、尺寸不合等問題，造成製程之不便與可靠度之降低。

為解決上述弊端，業界遂提出利用電鍍方式以於電路板之電性連接墊上形成導電凸塊之製程。

請參閱第 1A 至 1K 圖，係為習知利用電鍍方式形成電路板電性連接端之製法配合結構之剖面示意圖。

如第 1A 圖所示，在電路板絕緣層 11 上形成第一導電層 10，此第一導電層 10 係可以化學沉積或濺鍍等方式形成，而一般業界亦稱為晶種層 (seed layer)。如第 1B 圖所示，於前述第一導電層 10 表面形成一第一阻層 12，並於此第一阻層 12 以曝光 (Exposure)、顯影 (Develop) 等圖案化製程方式形成有複數個第一開口 120，以將前述部分導電層 10 外露出來，而此第一阻層 12 通常以感光材料製成，如乾膜 (dry film)。如第 1C 圖所示，於前述第一開口 120 內以電鍍方式形成電性連接墊 13，其多為銅 (Cu) 金屬材質製成。如第 1D 圖所示，將前述第一阻層 12 以利用剝離等方式移除。如第 1E 圖所示，將前述部分第一導電層 10 多以利用化學蝕刻方式移除。如第 1F 圖所示，於電路板表面覆蓋例如為綠漆之防焊層 14，其材質亦為感光材料製成，且以曝光 (Exposure)、顯影 (Develop) 等圖案化製程方式對應前述電性連接墊 13 之位置形成有複數個第二開口 140，以將部分前述電性連接墊 13 外露出來。如第 1G 圖所示，於該防焊層 14 與外露之部分電性連接墊 13 表面以化學沉積或濺鍍等方式形成一第二導電層 15，其材質及特

性如前述之第一導電層 10。如第 1H 圖所示，於前述第二導電層 15 表面形成一第二阻層 16，其材質及特性如同第一阻層 12，於此不再贅述，並於此第二阻層 16 之表面以曝光(Exposure)、顯影(Develop)等圖案化製程方式對應前述電性連接墊 13 之位置形成有複數個第三開口 160，以將前述部分第二導電層 15 外露出來。如第 1I 圖所示，於該第三開口 160 內以電鍍方式形成一金屬凸塊 17，通常可為焊錫材質等，即形成電路板之電性連接端，以供接設半導體晶片或被動元件等。如第 1J 圖所示，將該第二阻層 16 以剝離的方式移除。如第 1K 圖所示，將外露之第二導電層 15 以化學蝕刻方式方式移除。

前述電鍍方式雖可解決習知模板印刷技術問題，然而於製程中該防焊層開口尺寸及電鍍阻層開口尺寸主要均係以曝光、顯影方式形成，且皆需十分精確，而一般機台之對位精度係約在 $20\ \mu\text{m}$ - $30\ \mu\text{m}$ ，故對位不易，使該電鍍阻層開口不易對準至該防焊層開口之中心，因此通常將該開口之尺寸加大，藉以降低對位的困難度及製程對位精度，惟加大該電鍍阻層開口之尺寸，則無法達到細間距(fine pitch)之電性連接墊之要求。

因此，該電鍍製程亦無法於該電性連接墊上有效形成細間距之導電凸塊，且若需形成細間距之導電凸塊時，則必須提高絕緣層及阻層之對位精度，從而增加製程複雜度、製程所需時間、以及對位難度。

又，上述之製程中，係先於該電路板上形成防焊層

後，再於該防焊層上形成圖案化阻層，之後進行電鍍製程以形成焊錫材料，然在該防焊層加上該阻層後，其總體厚度太厚，導致電鍍製程難度增加。再者，於該防焊層之開口中之電性連接墊上直接形成焊錫材料，該些電性連接墊上之焊錫材料高度一致性控制不易，導致表面平整性不佳等問題，嚴重影響後續電路板與外部電子元件作電性連接時之製程可靠度。

【發明內容】

鑒於以上所述習知技術之問題，本發明之主要目的係在提供一種電路板電性連接端之製法及其結構，得以避免習知電鍍方式形成導電凸塊之尺寸及間距限制、對位困難度等製程技術上之瓶頸，同時降低曝光精度需求。

本發明之另一目的係在提供一種電路板電性連接端之製法及其結構，以避免產生電路板表面導電凸塊之平整性不佳以及後續電路板與外部電子元件作電性連接製程可靠度問題。

本發明之再一目的係提供一種電路板電性連接端之製法及其結構，俾得有效在細間距之電路板電性連接墊上形成向外作電性導接之導電凸塊結構。

為達成上揭及其他目的，本發明係揭露一種電路板電性連接端之製法，係包括：於一電路板之絕緣層上形成一導電層；於前述導電層上形成一第一阻層，且該第一阻層中形成有複數外露出部分導電層之第一開口；至少於該第一開口內電鍍形成有電性連接墊；於前述電性連接墊與第

一阻層所形成之表面上設有第二阻層，且該第二阻層係形成有複數外露出電性連接墊之第二開口；於該第二開口內電鍍形成一金屬凸塊；於該第一及第二阻層中形成有對應電性連接墊與金屬凸塊周緣之第三開口，將外露出之導電層移除；於前述電性連接墊、金屬凸塊與導電層之外緣包覆形成一黏著層，並移除第二阻層、第一阻層及第一阻層所覆蓋之導電層；於前述電路板表面形成一覆蓋黏著層之絕緣保護層；移除部分該絕緣保護層，以外露出部分黏著層。其中該金屬凸塊之材質係可為鉛、錫、銀、銅等金屬或為其合金，該黏著層則可為銅、錫、鉛、銀、鎳、金、鉑、或其合金或焊錫材料，亦可為一有機防焊劑或磷。

藉由前述本發明之較佳實施例之製法，本發明亦揭露一種電路板電性連接端之結構，其包括一形成於電路板表面之電性連接墊；一形成於前述電性連接墊上之金屬凸塊；以及一形成於前述電性連接墊、金屬凸塊外表面之黏著層。

相較於習知之製程步驟，本發明係藉由導電層並利用圖案化製程於第一及第二阻層，以在電路板上依序電鍍形成有電性連接墊及位於該電性連接墊上之金屬凸塊，再於該第一及第二阻層中形成有對應電性連接墊與金屬凸塊周緣之開口，並移除外露之導電層，以在該電性連接墊及金屬凸塊外表面形成黏著層，再移除該第二、第一阻層及第一阻層所覆蓋之導電層，接著於電路板上覆蓋一絕緣保護層，並透過薄化方式藉以外露出部分黏著層，藉以減少

絕緣保護層之曝光、顯影等圖案化製程，俾可避免習知電鍍製程中欲在電性連接墊上形成導電凸塊時較高對位精度要求所導致製程瓶頸問題，相對亦可避免因降低對位要求所導致無法提供細間距之導電凸塊問題。再者該金屬凸塊係先形成於電性連接墊上，並於該金屬凸塊及電性連接墊之外表面覆蓋一層黏著層後，形成絕緣保護層並加以薄化以外露該黏著層，再於電路板上覆蓋一絕緣保護層，並透過薄化方式藉以外露出該黏著層，藉以在該電路板上形成平整性之凸塊結構，避免習知電鍍製程中，直接於絕緣保護層及電鍍阻層之開口中電鍍形成導電凸塊時，所導致導電凸塊高度一致性無法控制，從而導致電路板與外界電子元件電性連接平整性問題的產生。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參閱第 2 圖，係為本發明之製程方法流程圖，將以此流程圖配合詳細說明，敘述本發明中電路板電性連接端之製法的較佳實施例。另需配合第 3A~3I 圖，其中，須注意的是，該等圖式均為簡化之示意圖，僅以示意方式說明本發明之基本結構。因此，在該等圖式中僅顯示與本發明

有關之元件，且所顯示之元件並非以實際實施時之數目、形狀、及尺寸比例等加以繪製，其實際實施時之數目、形狀及尺寸比例為一種選擇性之設計，且其元件佈局形態可能更為複雜，於此合先敘明。

如第 2 圖所示，此流程圖包括有：

步驟 a：於一電路板之絕緣層上形成一導電層。請配合第 3A 圖所示，於電路板之絕緣層 21 上形成一導電層 20，該絕緣層 21 係為電路板最外部之絕緣層，且其材質可為環氧樹脂(Epoxy resin)、聚乙醯胺(Polyimide)、氰脂(Cyanate ester)、玻璃纖維(Glass fiber)、雙順丁烯二酸醯亞胺/三氮吡(BT, Bismaleimide triazine)或混合環氧樹脂與玻璃纖維(FR5)等材質所構成，且該導電層 20 可為金屬或導電高分子材料，藉以作為後述電鍍製程所需之電流傳導路徑。

步驟 b：於該導電層上形成第一阻層，且令該第一阻層形成有複數開口以外露出部分導電層。請配合第 3B 圖所示，於前述導電層 20 上利用印刷、旋塗或貼合等方式形成第一阻層 22(係可由感光材料或非感光材料構成，其最佳實施方式乾膜(dry film)或液態光阻等)，並使該第一阻層 22 藉由曝光(Exposure)、顯影(Develop)(若為感光材料)或雷射鑽孔(Laser Drill)方式形成複數個第一開口 220，以外露出部分導電層 20。

步驟 c：於該第一開口中形成電性連接墊。請配合第 3C 圖所示，於該第一開口 220 內藉由電鍍方式至少形成有

電性連接墊 23，另外，於此步驟進行時，亦可形成有線路層，但此線路層係非本發明之技術特徵，故此並未以圖式及說明作敘述。

步驟 d：於該第一阻層上設置第二阻層，且令該第二阻層形成有對應至電性連接墊位置之第二開口。請配合第 3D 圖所示，於前述電性連接墊 23 與第一阻層 22 所形成之表面，利用印刷、旋塗或貼合等方式形成一第二阻層 24，此第二阻層 24 之材質係可與第一阻層 22 相同或不同(可由感光材料或非感光材料構成)，其最佳實施方式乾膜(dry film)或液態光阻，並令此第二阻層 24 對應電性連接墊 23 之處藉由曝光(Exposure)、顯影(Develop)(如為感光材料)或雷射鑽孔(Laser Drilling)方式形成複數個第二開口 240，以外露出電性連接墊 23。其中，第二開口 240 之開口尺寸較佳者係小於第一開口 220 之開口尺寸。

步驟 e：於該第二開口中形成金屬凸塊。請配合第 3E 圖所示，於該第二開口 240 內藉由電鍍方式形成金屬凸塊 25，其係由銅(Cu)、錫(Sn)、銀(Ag)、鉛(Pb)等材質或其合金材質所形成，惟依實際操作之經驗，由於銅為成熟之電鍍材料且成本較低，因此，該金屬凸塊以由電鍍銅所構成者為較佳，但非以此為限。

步驟 f：於該第一及第二阻層中形成對應電性連接墊與金屬凸塊周緣之第三開口，並移除外露出之導電層。請配合第 3F 圖所示，於該第一及第二阻層 22,24 中對應前述電性連接墊 23 與金屬凸塊 25 之周緣形成第三開口 26，以

外露出導電層 20，並將外露之導電層 20 移除，該第三開口 26 係可藉由電漿蝕刻 (Plasma Etching) 或雷射鑽孔 (Laser Drilling) 方式進行，且該外露導電層 20 亦可藉由電漿蝕刻、雷射鑽孔或化學蝕刻方式移除。

步驟 g：形成一黏著層，並以化學剝離 (stripping) 或物理撕除等方式移除第二、第一阻層及第一阻層所覆蓋之導電層。請配合第 3G 圖所示，於顯露於該第三開口 26 之電性連接墊 23、金屬凸塊 25 與導電層 20 之外緣藉由例如物理或化學沈積方式包覆形成黏著層 27，該黏著層 27 係由銅 (Cu)、錫 (Sn)、鉛 (Pb)、銀 (Ag)、鎳 (Ni)、金 (Au)、鉑 (Pt) 或其合金，或為磷 (P) 材質、焊錫材料等，並將該第二阻層 24、第一阻層 22 及第一阻層 22 所覆蓋之導電層 20 移除。

步驟 h：於該電路板表面覆蓋一絕緣保護層。請配合第 3H 圖所示，於電路板表面塗佈形成一高度覆蓋過黏著層 27 之絕緣保護層 28 (為業界所稱之防焊層 (Solder mask))，其最佳實施方式係為綠漆。

步驟 i：薄化該絕緣保護層以外露出部分黏著層。請配合第 3I 圖所示，藉由研磨 (abrasive)、電漿薄化 (plasma cleaning) 等方式移除部分前述之保護層 28，以外露出部分前述黏著層 27，如是形成電路板之電性連接端，進而電性連接至外部裝置。

由前述說明及圖式的表現，可清楚的了解本發明之技術特徵及其實施的方式，因在形成電性連接墊後，只作了一次曝光的動作，可輕易的符合曝光精度之要求，以改善

習知以二次曝光所造成的曝光精度受限及高成本的問題；另，本發明於步驟 i 中所述之部分前述之絕緣保護層 28 係藉由研磨 (abrasive) 或電漿薄化 (plasma cleaning) 的方式移除，讓整體表面能更平整，以供後續接置的動作能順利進行。

透過前述製法，本發明亦提供一種電路板電性連接端之結構，包括有一電性連接墊 23；一形成於該電性連接墊 23 表面之金屬凸塊 25；以及一形成於該電性連接墊 23 及金屬凸塊 25 外表面之黏著層 27，且電路板 21 表面更形成有一絕緣保護層 28，且部分黏著層 27 係外露出該絕緣保護層 28。

如第 4 圖所示，係將半導體晶片以覆晶方式透過該電路板之電性連接端以電性連接至電路板之剖面示意圖，表面形成有複數個連接墊 30 (pad) 之半導體晶片 3，透過導電焊接材料 31 而接置並電性連接至電路板之電性連接端。該導電黏著材料 31 可例如為焊錫材料。

因此，本發明之電路板電性連接端之結構及其製法，主要係藉由導電層並利用圖案化之第一及第二阻層以在電路板上依序電鍍形成有電性連接墊及位於該電性連接墊上之金屬凸塊，再於該第一及第二阻層中形成有對應電性連接墊與金屬凸塊周緣之開口，並移除外露之導電層，以在該電性連接墊及金屬凸塊外露表面形成黏著層，接著移除該第二、第一阻層及第一阻層所覆蓋之導電層，再於電路板上覆蓋一絕緣保護層，並透過薄化方式而外露出部分黏

著層，藉以減少絕緣保護層之曝光、顯影製程，避免習知電鍍製程中欲在電性連接墊上形成導電凸塊時較高對位精度要求所導致製程瓶頸問題，相對亦可避免因降低對位要求所導致無法提供細間距之導電凸塊問題。再者該金屬凸塊係先形成於電性連接墊上，並於該金屬凸塊及電性連接墊之外表面覆蓋一層黏著層後，形成絕緣保護層並加以薄化以外露該黏著層，再於電路板上覆蓋一絕緣保護層並加以薄化方式而外露出部分黏著層，藉以在該電路板上形成平整性之凸塊結構，避免習知電鍍製程中，直接於絕緣保護層及電鍍阻層之開口中電鍍形成導電凸塊時，所導致導電凸塊高度一致性無法控制，從而導致電路板與外界電子元件電性連接平整性問題的產生。

本發明圖中所示僅以部分電性連接墊表示，實際上電性連接墊之數目係依實際製程所需而加以設計並分佈於電路板，且此製程可實施於電路板之單一表面或上、下表面。此外，本發明亦可運用於供第二階層組裝電子元件之一般印刷電路板(Printed Circuit Board；PCB)之製作。

上述之實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與變化。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第1A至1K圖係為習知電路板電性連接端之製法配合

結構之剖面示意圖；

第 2 圖係為本發明之電路板電性連接端之製法流程圖；

第 3A 至 3I 圖係為本發明之電路板電性連接端之製法配合結構之剖面示意圖；以及

第 4 圖係為將半導體晶片以覆晶方式透過該電路板之電性連接端以電性連接至電路板之剖面示意圖。

【主要元件符號說明】

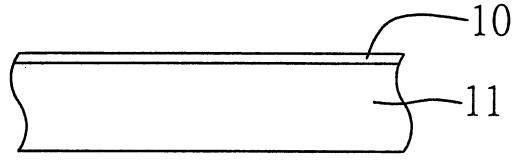
10	第一導電層	11	絕緣層
12	第一阻層	120	第一開口
13	電性連接墊	14	防焊層
140	第二開口	15	第二導電層
16	第二阻層	160	第三開口
17	金屬凸塊	18	接著層
20	導電層	21	絕緣層
22	第一阻層	220	第一開口
23	電性連接墊	24	第二阻層
240	第二開口	25	金屬凸塊
26	第三開口	27	黏著層
28	絕緣保護層	3	半導體晶片
30	連接墊	31	導電焊接材料
a~i	步驟		

五、中文發明摘要：

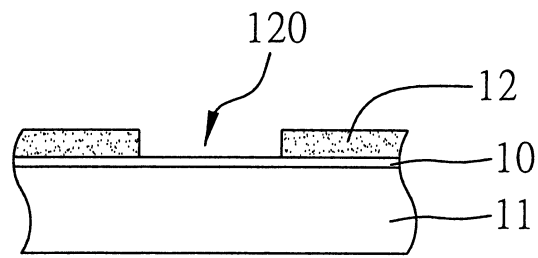
一種電路板電性連接端之製法及其結構，主要係於一具導電層之電路板上設置一第一阻層與第二阻層，以形成電性連接墊與位於該電性連接墊上之金屬凸塊，再於該第一及第二阻層中對應電性連接墊與該金屬凸塊之周緣形成開口，並移除外露之導電層，以於電性連接墊、金屬凸塊與導電層外緣包覆形成一黏著層，接著移除該第二阻層、第一阻層及第一阻層所覆蓋之導電層，最後於電路板表面形成一絕緣保護層並進行薄化以外露出部分黏著層，以形成此電路板之電性連接端，減少曝光精度需求。

六、英文發明摘要：

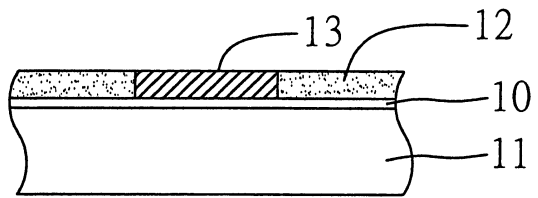
An electrical connector structure of circuit board and a method for fabricating the same are proposed. A circuit board having a conductive layer is formed with a first resist layer and a second resist layer thereon, so as to form a plurality of electrical connection pads and metal bumps on the electrical connection pads. The first and second resist layers are formed with openings therein at positions corresponding to the electrical connection pads and metal bumps, and the exposed conductive layer is removed. An adhesive layer is formed over the electrical connection pads, the metal bumps and the conductive layer. Then, the second resist layer, the first resist layer and the conductive layer covered by the first resist layer are removed. Finally, a passivation layer is formed on a surface of the circuit board, and is thinned to expose a portion of the adhesive layer, such that electrical connectors of the circuit board are fabricated and a requirement of exposure precision is reduced.



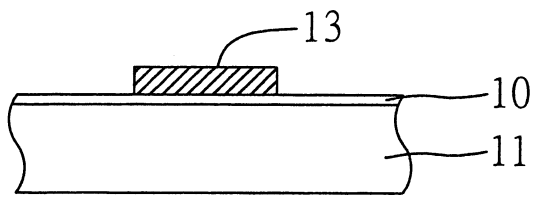
第 1A 圖



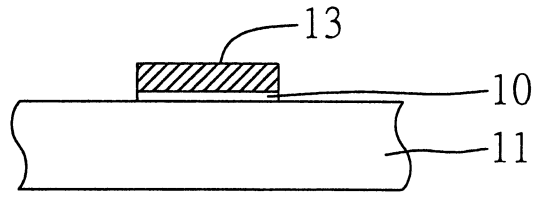
第 1B 圖



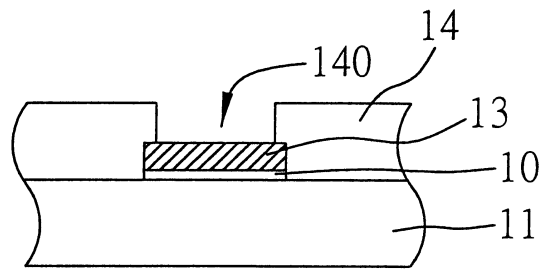
第 1C 圖



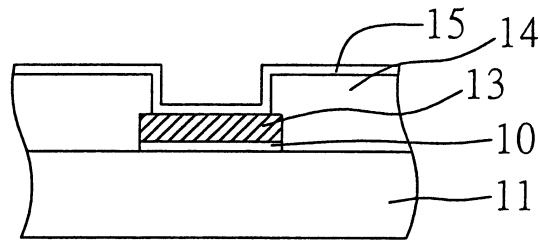
第 1D 圖



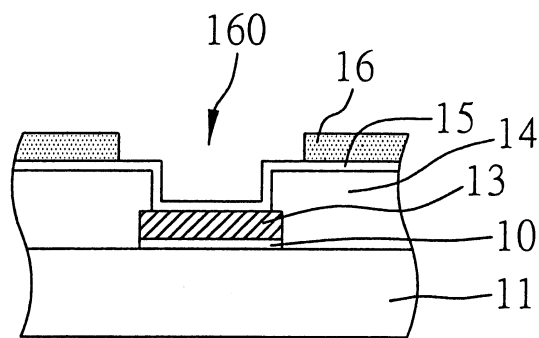
第 1E 圖



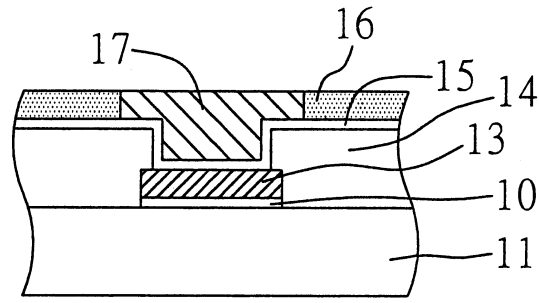
第 1F 圖



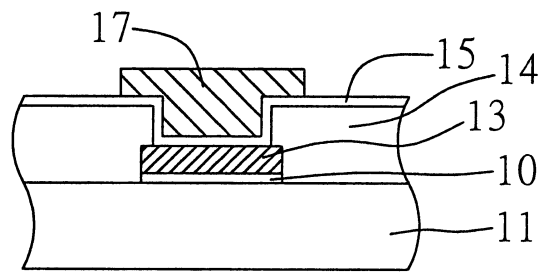
第 1G 圖



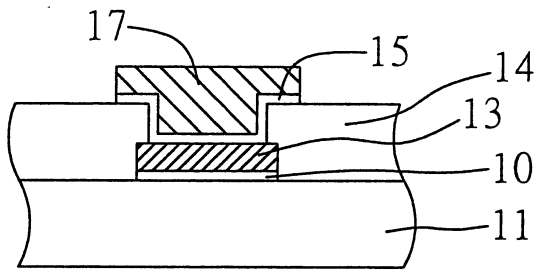
第 1H 圖



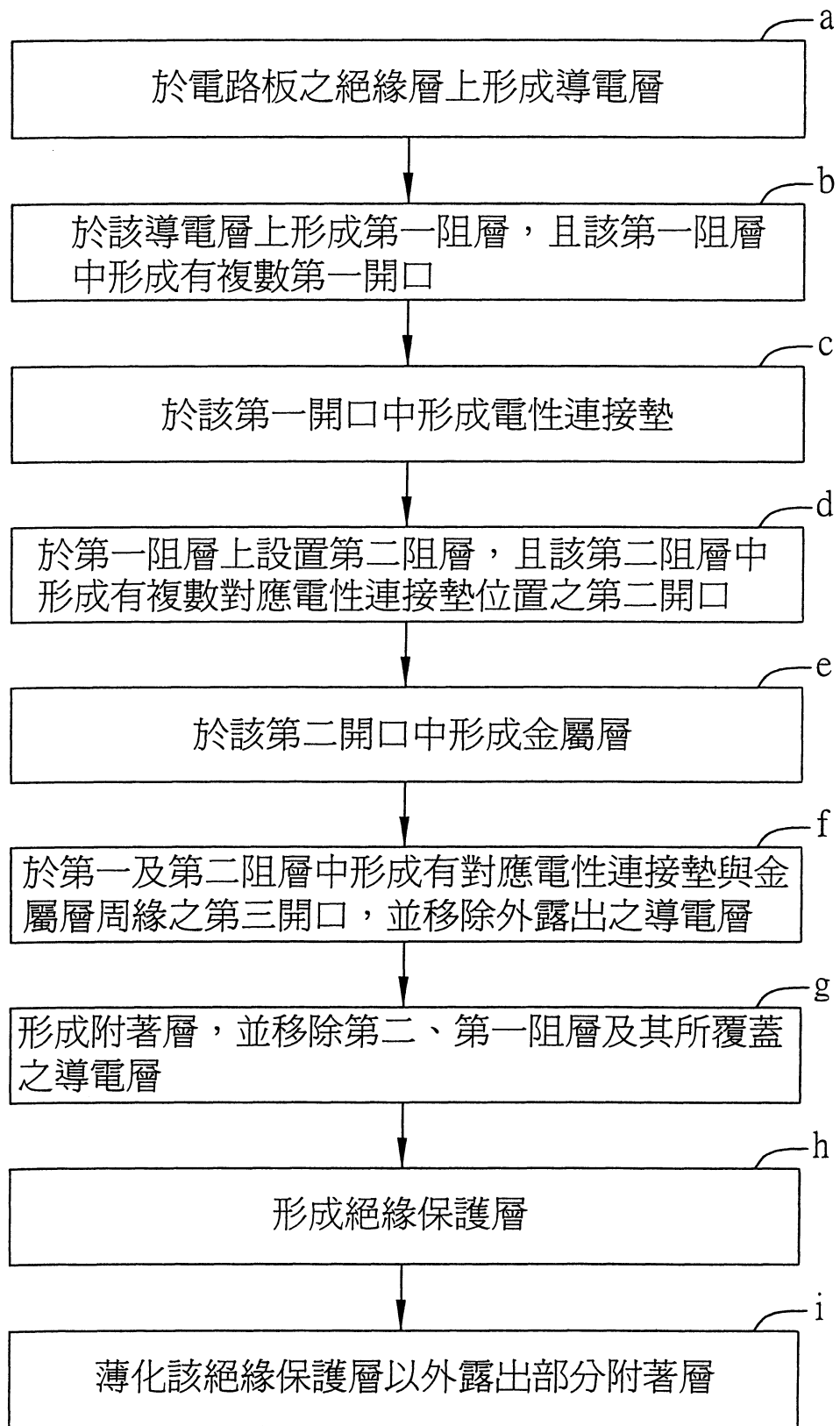
第 1I 圖



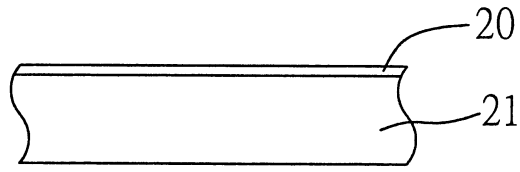
第 1J 圖



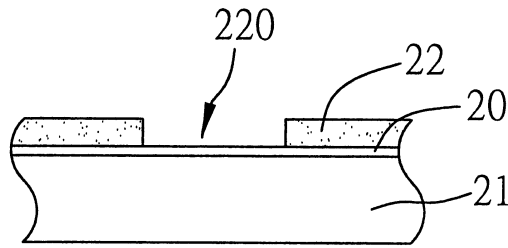
第 1K 圖



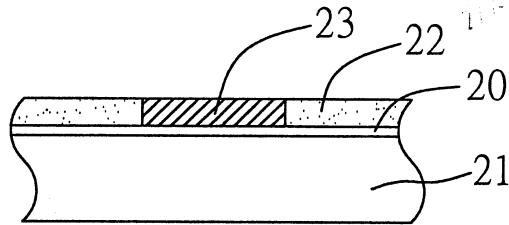
第 2 圖



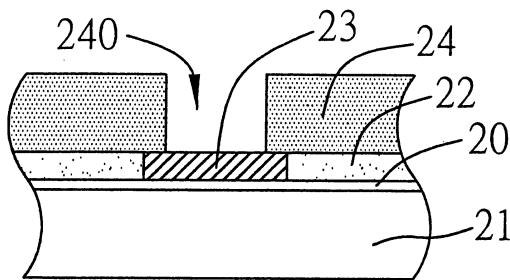
第 3A 圖



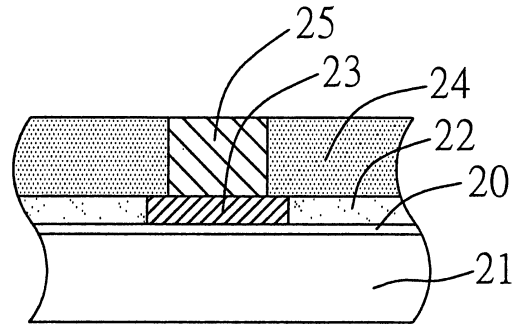
第 3B 圖



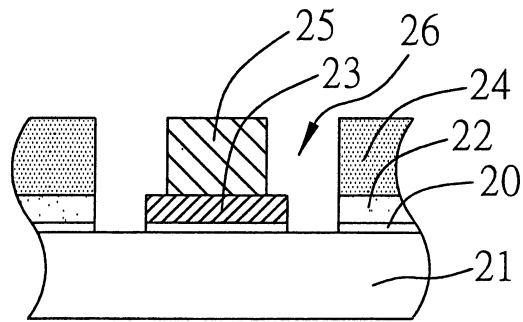
第 3C 圖



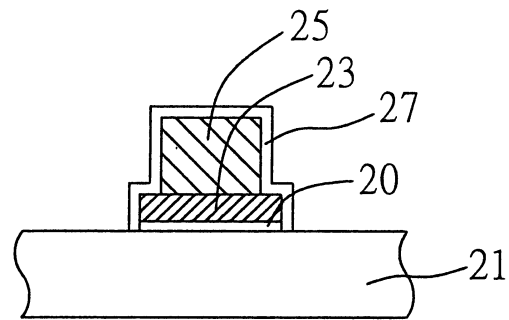
第 3D 圖



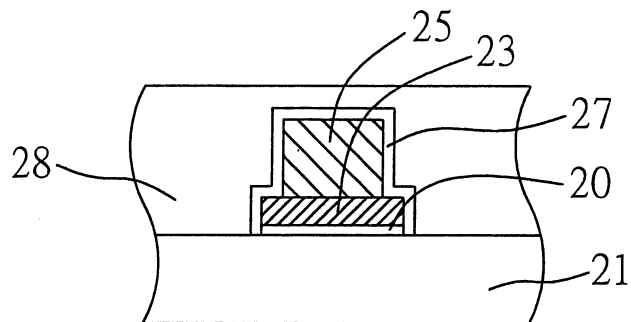
第 3E 圖



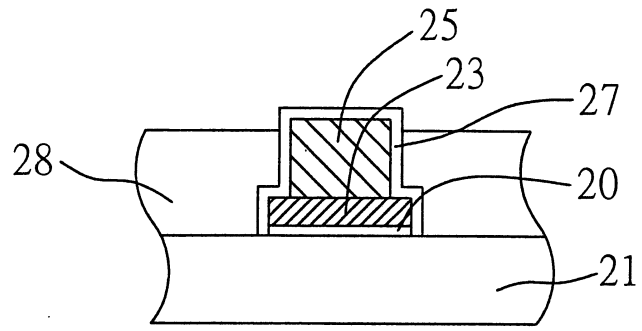
第 3F 圖



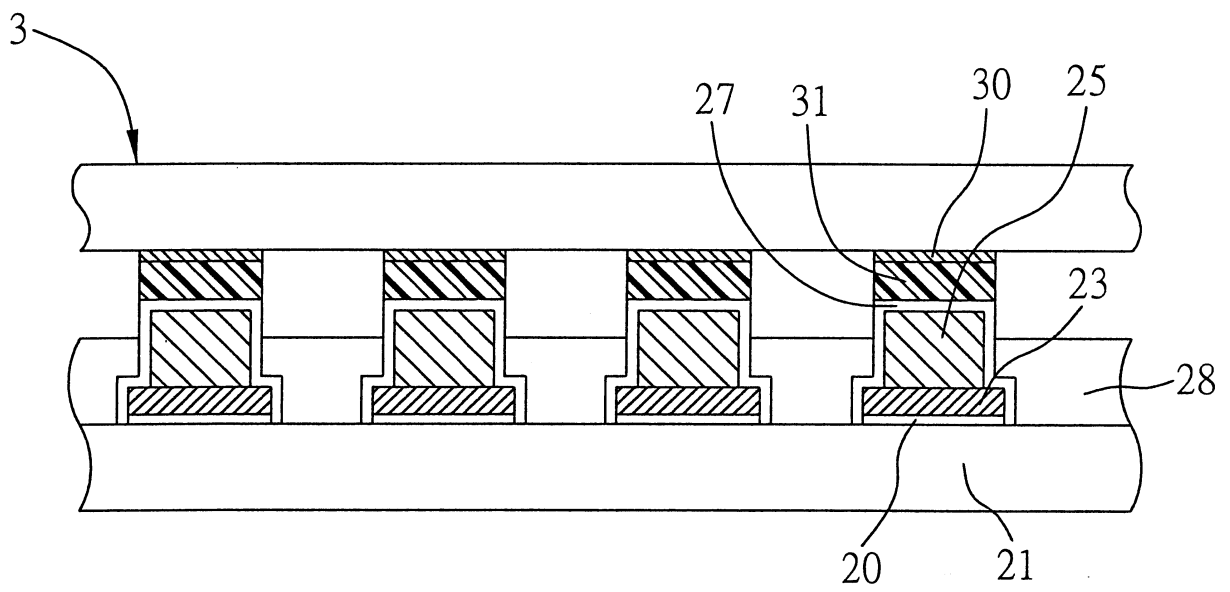
第 3G 圖



第 3H 圖



第 3I 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3I) 圖。

(二)本代表圖之元件代表符號簡單說明：

20	導電層
21	絕緣層
23	電性連接墊
25	金屬凸塊
27	黏著層
28	絕緣保護層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

第 94107080 號專利申請案

申請專利範圍修正本

(96 年 1 月 15 日)

1. 一種電路板電性連接端之製法，係包括：

於電路板絕緣層上形成導電層；

於該導電層上形成第一阻層，並使該第一阻層形成有複數個第一開口以外露出部分導電層；

於該第一開口內形成電性連接墊；

於該電性連接墊與該第一阻層所形成之表面設置第二阻層，並令該第二阻層對應該電性連接墊之處形成有複數個第二開口，以外露出該電性連接墊；

於該第二開口內形成金屬凸塊；

於該第一及第二阻層中對應電性連接墊與該金屬凸塊之周緣形成第三開口，以外露出該導電層，並將外露之導電層移除；

於該電性連接墊、該金屬凸塊與該導電層之外露表面形成黏著層，並將該第二阻層、第一阻層及第一阻層所覆蓋之導電層移除；

於該電路板表面形成一覆蓋該黏著層之絕緣保護層；以及

移除部分絕緣保護層，以外露出部分該黏著層，俾形成該電路板之電性連接端。

2. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該電性連接墊係藉由電鍍方式形成。

3. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該電性連接墊係設於該電路板之單一表面。
4. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該電性連接墊係設於該電路板之上及下表面。
5. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該第一及第二阻層係可由感光材料及非感光材料之其中一者所構成。
6. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該第一阻層、第二阻層係藉由印刷、旋塗及貼合之其中一方式形成。
7. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該第一阻層、第二阻層係藉由化學剝離(stripping)及物理撕除之其中一方式移除。
8. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該金屬凸塊係藉由電鍍方式形成。
9. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該金屬凸塊係由銅(Cu)、錫(Sn)、銀(Ag)、鉛(Pb)材質所構成群組之其中一者所形成。
10. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該第一開口與該第二開口係藉由曝光(Exposure)、顯影(Develop)方式形成。
11. 如申請專利範圍第 1 項之電路板電性連接端之製法，其中，該第一開口與該第二開口係藉由雷射鑽孔(Laser Drill)方式形成。

- 12.如申請專利範圍第1項之電路板電性連接端之製法，其中，該黏著層係藉由物理及化學沈積之其中一方式形成。
- 13.如申請專利範圍第1項之電路板電性連接端之製法，其中，該黏著層係由銅(Cu)、錫(Sn)、鉛(Pb)、銀(Ag)、鎳(Ni)、金(Au)、鉑(Pt)所構成群組之其中一者所形成。
- 14.如申請專利範圍第1項之電路板電性連接端之製法，其中，該黏著層係磷(P)及焊錫材料之其中一者所形成。
- 15.如申請專利範圍第1項之電路板電性連接端之製法，其中，該第三開口係藉由電漿蝕刻(Plasma Etching)及雷射鑽孔(Laser Drilling)之其中一方式形成。
- 16.如申請專利範圍第1項之電路板電性連接端之製法，其中，部分該絕緣保護層係藉由研磨(abrasive)及電漿薄化(plasma cleaning)之其中一方式移除，以外露出部分黏著層。
- 17.如申請專利範圍第1項之電路板電性連接端之製法，其中，該絕緣保護層係為防焊層。
- 18.一種電路板電性連接端之結構，係包括：
 - 一形成於電路板絕緣層表面之導電層；
 - 一形成於該導電層表面之電性連接墊；
 - 一形成於該電性連接墊上之金屬凸塊；以及
 - 一形成於該電性連接墊及金屬凸塊外表面之黏著層。

- 19.如申請專利範圍第 18 項之電路板電性連接端之結構，其中，該電路板表面更形成有一絕緣保護層，且部分該黏著層係外露於該絕緣保護層。
- 20.如申請專利範圍第 19 項之電路板電性連接端之結構，其中，該絕緣保護層係為防焊層。
- 21.如申請專利範圍第 18 項之電路板電性連接端之結構，其中，該電性連接墊係設於該電路板之單一表面。
- 22.如申請專利範圍第 18 項之電路板電性連接端之結構，其中，該電性連接墊係設於該電路板之上、下表面。
- 23.如申請專利範圍第 18 項之電路板電性連接端之結構，其中，該金屬凸塊係由銅(Cu)、錫(Sn)、銀(Ag)、鉛(Pb)材質所構成群組之其中一者所形成。
- 24.如申請專利範圍第 18 項之電路板電性連接端之結構，其中，該黏著層係由銅(Cu)、錫(Sn)、鉛(Pb)、銀(Ag)、鎳(Ni)、金(Au)、鉑(Pt)所構成群組之其中一者所形成。
- 25.如申請專利範圍第 18 項之電路板電性連接端之結構，其中，該黏著層係為磷(P)及焊錫材料之其中一者所形成。