



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월24일
(11) 등록번호 10-1185655
(24) 등록일자 2012년09월18일

(51) 국제특허분류(Int. Cl.)
H03F 3/217 (2006.01) H03K 7/08 (2006.01)
(21) 출원번호 10-2011-0077870
(22) 출원일자 2011년08월04일
심사청구일자 2011년08월04일
(56) 선행기술조사문헌
JP2005502253 A

(73) 특허권자
주식회사 씨자인
경기도 성남시 분당구 성남대로 32, 보명프라자 6층(구미동)
(72) 발명자
신재영
경기도 용인시 기흥구 금화로11번길 10, 금화마을 주공3단지아파트 307동 1003호 (상갈동)
이수형
경기도 화성시 동탄지성로 42, 시범한빛마을 현대 아이파크 224동 404호 (반송동)
(74) 대리인
조경미

전체 청구항 수 : 총 9 항

심사관 : 김남인

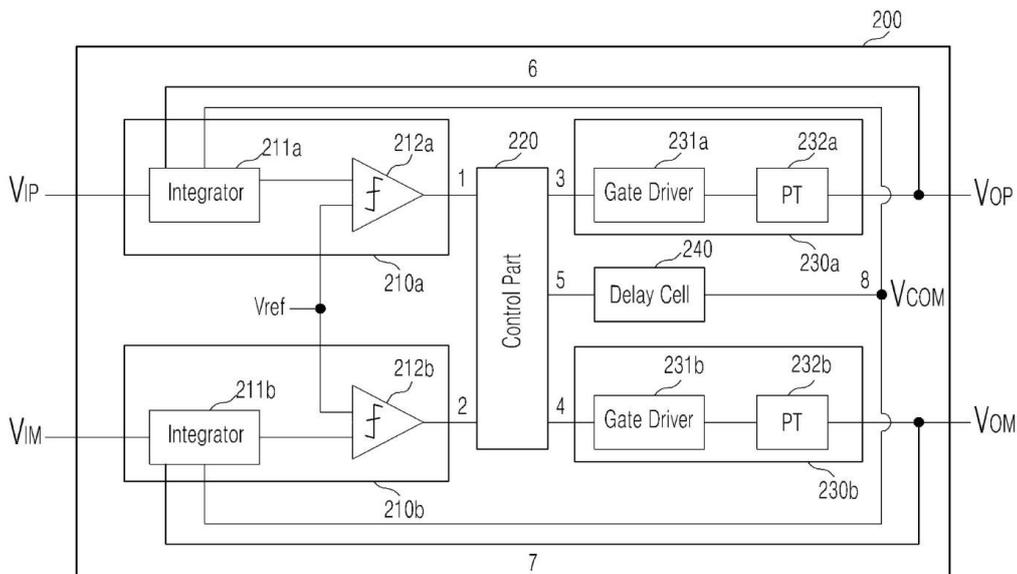
(54) 발명의 명칭 D급 스위칭 증폭기를 위한 변조 장치

(57) 요약

본 발명의 바람직한 일실시예의 D급 스위칭 증폭기를 위한 변조 장치에 따르면, 영 입력(zero input) 신호에서 출력단의 EMI와 게이트 드라이버단의 전력 소모를 감소할 수 있는 D급 스위칭 증폭기를 위한 변조 장치를 제공할 수 있다.

본 발명의 바람직한 일실시예의 D급 스위칭 증폭기를 위한 변조 장치는, 제 1 입력 신호를 이용하여 변조된 제 1 변조 신호와 제 2 입력 신호를 이용하여 변조된 제 2 변조 신호의 공통 신호 성분인 제어 신호를 검출하여 출력하는 제어부;를 포함하되, 제 1 변조 신호, 제 2 변조 신호 및 제어 신호를 이용하여 출력된 제 1 출력 신호, 제 2 출력 신호 및 공통 출력 신호를 변조 장치의 입력으로 변환하는 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

제 1 입력 신호 및 제 2 입력 신호를 이용하여 하나 이상의 출력 신호를 출력하는 스위칭 증폭기를 위한 변조 장치에 있어서,

상기 제 1 입력 신호를 변조하여 제 1 변조 신호를 출력하는 제 1 변조부;

상기 제 2 입력 신호를 변조하여 제 2 변조 신호를 출력하는 제 2 변조부; 및

상기 제 1 변조 신호 및 상기 제 2 변조 신호의 공통 신호 성분인 제어 신호를 검출하여 출력하는 제어부;를 포함하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 변조 신호, 상기 제 2 변조 신호 및 상기 제어 신호를 이용하여 출력된 제 1 출력 신호, 제 2 출력 신호 및 공통 출력 신호를 상기 변조 장치의 입력으로 궤환하는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 3

제 1 항에 있어서,

상기 제어부는,

상기 제 1 변조 신호와 상기 제어 신호의 차분(difference) 신호인 제 1 차분 신호; 및

상기 제 2 변조 신호와 상기 제어 신호의 차분 신호인 제 2 차분 신호;를 더 출력하는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 차분 신호 및 상기 제 2 차분 신호를 버퍼링하고, 증폭하여 제 1 출력 신호 및 제 2 출력 신호를 출력하는 파워 스테이지부; 및

상기 제어 신호를 버퍼링하여 공통 출력 신호를 출력하는 지연(delay) 셀부;를 더 포함하는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 변조부로 상기 제 1 출력 신호 및 상기 공통 출력 신호가 궤환되어 입력되고,

상기 제 2 변조부로 상기 제 2 출력 신호 및 상기 공통 출력 신호가 궤환되어 입력되는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 6

제 4 항에 있어서,

상기 파워 스테이지부는,

상기 제 1 차분 신호를 버퍼링하는 제 1 게이트 드라이버와 버퍼링된 신호를 증폭하는 제 1 파워 트랜지스터; 및

상기 제 2 차분 신호를 버퍼링하는 제 2 게이트 드라이버와 버퍼링된 신호를 증폭하는 제 2 파워 트랜지스터;를

포함하는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 변조부는,

상기 제 1 입력 신호와 상기 하나 이상의 출력 신호의 일부 또는 전부를 궤환(feedback)하여 입력받아 적분하는 제 1 적분기; 및

상기 제 1 적분기의 출력 신호와 기준 신호를 비교하여 제 1 변조 신호를 출력하는 제 1 비교기;를 포함하고,

상기 제 2 변조부는,

상기 제 2 입력 신호와 상기 하나 이상의 출력 신호의 일부 또는 전부를 궤환(feedback)하여 입력받아 적분하는 제 2 적분기; 및

상기 제 2 적분기의 출력 신호와 상기 기준 신호를 비교하여 제 2 변조 신호를 출력하는 제 2 비교기;를 포함하는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 적분기로 궤환되어 입력되는 상기 하나 이상의 출력 신호의 일부 또는 전부는, 상기 제 1 변조 신호와 상기 제어 신호에 기반하여 생성된 신호이고,

상기 제 2 적분기로 궤환되어 입력되는 상기 하나 이상의 출력 신호의 일부 또는 전부는, 상기 제 2 변조 신호와 상기 제어 신호에 기반하여 생성된 신호인 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

청구항 9

제 1 입력 신호 및 제 2 입력 신호를 이용하여 제 1 출력 신호 및 제 2 출력 신호를 출력하는 스위칭 증폭기를 위한 변조 장치에 있어서,

상기 제 1 입력 신호를 이용하여 변조된 제 1 변조 신호와 상기 제 2 입력 신호를 이용하여 변조된 제 2 변조 신호의 공통 신호 성분인 제어 신호를 검출하여 출력하는 제어부;를 포함하되,

상기 제 1 변조 신호, 상기 제 2 변조 신호 및 상기 제어 신호를 이용하여 출력된 상기 제 1 출력 신호, 상기 제 2 출력 신호 및 공통 출력 신호를 상기 변조 장치의 입력으로 궤환하는 것을 특징으로 하는 D급 스위칭 증폭기를 위한 변조 장치.

명세서

기술분야

[0001] 본 발명은 변조 장치에 관한 것으로, 보다 상세하게는 영 입력(zero input) 신호에서 출력단의 EMI와 게이트 드라이버단의 전력 소모를 감소시킬 수 있는 D급 스위칭 증폭기를 위한 변조 장치에 관한 것이다.

배경기술

[0002] D급 증폭기는 펄스 폭 변조(Pulse Width Modulation, PWM) 방식을 사용하며, B급 증폭기 보다 효율이 더 높고, 트랜지스터를 스위칭 모드로만 동작시키기 때문에 최소의 전력 손실만을 초래하는 장점이 있다.

[0003] 일반적인 종래의 3상(3-state) D급 스위칭 증폭기를 위한 변조 장치(100)의 구성도를 도 1에 나타내었다. 도 1의 변조 장치(100)는 영 입력(zero input) 신호에 대해 출력 신호는 도 2에 나타낸 바와 같이 듀티(duty) 50%의 동일한 PWM 신호가 발생된다. 이 PWM 신호는 출력단 라인에서 EMI(Electro Migration Interface)를 발생시키며, 게이트 드라이버(gate driver)의 스위칭에 의해 다이내믹(dynamic) 전류가 소모되어 진다.

[0004] 이때 소모되는 전력은 다음의 [수학식 1]과 같이 나타낼 수 있다.

수학식 1

$$P_{avg} = VDD \times I_{avg} = \frac{C_{tot} \times VDD^2}{T}$$

$$= C_{tot} \times VDD^2 \times f_{pwm}$$

[0005]

[0006]

여기서, Ctot는 게이트 드라이버단으로부터 보이는 총 부하 커패시터(total load capacitor)의 값이고, VDD는 전원 전압이며, fpwm은 출력단 PWM 신호의 주파수를 의미한다.

[0007]

D급 스위칭 증폭기의 경우, 오디오를 위한 전력 증폭기로 많은 활용이 되고 있으며, 또한 현재 휴대폰을 포함한 소형 기기 대부분에 대해 오디오가 필수가 되어 있는 현실을 고려하면, 영 입력 신호에 대한 상술한 바와 같은 EMI의 발생 및 전력 손실의 개선은 필연적으로 요구됨을 알 수 있다.

발명의 내용

해결하려는 과제

[0008]

본 발명은 전술한 바와 같은 기술적 과제를 해결하는 데 목적이 있는 발명으로서, 영 입력(zero input) 신호에서 출력단의 EMI와 게이트 드라이버단의 전력 소모를 감소시킬 수 있는 D급 스위칭 증폭기를 위한 변조 장치를 제공하는 것에 그 목적이 있다.

과제의 해결 수단

[0009]

본 발명의 바람직한 실시예에 따른 D급 스위칭 증폭기를 위한 변조 장치는, 제 1 입력 신호를 변조하여 제 1 변조 신호를 출력하는 제 1 변조부; 제 2 입력 신호를 변조하여 제 2 변조 신호를 출력하는 제 2 변조부; 및, 상기 제 1 변조 신호 및 상기 제 2 변조 신호의 공통 신호 성분인 제어 신호를 검출하여 출력하는 제어부;를 포함하며, 상기 제어부는 상기 제 1 변조 신호와 상기 제어 신호의 차분(difference) 신호인 제 1 차분 신호; 및 상기 제 2 변조 신호와 상기 제어 신호의 차분 신호인 제 2 차분 신호;를 더 출력하는 것을 특징으로 한다.

[0010]

구체적으로 상기 제 1 변조부는, 상기 제 1 입력 신호와 상기 하나 이상의 출력 신호의 일부 또는 전부를 궤환(feedback)하여 입력받아 적분하는 제 1 적분기; 및 상기 제 1 적분기의 출력 신호와 기준 신호를 비교하여 제 1 변조 신호를 출력하는 제 1 비교기;를 포함하고, 상기 제 2 변조부는, 상기 제 2 입력 신호와 상기 하나 이상의 출력 신호의 일부 또는 전부를 궤환(feedback)하여 입력받아 적분하는 제 2 적분기; 및 상기 제 2 적분기의 출력 신호와 상기 기준 신호를 비교하여 제 2 변조 신호를 출력하는 제 2 비교기;를 포함하는 것이 바람직하다.

[0011]

또한, 본 발명의 바람직한 실시예의 D급 스위칭 증폭기를 위한 변조 장치는 상기 제 1 차분 신호 및 상기 제 2 차분 신호를 각각 버퍼링하고, 증폭하여 제 1 출력 신호 및 제 2 출력 신호를 출력하는 파워 스테이지부; 및, 상기 제어 신호를 버퍼링하여 공통 출력 신호를 출력하는 지연(delay) 셀부;를 더 포함하는 것을 특징으로 한다.

[0012]

아울러, 상기 제 1 변조부로 상기 제 1 출력 신호 및 상기 공통 출력 신호가 궤환되어 입력되고, 상기 제 2 변조부로 상기 제 2 출력 신호 및 상기 공통 출력 신호가 궤환되어 입력되는 것이 바람직하다.

발명의 효과

[0013]

본 발명의 바람직한 실시예의 D급 스위칭 증폭기를 위한 변조 장치에 따르면, 영 입력(zero input) 신호에서 출력단의 EMI와 게이트 드라이버단의 전력 소모를 감소시킬 수 있는 D급 스위칭 증폭기를 위한 변조 장치를 제공할 수 있다.

도면의 간단한 설명

[0014]

도 1은 종래의 3상(3-state) D급 스위칭 증폭기를 위한 변조 장치의 구성도.

도 2는 종래 변조 장치의 영 입력 신호에 대한 출력 신호의 파형도.

도 3은 본 발명의 바람직한 일실시예에 따른 D급 스위칭 증폭기를 위한 변조 장치.

도 4는 본 발명의 일실시예에 따른 변조 장치의 영 입력 신호에 대한 출력 신호의 파형도.

도 5는 본 발명의 일실시예에 따른 변조 장치의 예시적인 입력 신호에 대한 출력 신호의 파형도.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하면서 본 발명의 일실시예에 따른 D급 스위칭 증폭기를 위한 변조 장치에 대해 상세히 설명하기로 한다.
- [0016] 본 발명의 하기의 실시예는 본 발명을 구체화하기 위한 것일 뿐 본 발명의 권리 범위를 제한하거나 한정하는 것이 아님은 물론이다. 본 발명의 상세한 설명 및 실시예로부터 본 발명이 속하는 기술 분야의 전문가가 용이하게 유추할 수 있는 것은 본 발명의 권리 범위에 속하는 것으로 해석된다.
- [0017] 먼저 도 3은 본 발명의 바람직한 일실시예에 따른 D급 스위칭 증폭기를 위한 변조 장치(200)의 구성도를 나타낸다.
- [0018] 도 3으로부터 알 수 있는 바와 같이 본 발명의 일실시예에 따른 변조 장치(200)는, 제 1 입력 신호를 변조하여 제 1 변조 신호를 출력하는 제 1 변조부(210a), 제 2 입력 신호를 변조하여 제 2 변조 신호를 출력하는 제 2 변조부(210b), 및 제 1 변조 신호 및 제 2 변조 신호로부터 공통 신호 성분인 제어 신호를 검출하여 출력하는 제어부(220)를 포함한다. 구체적으로, 제 1 입력 신호와 제 2 입력 신호는 차동 입력 신호인 것이 바람직할 것이다. 또한, 제어부(220)는 제 1 변조 신호와 제어 신호의 차분(difference) 신호인 제 1 차분 신호, 제 2 변조 신호와 제어 신호의 차분 신호인 제 2 차분 신호를 더 출력하는 것을 특징으로 한다.
- [0019] 구체적으로 본 발명의 일실시예에 따른 변조 장치(200)는, 제 1 차분 신호 및 제 2 차분 신호를 버퍼링하고, 증폭하여 제 1 출력 신호 및 제 2 출력 신호를 각각 출력하는 파워 스테이지부(230a, 230b), 및 제어 신호를 버퍼링하여 공통 출력 신호를 출력하는 지연(delay) 셀부(240)를 더 포함하는 것이 바람직할 것이다.
- [0020] 보다 상세하게 파워 스테이지부(230a, 230b)의 구성에 대해 설명하자면, 본 발명의 바람직한 일실시예의 파워 스테이지부(230a, 230b)는, 제 1 차분 신호를 버퍼링하는 제 1 게이트 드라이버(231a)와 버퍼링된 신호를 증폭하는 제 1 파워 트랜지스터(power transistor, 232a) 및 제 2 차분 신호를 버퍼링하는 제 2 게이트 드라이버(231b)와 버퍼링된 신호를 증폭하는 제 2 파워 트랜지스터(232b)를 포함한다.
- [0021] 구체적으로 제 1 변조부(210a)는, 제 1 입력 신호와 하나 이상의 출력 신호의 일부 또는 전부를 궤환(feedback)하여 입력받아 적분하는 제 1 적분기(211a), 및 제 1 적분기(211a)의 출력 신호와 기준 신호(Vref)를 비교하여 제 1 변조 신호를 출력하는 제 1 비교기(212a)를 포함하는 것이 바람직할 것이다. 마찬가지로, 제 2 변조부(210b)는 제 2 입력 신호와 하나 이상의 출력 신호의 일부 또는 전부를 궤환(feedback)하여 입력받아 적분하는 제 2 적분기(211b), 및 제 2 적분기(211b)의 출력 신호와 기준 신호를 비교하여 제 2 변조 신호를 출력하는 제 2 비교기(212b)를 포함하는 것이 바람직할 것이다. 여기서 기준 신호란, 제 1 적분기(211a) 및 제 2 적분기(211b)로부터의 각각의 출력 신호와의 비교를 위해 준비된, 제 1 비교기(210a) 및 제 2 비교기(212b)의 각각 두 개의 입력 중 다른 입력으로 입력되는 신호를 의미한다.
- [0022] 또한, 도 3으로부터 제 1 적분기(211a)로 궤환되어 입력되는 하나 이상의 출력 신호의 일부 또는 전부는 제 1 변조 신호와 제어 신호에 기반하여 생성된 신호, 즉 제 1 출력 신호 및 공통 출력 신호이고, 제 2 적분기(211b)로 궤환되어 입력되는 하나 이상의 출력 신호의 일부 또는 전부는 제 2 변조 신호와 제어 신호에 기반하여 생성된 신호, 즉 제 2 출력 신호 및 공통 출력 신호인 것을 알 수 있다.
- [0023] 다시 한번 본 발명의 바람직한 일실시예의 D급 스위칭 증폭기를 위한 변조 장치(200)의 구성에 대해 간단히 정리하자면, 본 발명의 특징적 구성 요소인 제어부(220)는 제 1 입력 신호를 이용하여 변조된 제 1 변조 신호와 제 2 입력 신호를 이용하여 변조된 제 2 변조 신호의 공통 신호 성분인 제어 신호, 제 1 변조 신호와 제어 신호의 차분(difference) 신호인 제 1 차분 신호, 및 제 2 변조 신호와 제어 신호의 차분 신호인 제 2 차분 신호를 출력한다. 제어부(220)에서의 제 1 변조 신호, 제 2 변조 신호 및 제어 신호를 이용하여 적절한 신호 레벨 및

타이밍을 조절하여, 본 발명의 변조 장치(200)에 제1 입력 신호와 제2 입력 신호가 모두 영 입력(zero input)인 경우, 최종적인 출력 신호인 제1 출력 신호와 제2 출력 신호에서 영 출력(zero output)이 출력되어, EMI 및 소모 전력 문제를 해결할 수 있게 되는 것이다.

[0024] 도 3의 구성도에 나타난 각 구성 요소들의 신호들의 관계를 다시 한번 상세히 설명하기로 한다.

[0025] 먼저 제1 비교기(212a)의 출력 신호인 제1 변조 신호 및 제2 비교기(212b)의 출력 신호인 제2 변조 신호를 각각 V_{COPI} 과 V_{COMI} 라고 하고, 제어부(220)에서 검출되는 제어 신호를 V_{GDCOM} 이라고 할 때, 제1 차분 신호(V_{GDOP}), 제2 차분 신호(V_{GDOM}) 및 제어 신호(V_{GDOM})는 다음 [수학식 2]와 같이 나타낼 수 있다.

수학식 2

$$\begin{aligned}
 V_{GDOP} &= V_{COPI} - V_{GDCOM} \\
 V_{GDOM} &= V_{COMI} - V_{GDCOM} \\
 V_{GDCOM} &= V_{COPI} \cap V_{COMI}
 \end{aligned}$$

[0026]

[0027] [수학식 2]로부터 영 입력 신호, 즉 제1 입력 신호(V_{IP}) 및 제2 입력 신호(V_{IM})가 영(zero)인 상태에 대해 도 4와 같이 도 3의 각 구성 요소로부터의 신호를 산출할 수 있으며, 제1 출력 신호(V_{OP}) 및 제2 출력 신호(V_{OM})는 PWM(Pulse Width Modulation) 신호가 없는 영 상태(zero state) 출력이 된다. 이를 통해, 제1 게이트 드라이버(231a) 및 제2 게이트 드라이버(231b)에서의 스위칭에 따른 전력 손실이 없어지게 되며, 출력 라인(line)의 EMI 역시 감소하게 된다. 또한, 제어 신호(V_{GDCOM})에는 작은 지연 셀(240)을 이용한 게이트 드라이버에 의해, 전체적인 동작은 종래의 D급 방식과 동일하게 되는 것이다.

[0028] 도 5에 영 입력 신호가 아닌 경우에 대한 각 신호들의 파형을 나타내었다. 도 5로부터 알 수 있는 바와 같이, 제1 출력 신호(V_{OP}) 및 제2 출력 신호(V_{OM})와 제1 변조 신호(V_{COPI}) 및 제2 변조 신호(V_{COMI})는 동일하게 공통 신호 성분인 제어 신호(V_{GDCOM})를 제외한 부분만 출력되게 되어, 하나의 출력 신호만이 나오게 된다. 제어 신호(V_{GDCOM})는 마찬가지로 제환을 통해 제1 적분기(211a) 및 제2 적분기(211b)에서 보상을 해 주게 되어, 종래의 변조 방식과 동일한 성능의 출력을 가능하게 한다.

[0029] 다음 [수학식 3]과 같이 제환되어지는 양은 종래 비교기(120a, 120b)의 출력에서 발생하는 출력 신호와 동일하게 된다.

수학식 3

$$\begin{aligned}
 V_{FOP} &= V_{OP} + V_{COM} = V_{COPI} \\
 V_{FOM} &= V_{OM} + V_{COM} = V_{COMI}
 \end{aligned}$$

[0030]

[0031] (여기서, V_{FOP} 는 제1 적분기(211a)에 대한 제환 인자(feedback factor), V_{FOM} 는 제2 적분기(211b)에 대한 제환 인자, 및 V_{COM} 는 공통 출력 신호를 각각 나타낸다.)

[0032] 상술한 바와 같이 본 발명의 바람직한 일실시예에 따르면, 영 입력에 대한 영 상태 출력에 의해 효율적인 EMI 및 소모 전력의 감소가 가능할 뿐만 아니라, 일반 신호가 입력될 경우에는 종래의 클래스 D 급의 방식과 동일하게 동작 가능한 D급 스위칭 증폭기를 위한 변조 장치를 제공할 수 있다.

[0033]

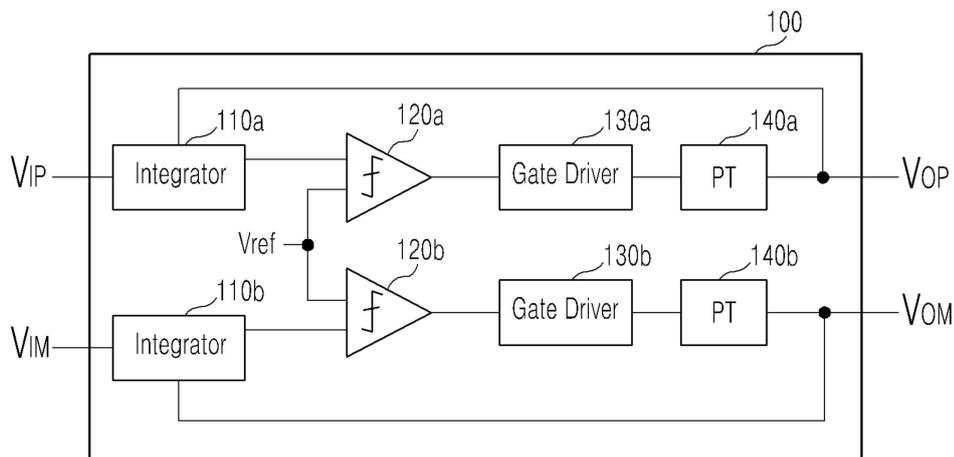
부호의 설명

[0034]

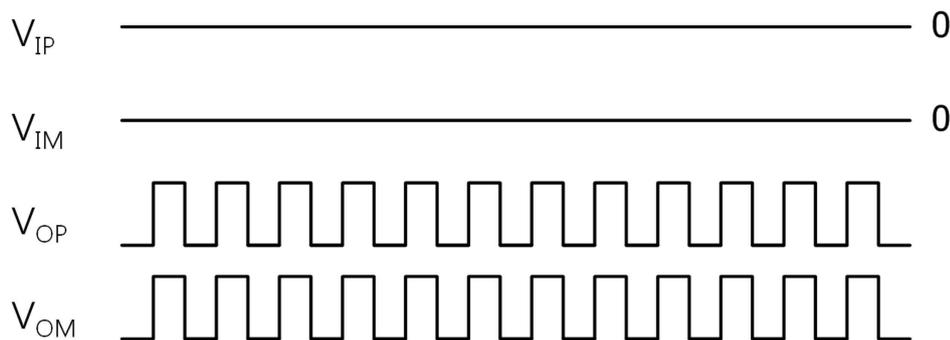
- 100 : 종래의 D급 스위칭 증폭기를 위한 변조 장치.
- 110a, 110b : 적분기
- 120a, 120b : 비교기
- 130a, 130b : 게이트 드라이버
- 140a, 140b : 파워 스테이지
- 200 : 본 발명에 따른 D급 스위칭 증폭기를 위한 변조 장치.
- 210a : 제 1 변조부
- 210b : 제 2 변조부
- 220 : 제어부
- 230a, 230b : 파워 스테이지부
- 240 : 지연 셀부
- 211a : 제 1 적분기
- 211b : 제 2 적분기
- 212a : 제 1 비교기
- 212b : 제 2 비교기
- 231a : 제 1 게이트 드라이버
- 231b : 제 2 게이트 드라이버
- 232a : 제 1 파워 트랜지스터
- 232b : 제 2 파워 트랜지스터

도면

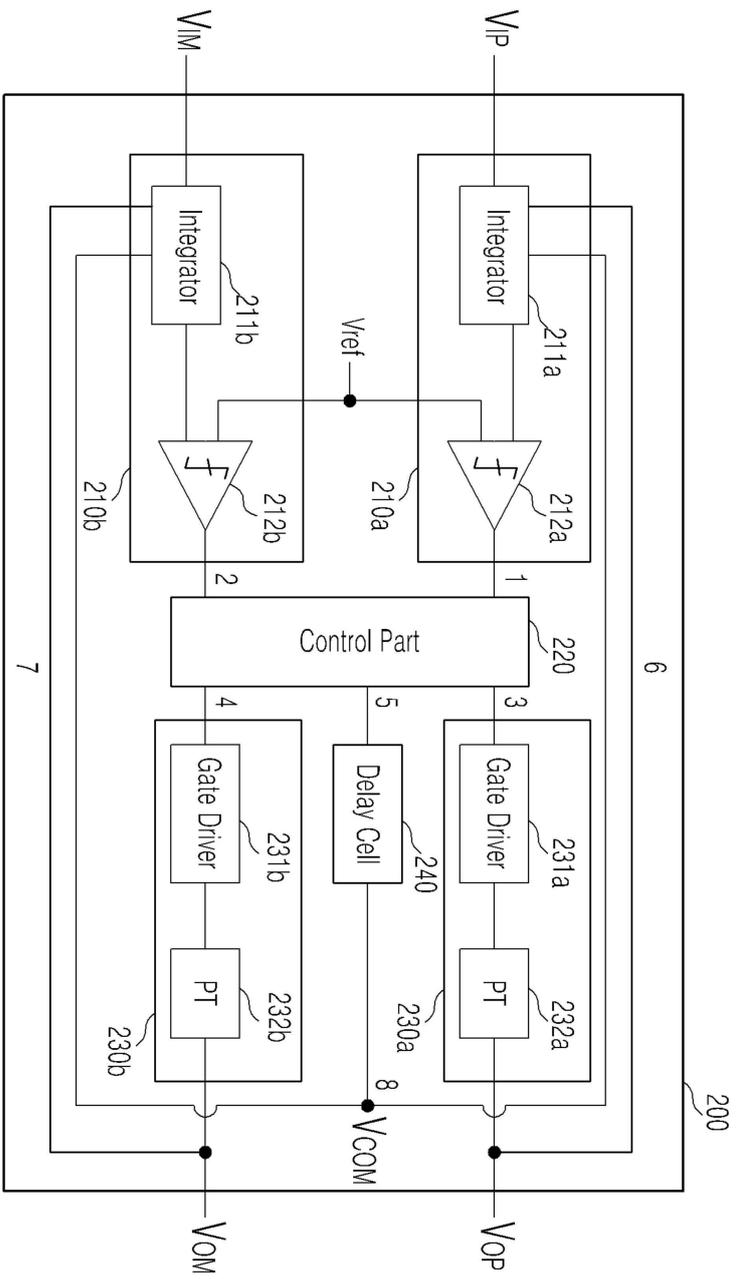
도면1



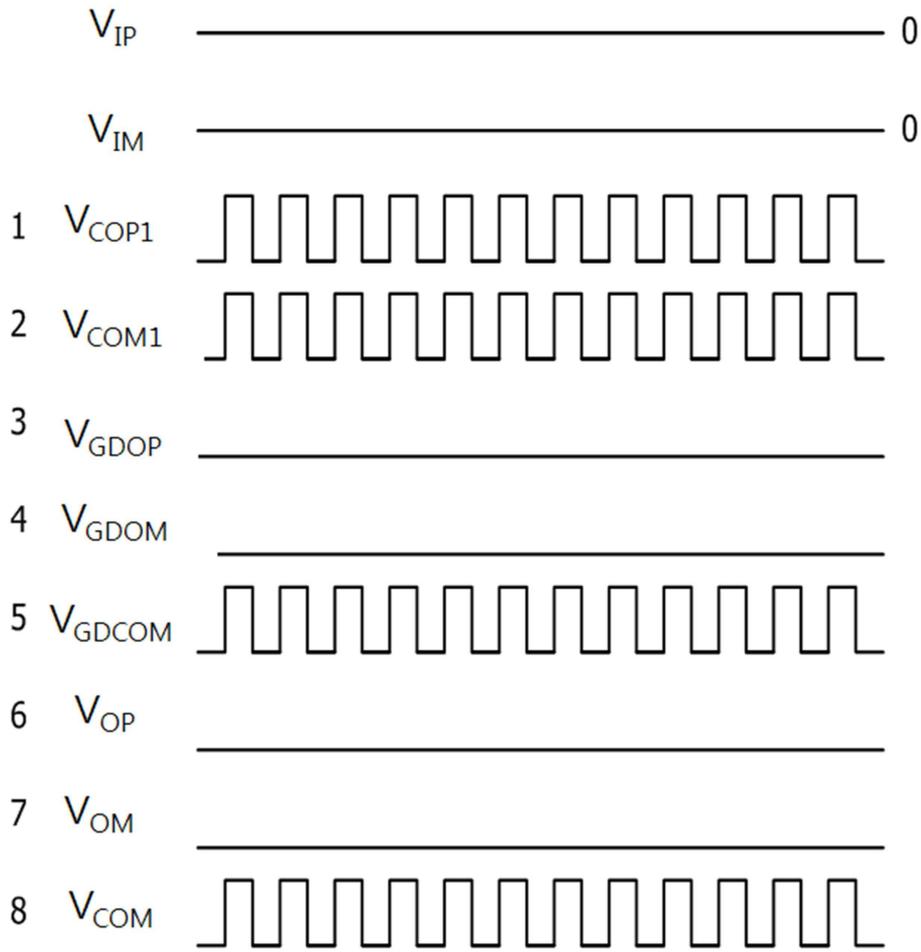
도면2



도면3



도면4



도면5

