



(12) 发明专利

(10) 授权公告号 CN 109844955 B

(45) 授权公告日 2022. 10. 28

(21) 申请号 201980000143.3

(22) 申请日 2019.01.10

(65) 同一申请的已公布的文献号
申请公布号 CN 109844955 A

(43) 申请公布日 2019.06.04

(85) PCT国际申请进入国家阶段日
2019.02.15

(86) PCT国际申请的申请数据
PCT/CN2019/071190 2019.01.10

(87) PCT国际申请的公布数据
W02020/142989 EN 2020.07.16

(73) 专利权人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关
东科技工业园华光大道18号7018室

(72) 发明人 孙坚华 李思哲 夏季 魏勤香

(74) 专利代理机构 北京永新同创知识产权代理
有限公司 11376
专利代理师 林锦辉

(51) Int. Cl.
H01L 29/06 (2006.01)
H01L 27/115 (2017.01)

(56) 对比文件
CN 108538845 A, 2018.09.14
CN 108538845 A, 2018.09.14
CN 102420172 A, 2012.04.18
CN 102420172 A, 2012.04.18
CN 103078028 A, 2013.05.01
US 9711515 B1, 2017.07.18

审查员 孙鹏

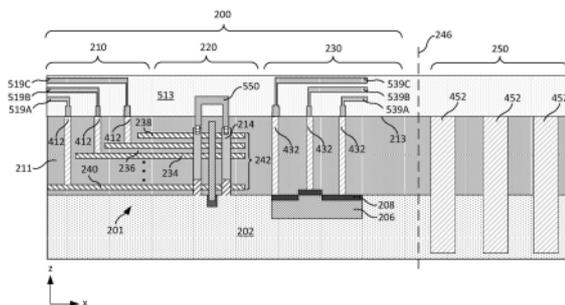
权利要求书2页 说明书12页 附图10页

(54) 发明名称

用于减小三维存储器件中的应力的结构和
方法

(57) 摘要

公开了对抗应力结构和用于形成对抗应力
结构的方法的实施例。本公开描述了一种半导体
晶片,其包括:具有形成在其上的电介质层的衬
底以及电介质层中的器件区。所述器件区包括
至少一个半导体器件。所述半导体晶片还包括
相邻与所述器件区的牺牲区,其中,所述牺牲
区包括被配置为抵消形成在所述器件区中的
晶片应力的至少一个对抗应力结构。



1. 一种半导体晶片,包括:
衬底,其具有形成在所述衬底上的电介质层;
器件区,其在所述电介质层中并且包括至少一个半导体器件和至少一个导电结构,并且所述器件区包括阶梯区、有源区和外围器件区;以及
与所述器件区相邻的牺牲区,所述牺牲区包括所述半导体晶片的切割线,其中,所述牺牲区包括被配置为抵消形成在所述器件区中的晶片应力的至少一个对抗应力结构,其中,所述至少一个对抗应力结构和所述至少一个导电结构具有相同的材料。
2. 根据权利要求1所述的半导体晶片,其中,所述至少一个对抗应力结构包括高应力材料。
3. 根据权利要求2所述的半导体晶片,其中,所述高应力材料包括钨。
4. 根据权利要求1所述的半导体晶片,其中,所述至少一个对抗应力结构形成在所述电介质层中,并且延伸到所述衬底中。
5. 根据权利要求1所述的半导体晶片,其中,所述至少一个对抗应力结构的宽度在 $0.1\mu\text{m}$ 和 $0.5\mu\text{m}$ 之间,并且所述至少一个对抗应力结构的深度在 $4\mu\text{m}$ 和 $10\mu\text{m}$ 之间。
6. 根据权利要求1所述的半导体晶片,其中,形成在所述器件区中的所述晶片应力是压应力,并且所述至少一个对抗应力结构被配置为产生张应力。
7. 根据权利要求1所述的半导体晶片,其中,形成在所述器件区中的所述晶片应力是张应力,并且所述至少一个对抗应力结构被配置为产生压应力。
8. 根据权利要求1所述的半导体晶片,其中,所述器件区包括三维(3D)存储结构。
9. 根据权利要求1所述的半导体晶片,其中,所述器件区包括外围器件。
10. 根据权利要求1所述的半导体晶片,还包括设置在所述至少一个对抗应力结构的顶表面上的另一个电介质层。
11. 一种半导体晶片,包括:
管芯阵列,其中,所述管芯阵列中的每个管芯包括第一类型的晶片应力,并且其中,所述每个管芯包括器件区,所述器件区包括阶梯区、有源区和外围器件区,并且所述器件区包括至少一个导电结构;
所述管芯阵列中的相邻管芯的所述器件区之间的牺牲区,所述牺牲区包括所述半导体晶片的切割线;以及
形成在所述牺牲区中的多个半导体结构,其中,每个半导体结构包括被配置为产生用于抵消所述第一类型的晶片应力的第二类型的晶片应力的高应力材料,其中,所述至少一个导电结构的材料和所述高应力材料是相同的。
12. 根据权利要求11所述的半导体晶片,其中,所述第一类型的晶片应力和所述第二类型的晶片应力分别包括压晶片应力和张晶片应力。
13. 根据权利要求11所述的半导体晶片,其中,所述第一类型的晶片应力和所述第二类型的晶片应力分别包括张晶片应力和压晶片应力。
14. 根据权利要求11所述的半导体晶片,其中,所述高应力材料包括钨。
15. 根据权利要求11所述的半导体晶片,其中,所述管芯阵列中的所述每个管芯包括三维(3D)存储结构。
16. 一种用于形成半导体晶片的方法,所述方法包括:

在衬底上形成电介质层；

在所述半导体晶片的器件区中形成多个半导体结构,其中,所述多个半导体结构在所述半导体晶片上产生第一类型的晶片应力,并且所述器件区包括阶梯区、有源区和外围器件区,并且所述器件区包括至少一个导电结构；

在所述电介质层和所述器件区中形成第一多个开口；

在所述电介质层和与所述器件区相邻的牺牲区中形成第二多个开口,其中,所述牺牲区包括所述半导体晶片的切割线；以及

在所述第一多个开口和所述第二多个开口中设置高应力材料,其中,所设置的高应力材料在所述半导体晶片上产生第二类型的晶片应力以抵消所述第一类型的晶片应力,

其中,所述至少一个导电结构的材料和所述高应力材料是相同的。

17. 根据权利要求16所述的方法,其中,设置所述高应力材料包括设置钨。

18. 根据权利要求16所述的方法,其中,使用化学气相沉积 (CVD)、物理气相沉积 (PVD)、等离子体增强型CVD (PECVD)、溅射、金属-有机化学气相沉积 (MOCVD)、或者原子层沉积 (ALD) 之一来执行设置所述高应力材料。

19. 根据权利要求16所述的方法,还包括使所设置的高应力材料和所述电介质层平坦化。

20. 根据权利要求16所述的方法,其中,形成所述多个半导体结构包括形成三维 (3D) 存储结构。

21. 根据权利要求16所述的方法,还包括在所设置的高应力材料的顶表面上设置另一个电介质层。

用于减小三维存储器件中的应力的结构和方法

技术领域

[0001] 本公开总体上涉及半导体技术的领域,并且更具体地讲,涉及一种用于减小在用于形成三维(3D)存储器件的半导体晶片中的应力的方法。

背景技术

[0002] 通过改进工艺技术、电路设计、编程算法、以及制造工艺,使平面存储单元缩放到更小的尺寸。然而,随着存储单元的特征尺寸接近下限,平面工艺和制造技术变得越来越具挑战性,而且成本日益趋高。于是,平面存储单元的存储密度不断接近上限。三维(3D)存储架构可以解决平面存储单元中的密度限制的问题。

发明内容

[0003] 本公开中描述了具有对抗应力结构的三维(3D) NAND存储器件和用于形成所述存储器件的方法的实施例。

[0004] 在一些实施例中,半导体晶片包括具有形成在其上的电介质层的衬底和电介质层中的器件区。器件区包括至少一个半导体器件。半导体晶片还包括与器件区相邻的牺牲区,其中,牺牲区包括被配置为抵消形成在器件区中的晶片应力的至少一个对抗应力结构。

[0005] 在一些实施例中,半导体晶片包括管芯阵列,其中,管芯阵列中的每个管芯具有第一类型的晶片应力。半导体晶片还包括管芯阵列中的相邻管芯之间的牺牲区和形成在牺牲区中的多个半导体结构。每个半导体结构包括被配置为产生用于抵消第一类型的晶片应力的第二类型的晶片应力的高应力材料。

[0006] 在一些实施例中,一种用于形成半导体晶片的方法包括在衬底上形成电介质层以及在半导体晶片的器件区中形成多个半导体结构。所述多个半导体结构在半导体晶片产生第一类型的晶片应力。所述方法还包括在电介质层和器件区中形成第一多个开口。所述方法还包括在电介质层中并且在与器件区相邻的牺牲区中形成第二多个开口。所述方法还包括在第一和第二多个开口中设置高应力材料,其中,所设置的高应力材料在半导体晶片产生用于抵消第一类型的晶片应力的第二类型的晶片应力。

附图说明

[0007] 被并入本文中并且形成说明书的一部分的附图示出了本公开的实施例,并且附图与文字描述一起进一步用于解释本公开的原理,并且使相关领域技术人员能够做出并使用本公开。

[0008] 图1示出了根据本公开的一些实施例的3D NAND存储结构。

[0009] 图2-图5是根据本公开的一些实施例的示出了用于在半导体晶片的牺牲区中形成对抗应力结构的示例性制造工艺的截面图。

[0010] 图6-图7是根据本公开的一些实施例的示出了半导体晶片上的示例性对抗应力结构的截面图。

[0011] 图8-图10是根据本公开的一些实施例的示出了半导体晶片上的示例性对抗应力结构的平面图。

[0012] 图11是根据本公开的一些实施例的示出了用于在半导体晶片的牺牲区中形成对抗应力结构的示例性方法的流程图。

[0013] 将参照附图描述本公开的实施例

具体实施方式

[0014] 尽管对具体配置和布置进行了讨论,但应当理解,这只是出于示例性目的而进行的。相关领域中的技术人员将认识到,可以使用其它配置和布置而不脱离本公开的精神和范围。对相关领域的技术人员显而易见的是,本公开还可以用于多种其它应用中。

[0015] 要指出的是,在说明书中提到“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等指示所述的实施例可以包括特定特征、结构或特性,但未必每个实施例都包括该特定特征、结构或特性。此外,这种短语未必是指同一个实施例。另外,在结合实施例描述特定特征、结构或特性时,结合其它实施例(无论是否明确描述)实现这种特征、结构或特性应在相关领域技术人员的知识范围内。

[0016] 通常,可以至少部分从上下文中的使用来理解术语。例如,至少部分取决于上下文,本文中使用的术语“一个或多个”可以用于描述单数意义的任何特征、结构或特性,或者可以用于描述复数意义的特征、结构或特性的组合。类似地,至少部分取决于上下文,诸如“一”或“所述”的术语同样可以被理解为传达单数使用或传达复数使用。

[0017] 应当容易理解,本公开中的“在…上”、“在…上方”和“在…之上”的含义应当以最宽方式被解读,以使得“在…上”不仅表示“直接在”某物“上”而且还包括在某物“上”且其间有居间特征或层的含义,并且“在…上方”或“在…之上”不仅表示“在”某物“上方”或“之上”,而且还可以包括其“在”某物“上方”或“之上”且其间没有居间特征或层(即,直接在某物上)的含义。

[0018] 此外,诸如“在…下”、“在…下方”、“下部”、“在…上方”、“上部”等空间相对术语在本文中为了描述方便可以用于描述一个元件或特征与另一个或多个元件或特征的如图中所示的关系。空间相对术语旨在涵盖除了在附图中所描绘的取向之外的在设备使用或操作中的不同取向。设备可以以另外的方式被定向(旋转90度或在其它取向),并且本文中使用的空间相对描述词可以类似地被相应解释。

[0019] 如本文中使用的,术语“衬底”是指向其上增加后续材料层的材料。衬底自身可以被图案化。增加在衬底顶部的材料可以被图案化或者可以保持不被图案化。此外,衬底可以包括宽范围的半导体材料,例如硅、锗、砷化镓、磷化铟等。替代地,衬底可以由诸如玻璃、塑料或蓝宝石晶圆的非导电材料制成。

[0020] 如本文中使用的,术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸,或者可以具有小于下方或上方结构范围的范围。此外,层可以是厚度小于连续结构的厚度的均质或非均质连续结构的区域。例如,层可以位于在连续结构的顶表面和底表面之间或在顶表面和底表面处的任何水平面对之间。层可以水平、竖直和/或沿倾斜表面延伸。衬底可以是层,在其中可以包括一个或多个层,和/或可以在其上、其上方和/或其下方具有一个或多个层。层可以包括多个层。例如,互连层可以包括一个或

多个导体和接触层(其中形成触点、互连线和/或过孔)和一个或多个电介质层。

[0021] 如本文使用的,术语“标称/标称地”是指在产品或过程的设计阶段期间设置的用于部件或过程操作的特性或参数的期望或目标值,以及高于和/或低于期望值的值的范围。值的范围可能是由于制造过程或容限中的轻微变化导致的。如本文使用的,术语“大约”指示可以基于与主题半导体器件相关联的特定技术节点而变化的给定量的值。基于特定技术节点,术语“大约”可以指示给定量的值,其例如在值的10%-30%(例如,值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$)内变化。

[0022] 如本文使用的,术语“3D存储器件”是指一种半导体器件,其在横向取向的衬底上具有竖直取向的存储单元晶体管串(在本文中被称为“存储器串”,例如NAND存储器串),以使得所述存储器串相对于衬底在竖直方向上延伸。如本文使用的,术语“竖直/竖直地”是指标称地垂直于衬底的横向表面。

[0023] 在一些实施例中,NAND串或者3D存储器件包括竖直延伸穿过多个导体/电介质层对的半导体柱(例如,硅柱)。多个导体/电介质层对在本文中也称为“交替导体/电介质堆叠层”。交替导体/电介质堆叠层的导体层可以用作字线(电连接一个或多个控制栅)。字线与半导体柱的交点形成存储单元。竖直取向的存储器串要求导体材料(例如,字线板或者控制栅)与存取线(例如,线互连的后端)之间的电连接,以使得能够针对写或者读功能唯一地选择沿存储器串的或者3D存储器件中的每个存储单元。形成电连接的一种方法包括在交替导体/电介质堆叠层上形成阶梯结构。可以通过使用形成在电介质堆叠层之上的掩模层反复刻蚀导体/电介质堆叠层而形成阶梯结构,其中,在本公开中,也将每个堆叠层称为阶梯结构的“阶梯层”(或者“SC层”)。电介质层设置在阶梯结构上,并且开口形成在电介质层中,以暴露每个阶梯层。通过在开口中设置导电材料并且连接到阶梯结构的每一级上的导电层而形成电连接,例如,过孔或者引线。电连接还被形成为将外围电路连接到其它器件/结构。诸如金属层和过孔的其它层和结构被形成在阶梯结构和外围电路上。

[0024] 薄膜沉积、光刻、刻蚀工艺被用于形成半导体结构中的各种结构,例如,设置电介质层并且形成互连结构。例如,在3D NAND存储器件中,可以通过交替地设置电介质层并且利用导电层替换所设置的电介质层中的选定电介质层来制造交替导体/电介质叠层。然而,当将具有不同热膨胀系数(CTE)的薄膜堆叠在一起时,热膨胀系数之间的不匹配可能导致不希望的晶片应力。例如,可以使用在超过室温的温度下执行的物理气相沉积(PVD)工艺设置薄膜,并且在晶片被冷却到室温之后,所设置的具有不匹配的CTE的薄膜以不同的速度收缩。温度的变化在所设置的薄膜中产生应力。另外,由于薄膜沉积期间的若干工艺,薄膜中的固有应力可能出现,例如,所述工艺包括晶粒生长、晶界张弛、晶界空隙收缩、相变与沉淀、空位消灭、以及其它工艺。这些工艺产生了施加于半导体结构上的力,并且导致半导体结构“膨胀”或者“收缩”,取决于作用于材料上的力的方向,这相应地导致张或压应力。因此,压应力和张应力是相反类型的晶片应力。为了适应这些附加的应力效应并且达到稳定状态,膜堆叠层本身会向上或者向下弯曲,取决于产生的应力是压应力还是张应力。然而,在半导体处理中,晶片弯曲或者翘曲是不希望出现的,因为非平面表面可能导致不均匀的处理,其进而明显降低产品产率。

[0025] 随着对更高存储容量的需求持续增长,存储单元和阶梯结构的竖直层级的数量也在增加。具有大量竖直层级的半导体器件(例如,32级或者64级的3D NAND存储器件)可能

经历降低产品产率的晶片弯曲和翘曲。在半导体器件中可以使用低应力材料,但低应力材料的选择受到限制,并且通常与复杂的工艺和高成本相关联。替代地,退火工艺可以减小晶片应力,但常常受到器件的热预算的限制。因此,平衡制造吞吐量和工艺复杂性/成本是一种挑战。

[0026] 为了克服上述不足,本文所描述的实施例涉及用于3D NAND存储器件的对抗应力结构及其制造方法。在一些实施例中,对抗应力结构可以是位于半导体晶片的牺牲区中的用于抵消其它应力(例如,可能形成在相邻器件区中的应力)的半导体结构。例如,半导体结构可以是填充有高应力材料的沟槽,并且形成在相邻器件区之间的切割线中。通过将牺牲区中的高应力材料配置为产生与器件区中所产生的应力相反类型的应力,对抗应力结构可以减小半导体晶片的总应力。在一些实施例中,在平面图中,可以沿x方向或者y方向形成对抗应力结构。在一些实施例中,对抗应力结构的尺寸和密度可以由半导体晶片的应力水平确定

[0027] 用于形成对抗应力结构的示例性的制造方法包括在含有3D NAND存储器件阵列的半导体晶片的牺牲区中形成开口。在一些实施例中,牺牲区可以是其中无器件形成的区域。在一些实施例中,牺牲区可以位于管芯内。例如,牺牲区可以是管芯内的无器件形成的区域。高应力材料被设置在开口中,并且用于对抗半导体晶片上的其它结构所形成的应力。在一些实施例中,形成开口以及设置高应力材料可以分别与形成用于外围电路的开口以及在外围电路开口中设置导电材料同时执行,这进而提供了无需附加的掩模或者处理步骤的好处。

[0028] 本公开中所描述的各种对抗应力结构可以提供诸多好处,其中,例如,在不占据器件空间的情况下减小了3D NAND存储器件中的总应力、无需附加的掩模或者处理步骤、以及宽范围的适当高应力材料。因此,对抗应力结构可以减小半导体晶片中的应力,这进而确保并提高了3D NAND存储器件的性能和产率。

[0029] 在详细描述3D NAND存储器件中的接触焊盘之前,图1中示出了示例性3D NAND闪存存储器件。闪存存储器件包括衬底101、衬底101之上的绝缘层103、绝缘层103之上的底部选择栅电极104的台阶、以及堆叠在底部选择栅电极104顶部上的控制栅电极107(例如,107-1、107-2、以及107-3)的多个台阶。闪存存储器件100还包括:控制栅电极107的堆叠层之上的顶部选择栅电极109的台阶;衬底101的处于相邻底部选择栅电极104之间的部分中的掺杂源线区120;以及穿过顶部选择栅电极109、控制栅电极107、底部选择栅电极104、以及绝缘层103的半导体沟道114。半导体沟道114(由虚线椭圆示出)包括半导体沟道114的内表面之上的存储器膜113以及由半导体沟道114中的存储器膜113包围的核心填充膜115)。闪存存储器件100还包括设置在顶部选择栅电极109之上的半导体沟道114上并且连接到半导体沟道114的多个位线111。通过多个金属触点117将多个金属互连119连接到栅电极(例如,104、107、以及109)。在器件制造期间,金属互连119与金属触点117对准,并且连接到金属触点117。在一些实施例中,金属触点117可以是形成于被形成在栅电极的相邻台阶之间的绝缘层中的过孔。为了简单起见,图1中未示出绝缘层。也可以将栅电极称为字线,其包括顶部选择栅电极109、控制栅电极107、以及底部选择栅电极104。

[0030] 在图1中,为了例示的目的,示出了控制栅电极的三个台阶107-1、107-2、以及107-3,以及顶部选择栅电极的一个台阶109和底部选择栅电极的一个台阶104。在衬底101

之上,栅电极的每个台阶具有基本相同的高度。每个台阶的栅电极被穿过栅电极的堆叠层的栅缝隙108-1和108-2分开。同一台阶中的每个栅电极通过金属触点117导电连接到金属互连119。即,形成在栅电极上的金属触点的数量等于栅电极的数量(即,所有顶部选择栅电极109、控制栅电极107、以及底部选择栅电极104的总和)。另外,形成相同数量的金属互连以连接到每个金属触点117。

[0031] 为了例示的目的,使用相同的附图标记来标记3D NAND存储器件中的相似或者相同的部分。然而,在具体实施方式中,附图标记仅用于区分相关的部分,而并不指示功能、组成、或者位置方面的任何相似性或者差别。尽管将3D NAND器件用作示例,但在各种应用和设计中,也可以在类似或者不同的半导体器件中应用所公开的结构,例如,以减小相邻字线之间的泄漏电流。所公开的结构的具体应用不应局限于本公开的实施例。为了例示的目的,可互换地使用字线和栅电极以描述本公开。在各种实施例中,层的数量、用于形成这些层的方法、以及形成这些层的具体次序可以根据不同设计而变化,并且不应局限于本公开的实施例。应该注意,这些图中所示出的x方向和y方向仅用于清晰表达的目的,而不应是限制性的。

[0032] 以下,将参照图2-图11进一步详细描述包括填充有高应力材料的沟槽的对抗应力结构的示例性配置和制造工艺。图2-图11中所示的示例性结构和制造工艺可以涉及形成3D NAND存储器件。3D NAND存储器件可以包括字线阶梯区和沿任何适当方向(正y方向、负y方向、正x方向、负x方向、和/或任何适当方向)延伸的对抗应力沟槽。

[0033] 图2示出了根据一些实施例的包括3D NAND存储结构和用于形成对抗应力结构的开口的半导体晶片的一部分的截面图。半导体晶片包括衬底202和电介质层211。电介质层211包括基本上为平面的顶表面213。3D NAND存储结构201形成在半导体晶片的器件区200中,并且开口252形成在半导体晶片的牺牲区250中。仅仅为了易于描述,由边界246将器件区200和牺牲区250分开。另外,为了易于描述,可以将包括3D NAND存储结构201的器件区200划分成3个区域:阶梯区210、有源器件区220、以及外围器件区230。在一些实施例中,器件区200和牺牲区250都可以处于半导体管芯的边界内。在一些实施例中,器件区200可以处于半导体管芯的边界内,而牺牲区250可以处于管芯边界之外。

[0034] 衬底202可以包括用于形成3D NAND存储结构的任何适当材料。在一些实施例中,衬底202可以包括硅、硅锗、碳化硅、绝缘体上硅(SOI)、绝缘体上锗(GOI)、玻璃、氮化镓、砷化镓、任何适当III-V化合物材料、和/或它们的组合。可以使用诸如氧化硅、氮化硅、氮氧化硅、和/或其它适当电介质材料的任何适当电介质材料形成电介质层211。电介质层211的沉积可以包括任何适当方法,例如化学气相沉积(CVD)、物理气相沉积(PVD)、等离子体增强型CVD(PECVD)、溅射、金属-有机化学气相沉积(MOCVD)、原子层沉积(ALD)、和/或它们的组合。电介质层211可以包括一个或多个刻蚀停止层,并且为了易于描述而未被示出。

[0035] 多个导体层234和电介质层236对形成在阶梯区210和有源器件区220中。有源器件区220可以包括通常被称为“有源器件”的功能半导体器件。例如,有源器件可以包括晶体管、二极管、和/或任何适当半导体器件。未要求有源器件必需实际上正在操作,但要求“有源器件”中的一类之一能够正在被操作(例如,能够被导通和关断)。多个导体/电介质层对在本文中也称为交替导体/电介质堆叠层242。交替导体/电介质堆叠层242中的导体层234和电介质层236在垂直方向上交替。换句话说,除了在交替导体/电介质堆叠层242的顶

部或者底部的导体层234和电介质层236外,每个导体层234可以在两侧上毗连两个电介质层236,并且电介质层236可以在两侧上毗连两个导体层234。导体层234可以均具有相同的厚度,或者具有不同的厚度。类似地,电介质层236也可以均具有相同的厚度,或者具有不同的厚度。在一些实施例中,交替导体/电介质堆叠层242包括具有不同于导体/电介质层对的材料和/或厚度的更多的导电层或者更多的电介质层。导体层234可以包括导体材料,其包括但不限于W、Co、Cu、Al、掺杂硅、硅化物、或者它们的任何组合。电介质层236可以包括电介质材料,其包括但不限于氧化硅、氮化硅、氮氧化硅、或者它们的任何组合。

[0036] 3D NAND存储结构201还包括形成在有源器件区220中的NAND串 214,并且包括多个控制栅(每个控制栅是字线的部分)。交替导体/电介质堆叠层242中的每个导体层234可以用作用于NAND串214中的每个存储单元的控制栅。另外,NAND串214可以包括处于上端的选择栅238(例如,漏选择栅)和处于下端的另一个选择栅240(例如,源选择栅)。如本文所使用的,部件(例如,NAND串214)的“上端”是沿z方向离衬底202 较远的一端,并且部件(例如,NAND串214)的“下端”是沿z方向离衬底202较近的一端。在一些实施例中,选择栅238和240可以包括导体材料,其包括但不限于W、Co、Cu、Al、掺杂硅、硅化物、或者它们的任何组合。

[0037] 可以相邻有源器件区220形成外围器件区230。外围器件区230可以包括形成在衬底202上的多个外围器件206,其中,外围器件的整体或者部分形成在衬底202中(例如,在衬底202的顶表面下方)和/或直接形成在衬底202上。外围器件206可以包括形成在衬底202上的多个晶体管。隔离区和端子208(例如,晶体管的源极区、漏极区、或者栅极)也可以形成在衬底202中。

[0038] 在一些实施例中,外围器件可以包括用于促进3D NAND存储结构201 的操作的任何适当数字、模拟、和/或混合信号外围电路。例如,外围器件 206可以包括页缓冲器、解码器(例如,行解码器和列解码器)、读出放大器、驱动器、电荷泵、电流或者电压基准、或者电路的任何有源或者无源部件(例如,晶体管、二极管、电阻器、或者电容器)中的一个或多个。在一些实施例中,外围器件使用互补金属氧化物半导体(CMOS)技术形成在衬底202(也被称为“CMOS芯片”)上。

[0039] 3D NAND存储结构201还包括阶梯区210、有源器件区220、以及外围器件区230中的接触结构。形成接触结构,以提供通往嵌入在衬底202 和/或电介质层211中的器件的电连接。例如,3D NAND存储器件包括阶梯区210中的一个或多个字线触点。字线触点可以在电介质层211内竖直延伸。每个字线触点可以具有与交替导体/电介质堆叠层242中的对应导体层 234接触的端部(例如,下端),以单独对阵列器件的对应字线进行寻址。

[0040] 外围互连结构也可以形成在外围器件206上方,以向和从外围器件206 传输信号。外围互连结构可以包括一个或多个触点和导体层,每个触点和导体层包括一个或多个互连线和/或过孔。如本文中所使用的,术语“触点”可以宽泛地包括任何适当类型的互连,例如中端工序(MEOL)互连以及后端工序(BEOL)互连,包括竖直互连接入(例如,过孔)和横向线(例如,互连线)。

[0041] 为了形成字线触点和外围互连结构,首先在电介质层211中形成开口,以暴露外围器件206的阵列器件和/或端子208的对应字线。例如,穿过电介质层211在阶梯区210中形成开口212,以暴露交替导体/电介质堆叠层 242的一个或多个导体层234。类似地,穿过电介质层211在外围器件区230 中形成开口232,以暴露外围器件206的端子208。根据一些实施

例,可以在同一制造步骤(例如,在同一图案化和刻蚀工艺期间)中形成开口212 和232或者相应地在不同制造步骤中形成开口212和232。在牺牲区250中形成开口252,以用于形成对抗应力结构。一个或多个开口252可以延伸到电介质层211中,并且在一些实施例中,可以进一步延伸到衬底202中。在一些实施例中,开口252可以具有基本相同的深度或者不同的深度。开口252的宽度W和深度D可以分别确定相继形成的对抗应力结构的宽度和深度。在一些实施例中,开口252可以具有大约0.1 μm 和大约0.5 μm 之间的宽度W。在一些实施例中,开口252可以具有大约4 μm 和大约10 μm 之间的深度D。

[0042] 可以使用一种或多种图案化和刻蚀工艺形成开口212、232、以及252。在一些实施例中,使用与用于形成开口212和/或开口232的图案化和刻蚀工艺相同的图案化和刻蚀工艺形成开口252。这种布置提供了不要求任何附加的光刻掩模或者处理步骤的好处。在一些实施例中,在与用于形成开口 212或者开口232的制造步骤不同的制造步骤中形成开口252。在一些实施例中,图案化工艺可以包括在电介质层211上形成光致抗蚀剂层、使光致抗蚀剂层暴露于图案、执行曝光后烘焙工艺、以及对光致抗蚀剂层进行显影以形成包括抗蚀剂的掩蔽元件。掩蔽元件可以保护电介质层211的区域,同时使用一种或多种刻蚀工艺形成电介质层211中的开口。刻蚀工艺可以是反应离子刻蚀(RIE)工艺、湿法刻蚀工艺、和/或其它适当工艺。刻蚀工艺可以继续,直至暴露了下层。例如,用于形成开口212的刻蚀工艺可以继续,直至暴露了导体层234。在一些实施例中,用于形成开口232的刻蚀工艺可以继续,直至暴露了下层端子208。在一些实施例中,用于形成开口252的刻蚀工艺可以继续,直至暴露了下层衬底202。在一些实施例中,可以使用定时刻蚀工艺形成开口252,其中,开口252的标称深度D是通过将刻蚀工艺继续指定时间直至达到标称深度D而实现的。

[0043] 图3示出了根据本公开的一些实施例的在填充了器件区和牺牲区中的开口之后的半导体晶片的一部分的截面图。如图3中所示,导电材料310 的层设置在半导体晶片上。例如,高应力材料310设置在开口212、232、以及252中。在一些实施例中,高应力材料可以是用于形成具有大于大约 1Gpa的内部膜应力的沉积膜的材料。在一些实施例中,高应力材料310完全填充了开口212、232、以及252,并且溢出到电介质层211的顶表面213 上,如图3中所示。在一些实施例中,高应力材料310部分地填充开口252。在一些实施例中,可以使用除用于填充开口212或者232的沉积工艺之外的单独的沉积工艺填充开口252。高应力材料310可以是包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、或者它们的任何组合的任何适当高应力材料。高应力材料310可以用于对抗形成在半导体晶片的器件区中的结构中的应力,从而减小了半导体晶片中的总应力。例如,如果由于诸如3D NAND存储结构201或者外围器件206的结构而在半导体晶片中检测到压应力,则高应力材料310可以是在形成于开口252中时提供张应力以对抗压应力并减小总应力的材料。类似地,如果由于诸如3D NAND存储结构201或者外围器件206的结构而在半导体晶片中检测到张应力,则高应力材料310可以是在形成于开口252中时提供压应力以对抗张应力并减小总应力的材料。高应力材料310可以是导电材料,以使得填充有高应力材料310的开口212和232也能够用于提供通往下层导电结构的电连接。钨是也提供极佳电导率的高应力材料的示例。在开口212、232、以及252 中设置导电高应力材料可以提供这样的好处:使用一个制造步骤,既在器件区中形成了导电结构,也在牺牲区中形成了对抗应力结构,而无需使用附加的掩模或者沉积步骤。在一些实施例中,可以使用任何适当沉积方法设置高应力材料,所述适当沉积方法例如是CVD、PVD、

PECVD、溅射、MOCVD、ALD等、和/或它们的组合。在一些实施例中,设置在器件区的开口中的导电材料可以不同于设置在牺牲区中的开口中的高应力材料以用于形成对抗应力结构,然而,这可能要求用于光刻工艺的一个以上的沉积步骤以及附加的掩模。在一些实施例中,可以使用包括至少一种高应力材料的一种或多种材料形成开口252中设置的高应力材料。例如,可以使用任何适当沉积方法在开口252中设置第一高应力材料,并且可以使用任何适当沉积方法在第一高应力材料上设置第二高应力材料。在一些实施例中,第一和第二高应力材料中的至少一个是诸如钨的高应力材料。在一些实施例中,诸如阻挡层、衬层的其它层可以设置在开口中,并且为了易于描述的目的而未示出。

[0044] 图4示出了根据本公开的一些实施例的在执行平坦化工艺之后的半导体晶片的一部分的截面图。可以使用平坦化工艺将过多的高应力材料310 从电介质层211的顶表面213去除,以使得填充在开口212、232、以及252 中的高应力材料310的顶表面与顶表面213基本是水平的(例如,共平面)。在一些实施例中,平坦化工艺可以是化学机械抛光工艺。在平坦化工艺之后,在器件区200的开口中形成导电结构,并且在牺牲区250中形成对抗应力结构。例如,在阶梯区210的开口212中形成导电结构412。类似地,在外围器件区230的开口232中形成导电结构432。在一些实施例中,导电结构412可以是接触导线,并且被称为字线触点。在平坦化工艺之后,可以在牺牲区250中形成对抗应力结构452。尽管图4中示出了多个对抗应力结构452,但也可以使用任何适当数量的对抗应力结构。在一些实施例中,对抗应力结构的适当数量取决于由于诸如3D NAND存储结构201的半导体结构而在半导体晶片中积累的应力。在一些实施例中,可以使用更大量的对抗应力材料以减小更大量的应力。可以通过形成更大量的对抗应力结构而实现更大量的对抗应力材料设置。在一些实施例中,当制造限制准许时,可以通过形成具有更大宽度W和/或深度D的对抗应力结构来实现更大量的对抗应力材料设置。

[0045] 图5示出了根据本公开的一些实施例的在引线被形成并电连接到各种导电结构之后的半导体晶片。如图5中所示,电介质层513设置在电介质层211的平坦化的顶表面213上,并且设置在导电结构412和432的顶表面上。在一些实施例中,电介质层513也设置在对抗应力结构452的顶表面上。例如,可以使用诸如氧化硅、氮化硅、氮氧化硅、和/或其它适当电介质材料的任何适当电介质材料来形成电介质层513。电介质层513的沉积可以包括任何适当方法,例如,CVD、PVD、PECVD、溅射、MOCVD、ALD、和/或它们的组合。电介质层513可以包括一个或多个刻蚀停止层,并且为了易于描述的目的而未示出所述刻蚀停止层。

[0046] 根据一些实施例,在阶梯区210中形成引线519A-519C,在有源器件区220中形成引线550,并且在外围器件区230中形成引线539A-539C。可以将引线519A-519C和引线539A-539C中的每者分别电连接到导电结构 412和432。可以使用任何适当的沉积、图案化、以及刻蚀工艺形成引线 519A-519C和引线539A-539C。在一些实施例中,可以使用诸如钨、铜、银、铝、钴、和/或它们的组合的任何适当材料形成引线519A-519C和引线 539A-539C。如图5中所示,可以使引线519A-519C与下层导电结构412 对准,并且可以使引线539A-539C与下层导电结构432对准,以提供电连接。

[0047] 图6-图7是根据一些实施例的包括外围结构和各种对抗应力结构的半导体晶片的一部分的截面图。图6-图7分别示出了半导体晶片600和700 的部分,半导体晶片600和700包括衬底602、电介质层611、形成在外围器件区630A和630B中的多个外围器件606、形成在

处于外围器件区630A 和630B之间的牺牲区650中的对抗应力沟槽652和752。外围器件606可以包括衬底602中的多个晶体管。隔离区和端子608也可以形成于衬底602 中。导电结构632可以形成在电介质层611中,导电结构632提供通往形成于外围器件区630A和630B中的结构的电连接。外围器件606、端子608、以及导电结构632可以分别类似于以上图5中所描述的外围器件206、端子208、以及导电结构432,并且为了简单起见而未在此处详细描述。牺牲区 650形成在相邻的外围器件区630A和630B之间。在一些实施例中,相邻的外围器件区630A和630B可以分别是相邻管芯的部分,并且牺牲区650 形成在相邻管芯之间。在一些实施例中,牺牲区650的部分可以是相邻管芯的部分。在一些实施例中,相邻管芯可以包括器件区中的诸如3D NAND 存储器件的其它结构。在一些实施例中,牺牲区650可以是晶片600或者700上的切割线。切割线是半导体晶片上的管芯之间的空间,其中精密切割锯能够切开以安全地将管芯分开。因此,无器件形成在切割线区中,因为切割线将在切割工艺期间被牺牲。形成在切割线中的对抗应力结构可以利用牺牲的切割线区,并且可以减小总晶片应力。例如,可以使用减小晶片应力的高应力材料形成图6-图7中分别示出的对抗应力结构652和752。所设置的高应力材料可以提供压应力或张应力,以分别减小晶片600或者700 中的张应力或压应力。

[0048] 对抗应力结构的截面形状和数量可以由积累在半导体晶片中的应力的量确定。例如,可以在每一条切割线中形成单个对抗应力结构。在一些实施例中,可以在每一条切割线中形成两个对抗应力结构,如图6-图7中所示。在一些实施例中,可以使用任何适当数量的对抗应力结构。对抗应力结构也可以具有任何适当截面形状。例如,图6中所示的对抗应力652的截面形状可以具有梯形形状,其具有在对抗应力结构652的顶部所测量的顶部宽度 W_1 以及在对抗应力结构652的底部所测量的底部宽度 W_2 。如图6中所示,对抗应力结构652在其结构的顶部所具有的宽度可以大于在其底部所具有的宽度,并且这种配置可以提供如下好处:提供较大幅度减小的朝向电介质层611顶部的应力。在一些实施例中,宽度 W_1 可以在大约 $0.1\mu\text{m}$ 和大约 $0.5\mu\text{m}$ 之间的范围内。在一些实施例中,宽度 W_2 可以在大约 $0.05\mu\text{m}$ 和大约 $0.25\mu\text{m}$ 之间的范围内。在一些实施例中, W_1 相对于 W_2 的顶部到底部比率 R_1 可以在大约1.5和大约2.5之间。例如, R_1 可以大约为2。在一些实施例中,对抗应力结构652的深度 D_1 可以在大约 $4\mu\text{m}$ 和大约 $10\mu\text{m}$ 之间的范围内。在一些实施例中,对抗应力结构652的顶表面和侧壁表面之间的角度 α 可以在大约 90° 和大约 45° 之间的范围内。如图7中所示,对抗应力结构752在其结构的底部所具有的宽度可以大于在其顶部所具有的宽度,这种配置可以提供如下好处:提供较大的朝向电介质层611的底部或衬底602的应力。在一些实施例中,对抗应力结构752顶部处的宽度 W_3 可以在大约 $0.05\mu\text{m}$ 和大约 $0.25\mu\text{m}$ 之间的范围内。在一些实施例中,对抗应力结构752底部处的宽度 W_4 可以在大约 $0.1\mu\text{m}$ 和大约 $0.5\mu\text{m}$ 之间的范围内。在一些实施例中, W_3 相对于 W_4 的顶部到底部比率 R_2 在大约0.4和大约0.7 之间的范围内。例如, R_2 可以为大约0.5。在一些实施例中,对抗应力结构752的深度 D_2 可以在大约 $4\mu\text{m}$ 和大约 $10\mu\text{m}$ 之间的范围内。在一些实施例中,对抗应力结构652的底表面和侧壁表面之间的角度 β 可以在大约 90° 和大约 45° 之间的范围内。

[0049] 图8-图10是根据一些实施例的示出了半导体晶片上的管芯和示例性对抗应力结构的平面图。对抗应力结构可以用于减小沿诸如x方向、y方向、或者这两个方向的任何适当水平方向的晶片应力。图8-图10包括沿x方向和y方向互相等距间隔开的管芯802的阵列。管

芯802可以包括诸如图2-图5中所示的器件区200的多个器件区。例如,管芯802可以包括具有阶梯区和有源器件区的3D NAND存储结构。管芯802还可以包括外围器件区。为了简单起见,图8-图10中未示出阶梯区、有源器件区、外围器件区、以及其它适当结构。管芯802之间的区域可以是诸如切割线的牺牲区。在一些实施例中,牺牲区可以处于管芯802内,并且包围器件区。在一些实施例中,可以在牺牲区中实施任何适当数量的对抗应力结构。

[0050] 例如,图8示出了对抗应力结构804,其形成在相邻管芯802之间并且沿x方向延伸,以用于减小沿y方向产生的晶片应力。在一些实施例中,可以在切割线中形成一个以上的对抗应力结构804。对抗应力结构804可以减小沿y方向的晶片张应力或压应力。例如,形成在半导体晶片中的结构产生使半导体晶片沿y方向膨胀的张应力(例如,其被示意性地示出为张应力803)。可以使用提供沿y方向的压应力(例如,其被示意性地示出为压应力805)的一种或多种高应力材料形成沿x方向形成的对抗应力结构804,沿y方向的压应力可以对抗张应力803,并且在半导体晶片产生减小的总应力。类似地,形成在半导体晶片中的结构可以导致沿y方向压缩半导体晶片的压应力(例如,其被示意性地示出为压应力806)。可以使用提供基本上沿y方向的张应力(例如,其被示意性地示出为张应力807)的一种或多种高应力材料来形成沿x方向形成的对抗应力结构807,基本上沿y方向的张应力可以对抗张应力803,并且在半导体晶片产生减小的总应力。

[0051] 图9示出了形成在相邻管芯802之间并且沿y方向延伸的切割线中的对抗应力结构808。按与图8中所描述的对抗应力结构804类似的方式运作,对抗应力结构808可以减小晶片压应力或张应力。对抗应力结构808可以沿y方向延伸,并且显著减小x方向的应力。例如,可以使用提供压应力或张应力的高应力材料形成对抗应力结构808,以沿x方向分别减小张应力或压应力。

[0052] 图10示出了用于分别显著减小沿x方向和y方向的晶片应力的形成在相邻管芯802之间的切割线中的对抗应力结构810x和810y。在一些实施例中,可以使用高应力材料形成对抗应力结构810x,并且对抗应力结构810x类似于图9中所描述的对抗应力结构808。在一些实施例中,可以使用高应力材料形成对抗应力结构810y,并且对抗应力结构810y类似于图8中所描述的对抗应力结构804。

[0053] 图11是根据本公开的一些实施例的在半导体晶片形成对抗应力材料的示例性方法1100的流程图。本公开不限于方法1100的该操作描述。更确切地讲,其它操作也在本公开的精神和范围内。应该意识到,可以执行附加的操作。此外,执行本文中所提供的公开内容可能不需要所有操作。另外,可以同时或者按照与图11中所示次序不同的次序执行一些操作。在一些实施方式中,除了目前所描述的操作之外或者取代目前所描述的操作,也可以执行一个或多个其它操作。出于例示的目的,将方法1100描述为形成图1-图10中所示的对抗应力结构,然而方法1100不限于这些实施例。

[0054] 在操作1102,根据一些实施例,形成具有器件区和牺牲区的半导体晶片。半导体晶片上的器件区的示例可以是包括3D NAND存储结构的衬底上的区域。器件区可以包括分别诸如图2中的阶梯区210、有源器件区220、以及外围器件区230的阶梯区、有源器件区、以及外围器件区。衬底可以包括硅、硅锗、碳化硅、SOI、GOI、玻璃、氮化镓、砷化镓、任何适当III-V化合物材料、和/或它们的组合。衬底的示例可以是图2中的衬底202。可以使用氧化硅、氮化硅、氮氧化硅、和/或其它任何适当电介质材料形成电介质层。在3D NAND存储结构的阶梯

区和有源器件区中形成多个导体层和电介质层对。在一些实施例中,交替导体/电介质堆叠层包括具有不同于所述导体/电介质层对的材料和/或厚度的更多的导体层或者更多的电介质层。导体层可以包括W、Co、Cu、Al、掺杂硅、硅化物、或者它们的任何组合。电介质层可以包括氧化硅、氮化硅、氮氧化硅、或者它们的任何组合。3D NAND存储器件还包括形成在有源器件区中的NAND串,并且包括多个控制栅。外围器件区可以包括形成在衬底上的多个外围器件。外围器件可以包括形成在衬底上的多个晶体管。也可以在衬底中形成隔离区和掺杂区。与器件区相邻地形成牺牲区。在一些实施例中,牺牲区可以是管芯阵列中的每个管芯之间的切割线,以允许切割锯切开管芯并将管芯分开。牺牲区的示例可以是图2中所描述的牺牲区250。

[0055] 在操作1104,根据一些实施例,在牺牲区中形成一个或多个开口。在一些实施例中,还在器件区中形成开口,例如,在阶梯区、有源器件区、以及外围器件区中形成一个或多个过孔。在一些实施例中,牺牲区中的一个或多个开口可以延伸穿过电介质层,并且延伸到衬底中。在一些实施例中,牺牲区中的一个或多个开口可以具有梯形截面形状,其具有较宽的顶部部分和较窄的底部部分。在一些实施例中,牺牲区中的一个或多个开口可以具有梯形截面形状,其具有较窄的顶部部分和较宽的底部部分。形成牺牲区中的一个或多个开口的示例可以是用于形成图2中的开口252的工艺。

[0056] 在操作1106,根据一些实施例,在牺牲区中的一个或多个中设置高应力材料。在一些实施例中,可以设置具有压应力的高应力材料,以减小半导体晶片中的张应力。在一些实施例中,可以设置具有张应力的高应力材料,以减小半导体晶片中的压应力。可以将高应力材料设置到牺牲区中的一个或多个开口中并且还设置到器件区中的开口中。沉积工艺可以包括任何适当沉积方法,例如,CVD、PVD、PECVD、溅射、MOCVD、ALD、和/或它们的组合。可以设置高应力材料,直至一个或多个开口被高应力材料完全填充。在一些实施例中,高应力材料也是同样能够提供电连接的导电材料。例如,高应力材料可以是钨。在一些实施例中,高应力材料可以溢出到电介质层的表面上。开口中所设置的高应力材料的示例可以是图3中所描述的高应力材料310。

[0057] 在操作1108,根据一些实施例,使所设置的高应力材料平坦化以形成对抗应力结构。可以使用平坦化工艺从电介质层的顶表面去除过多设置的高应力材料,以使得填充到器件区和牺牲区的开口中的高应力材料的顶表面与电介质层的顶表面基本上是水平的。在一些实施例中,平坦化工艺可以是化学机械抛光工艺。在平坦化工艺之后,可以将导电结构形成在器件区的开口中,并且将对抗应力结构形成在牺牲区中。导电结构的示例可以是图4中所描述的导电结构412和导电结构432。在一些实施例中,导电结构可以是接触导线,并且被称为字线触点。对抗应力结构的示例可以是在平坦化工艺之后形成在牺牲区中的对抗应力结构452。对抗应力结构的示例也可以是图6-图10中所描述的对抗应力结构652、752、804、809、810x、以及810y。

[0058] 在操作1110,根据一些实施例,在半导体结构上形成诸如附加的电介质层和引线的附加结构。例如,可以将附加的电介质层设置在包括对抗应力结构的电介质层的平坦化的顶表面上。也可以将附加的电介质层设置在导电结构和对抗应力结构的顶表面上。可以使用诸如氧化硅、氮化硅、氮氧化硅、和/或其它适当电介质材料的任何适当电介质材料形成附加的电介质层。沉积附加的电介质层可以包括诸如CVD、PVD、PECVD、溅射、MOCVD、ALD、

和/或它们的组合的任何适当方法。

[0059] 本文中所述的各种实施例涉及3D NAND存储器件的对抗应力结构及其制造方法。示例性制造方法包括在半导体晶片的牺牲区中形成开口。在一些实施例中,半导体晶片包含3D NAND存储器件的阵列,并且牺牲区是3D NAND存储器件之间的切割线。高应力材料设置在开口中,并且用于对抗半导体晶片上的其它结构所形成的应力。在一些实施例中,可以分别与形成用于外围电路的开口和在外围电路开口中沉积导电材料同时地执行形成开口和沉积高应力材料,从而提供了无附加掩模或者工艺步骤的好处。在一些实施例中,对抗应力结构可以是填充有高应力材料并且形成在牺牲区中的沟槽,所述牺牲区例如是位于半导体晶片的相邻有源区之间的切割线。在一些实施例中,可以沿x方向或者y方向形成对抗应力结构。在一些实施例中,可以由半导体晶片的应力水平确定对抗应力结构的尺寸和密度。对抗应力结构尤其可以提供这样的好处:例如,在不占据器件空间的情况下减小3D NAND存储器件中的应力、无附加的掩模或者处理步骤、以及宽范围的适当高应力材料。因此,对抗应力结构可以减小半导体晶片中的应力,进而确保并改进了3D NAND存储器件的性能和产率。

[0060] 对特定实施例的上述说明因此将完全揭示本公开的一般性质,使得他人能够通过运用本领域技术范围内的知识容易地对这种特定实施例进行修改和/或调整以用于各种应用,而不需要过度实验,并且不脱离本公开的一般概念。因此,基于本文呈现的教导和指导,这种调整和修改旨在处于所公开的实施例的等同物的含义和范围内。应当理解,本文中的措辞或术语是用于说明的目的,而不是为了进行限制,从而本说明书的术语或措辞将由技术人员按照所述教导和指导进行解释。

[0061] 上文已经借助于功能构建块描述了本公开的实施例,功能构建块例示了指定功能及其关系的实施方式。在本文中出于方便描述的目的任意地限定了这些功能构建块的边界。可以限定替代的边界,只要适当执行指定的功能及其关系即可。

[0062] 发明内容和摘要部分可以阐述发明人所设想的本公开的一个或多个示例性实施例,但未必是所有示例性实施例,并且因此,并非旨在通过任何方式限制本公开和所附权利要求。

[0063] 本公开的广度和范围不应受任何上述示例性实施例的限制,并且应当仅根据以下权利要求书及其等同物来进行限定。

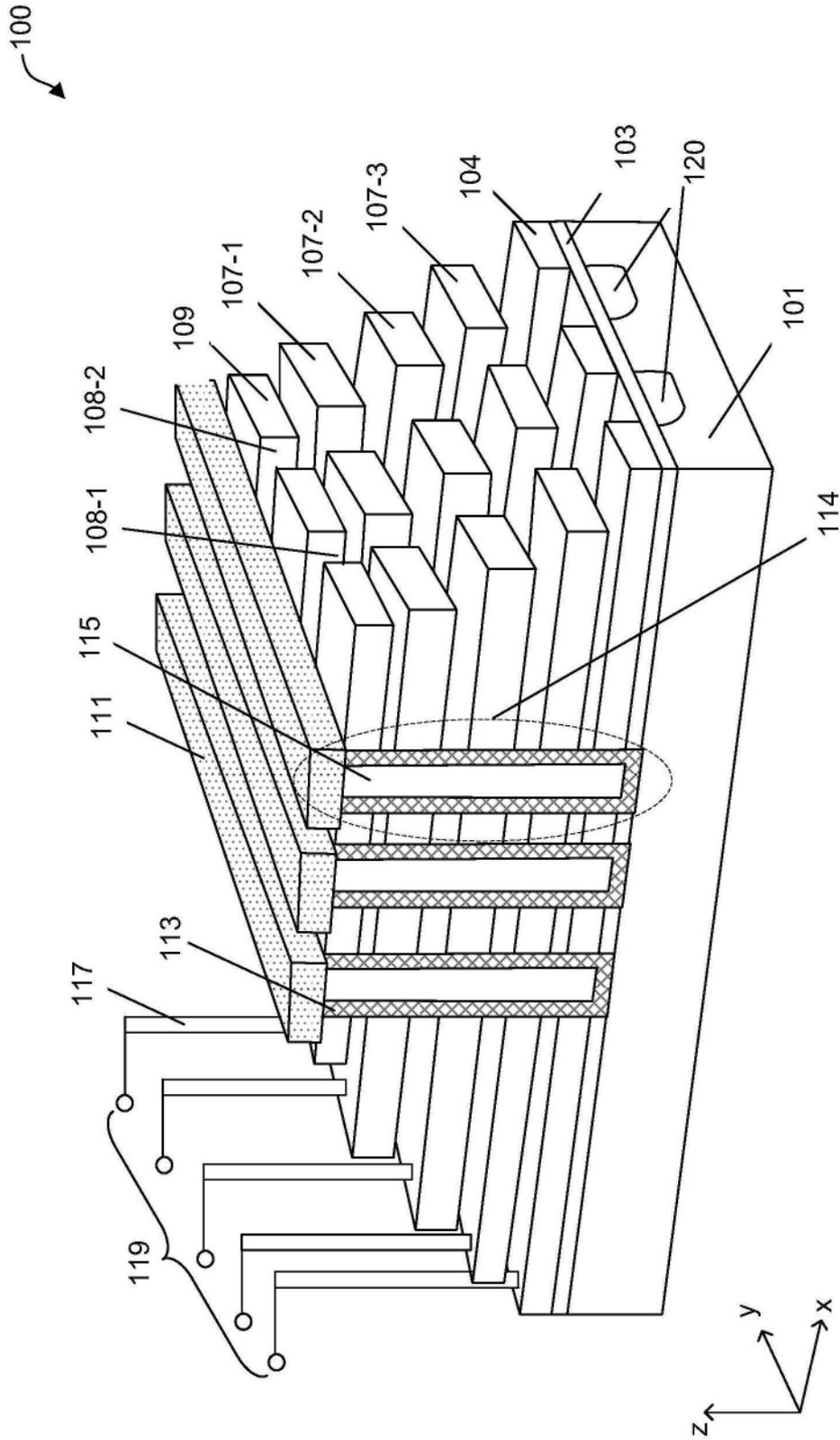


图1

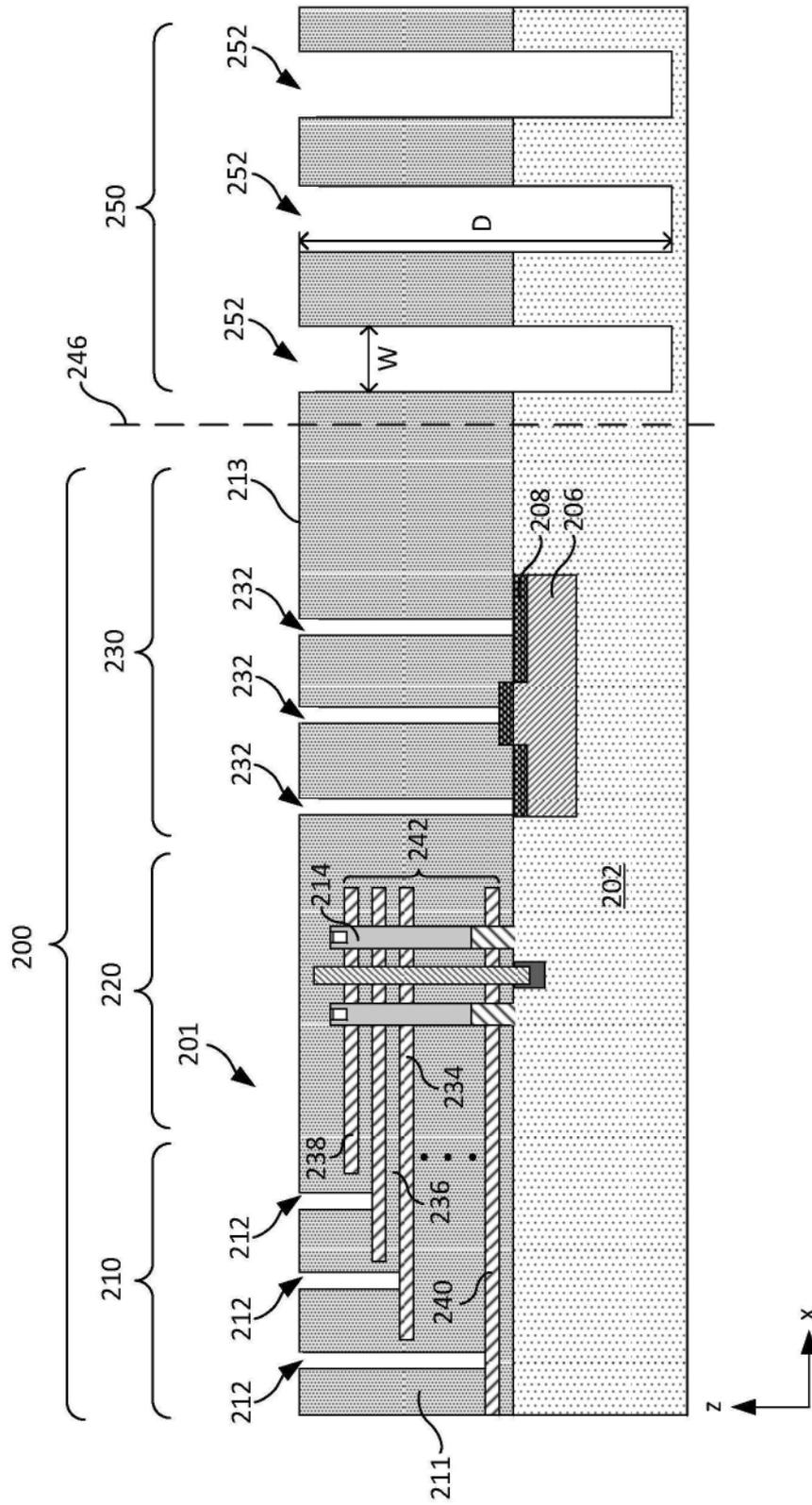


图2

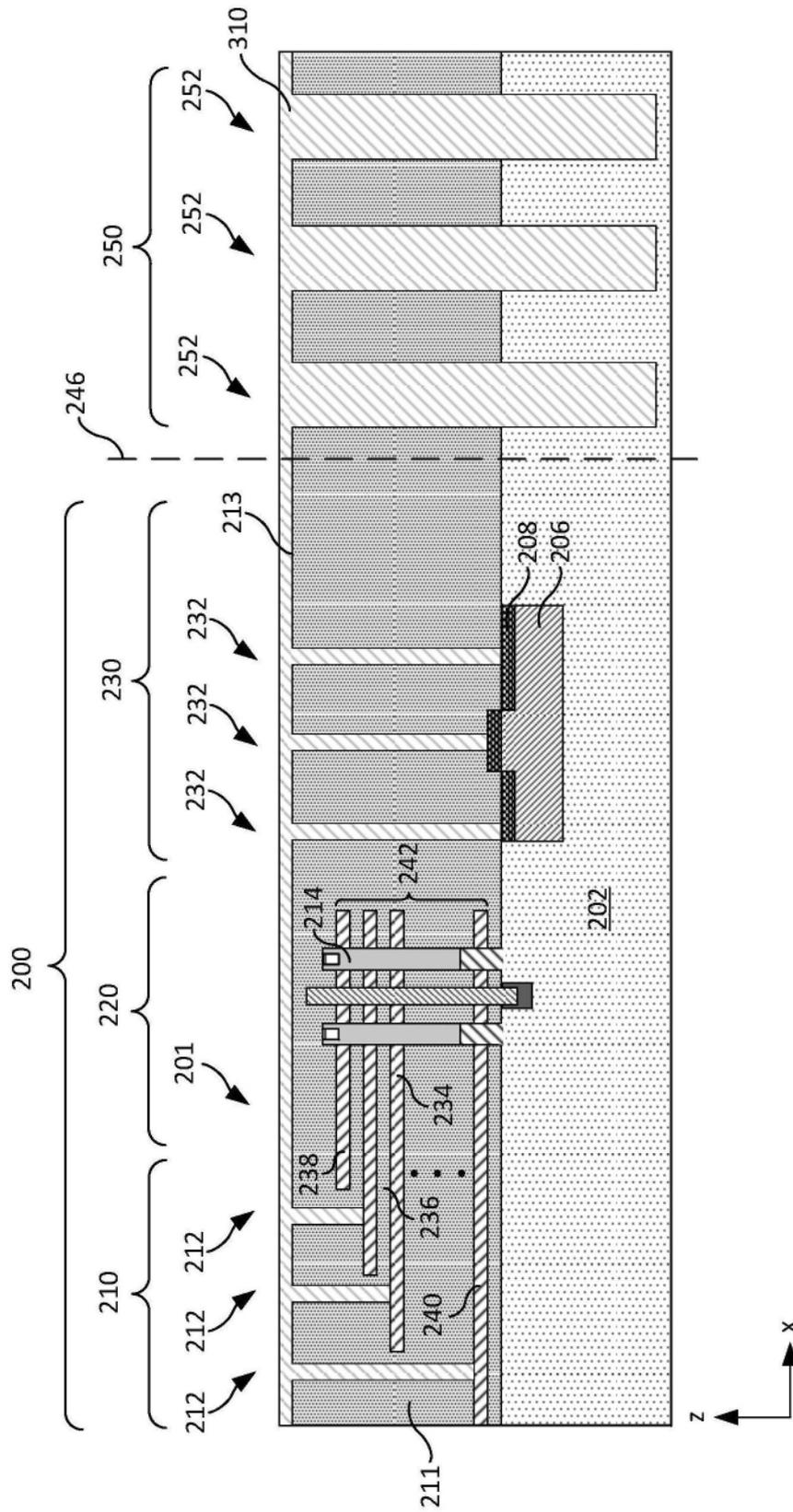


图3

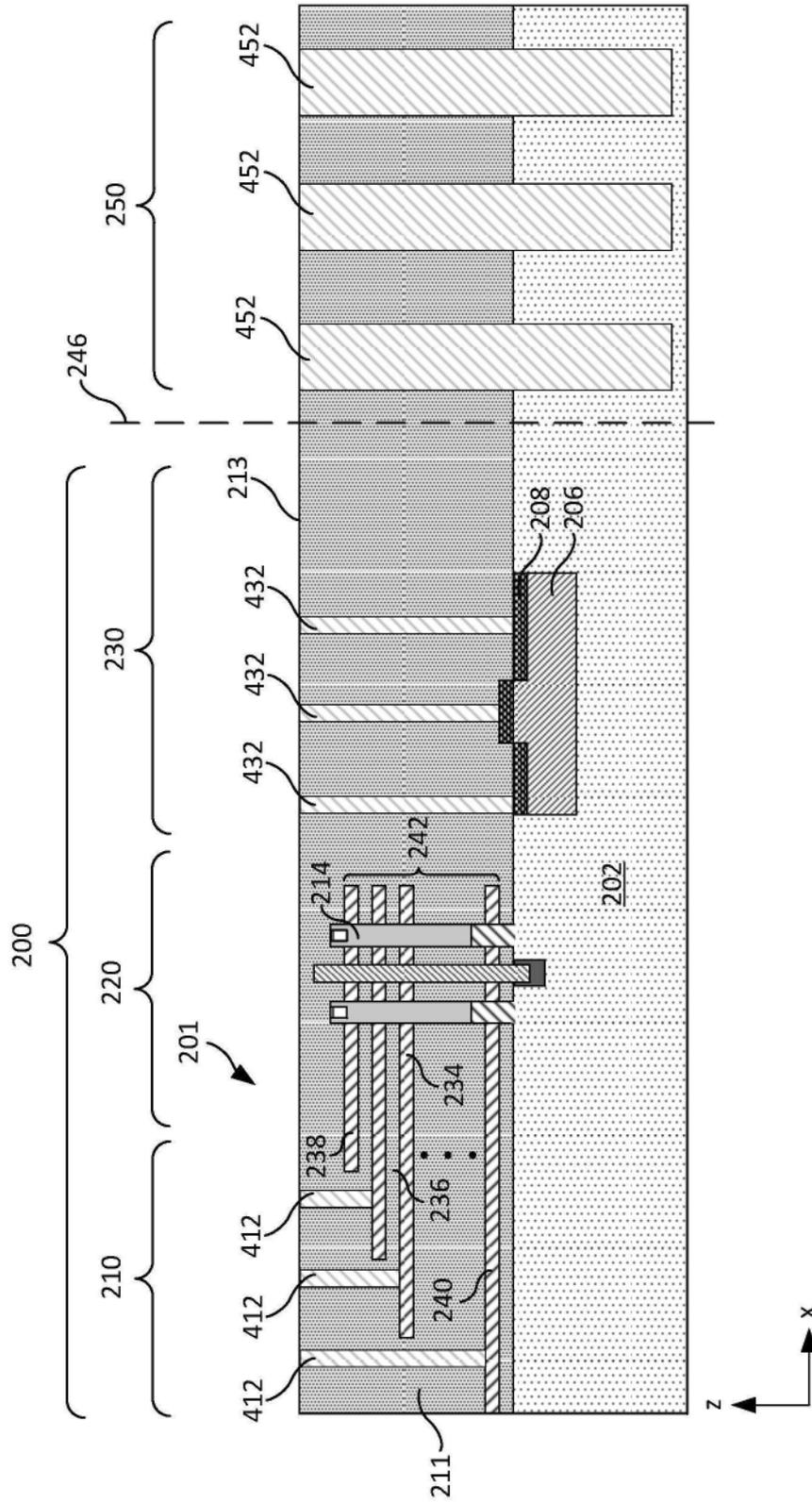


图4

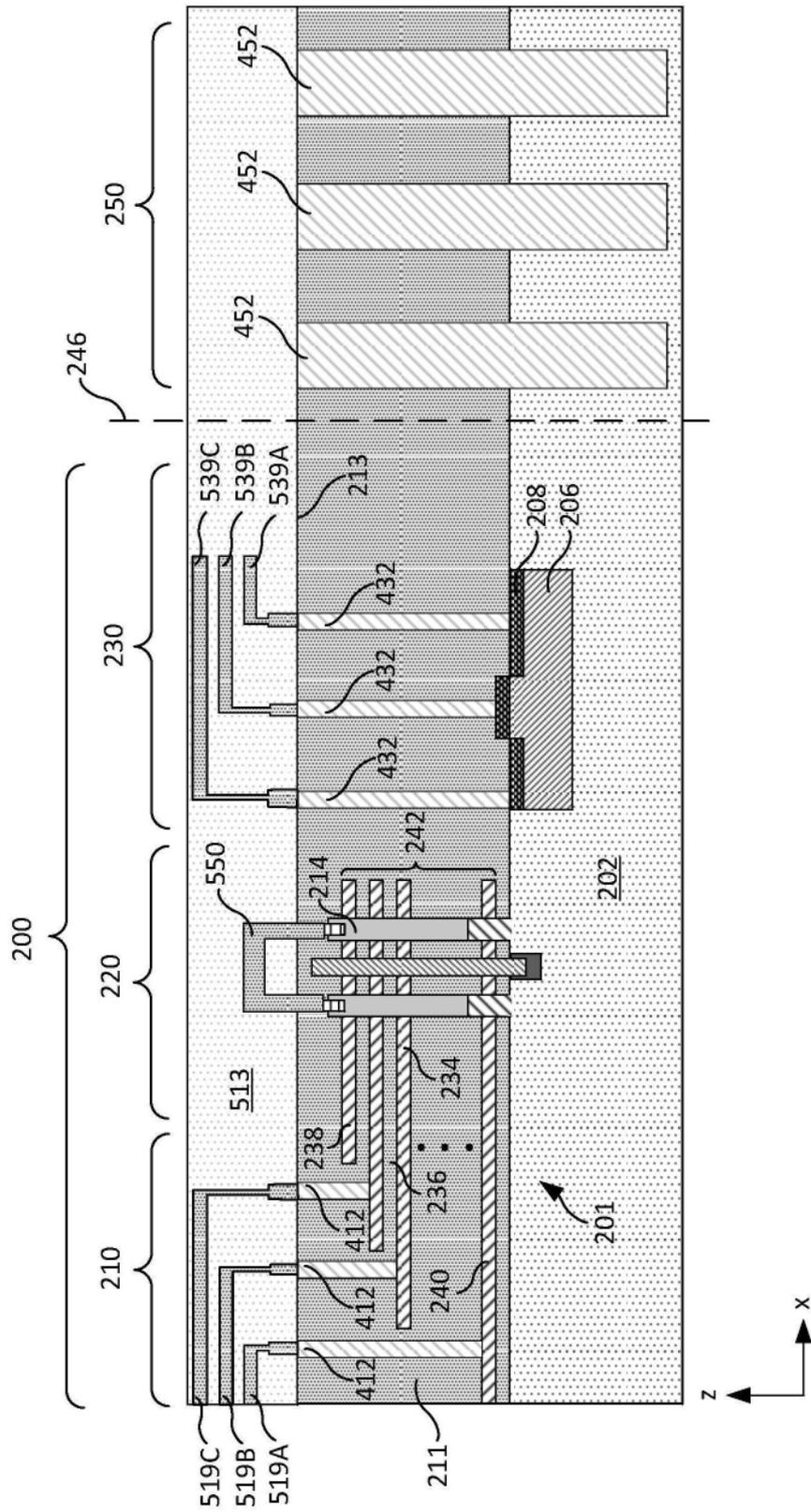


图5

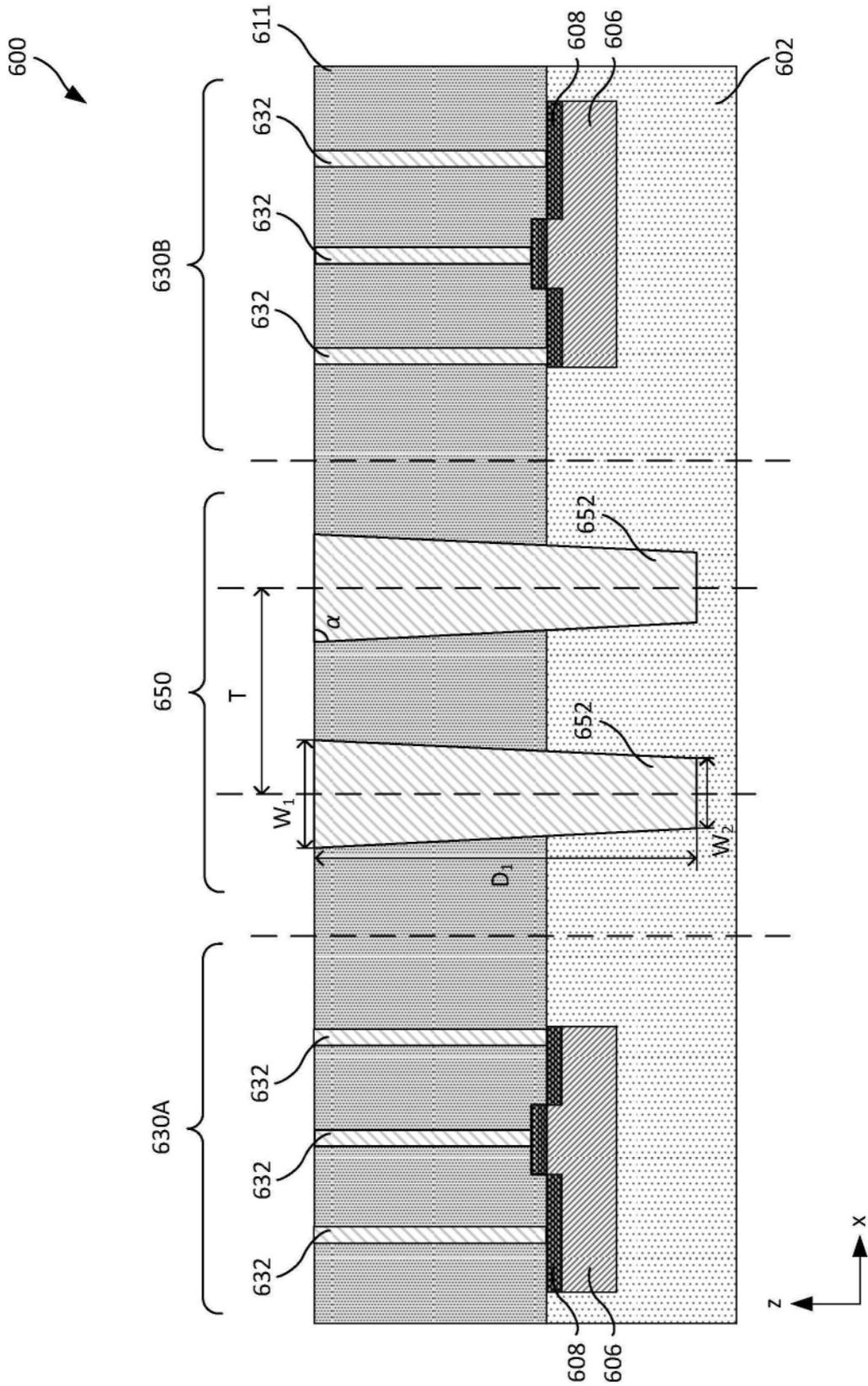


图6

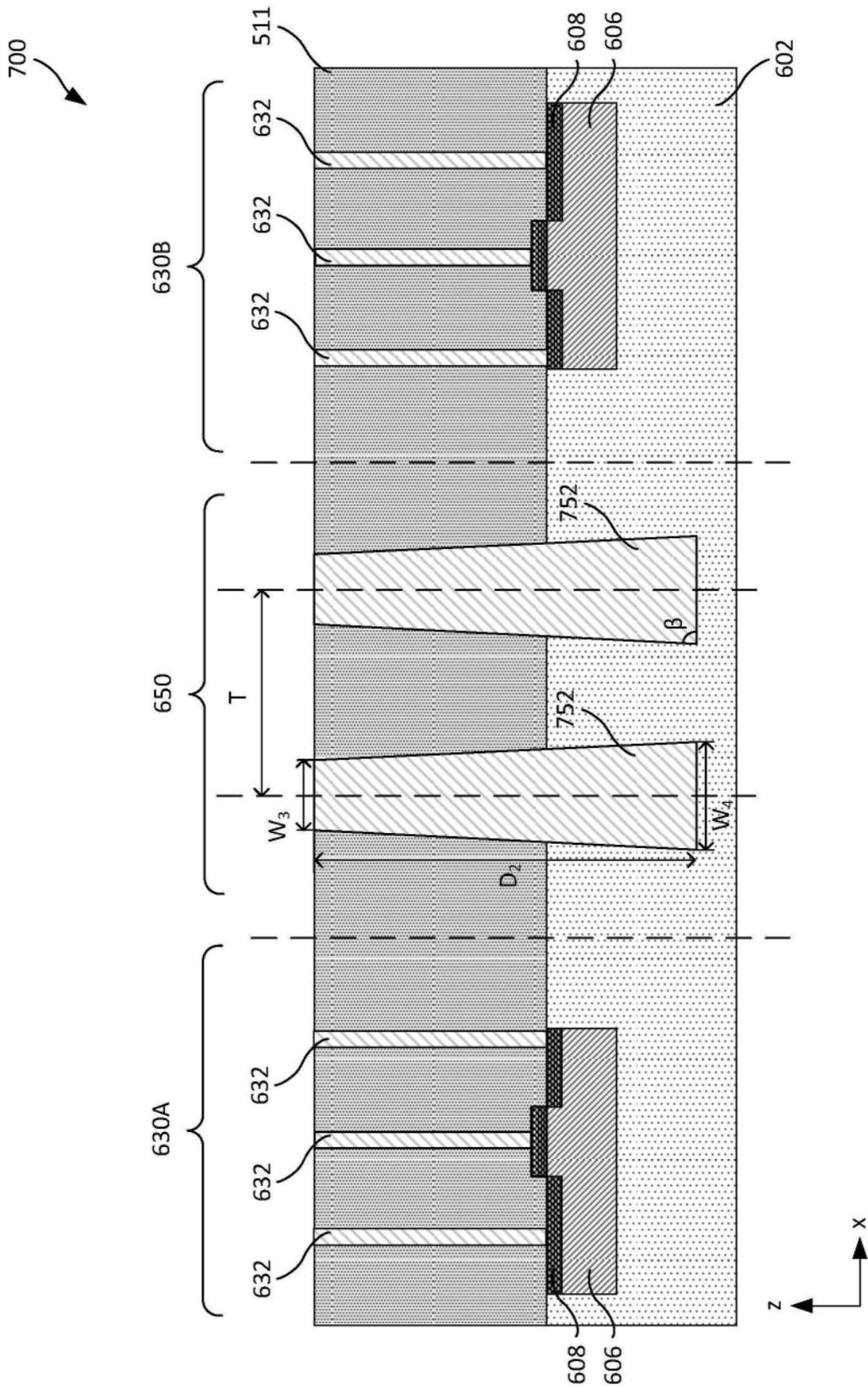


图7

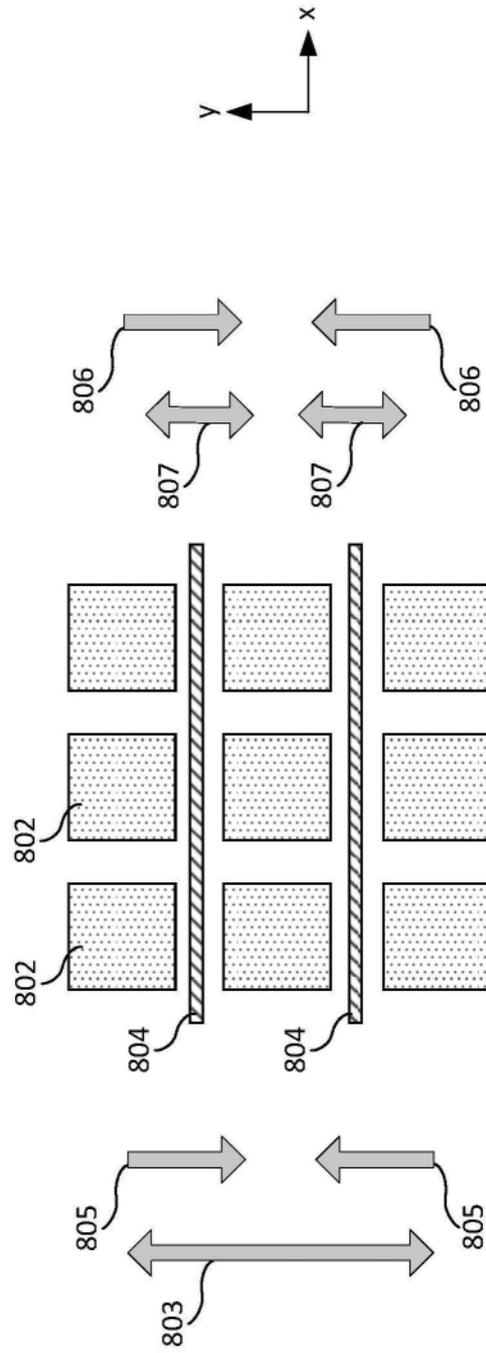


图8

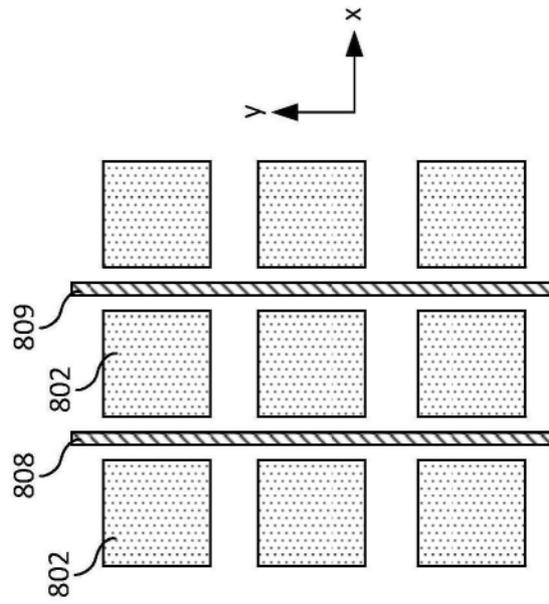


图9

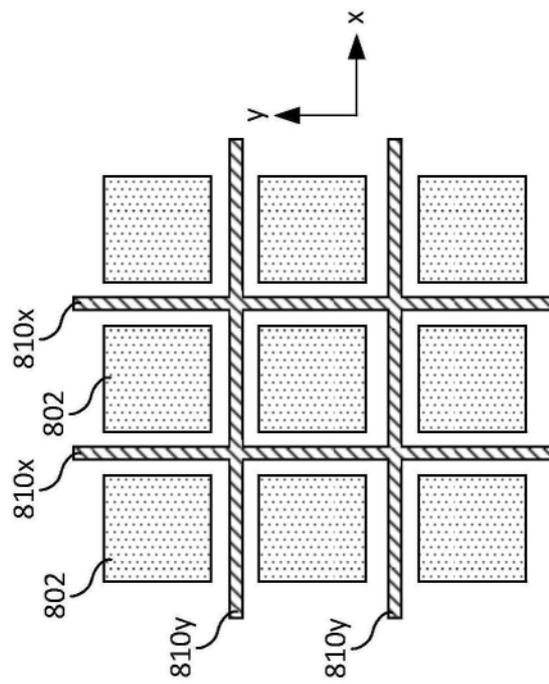


图10

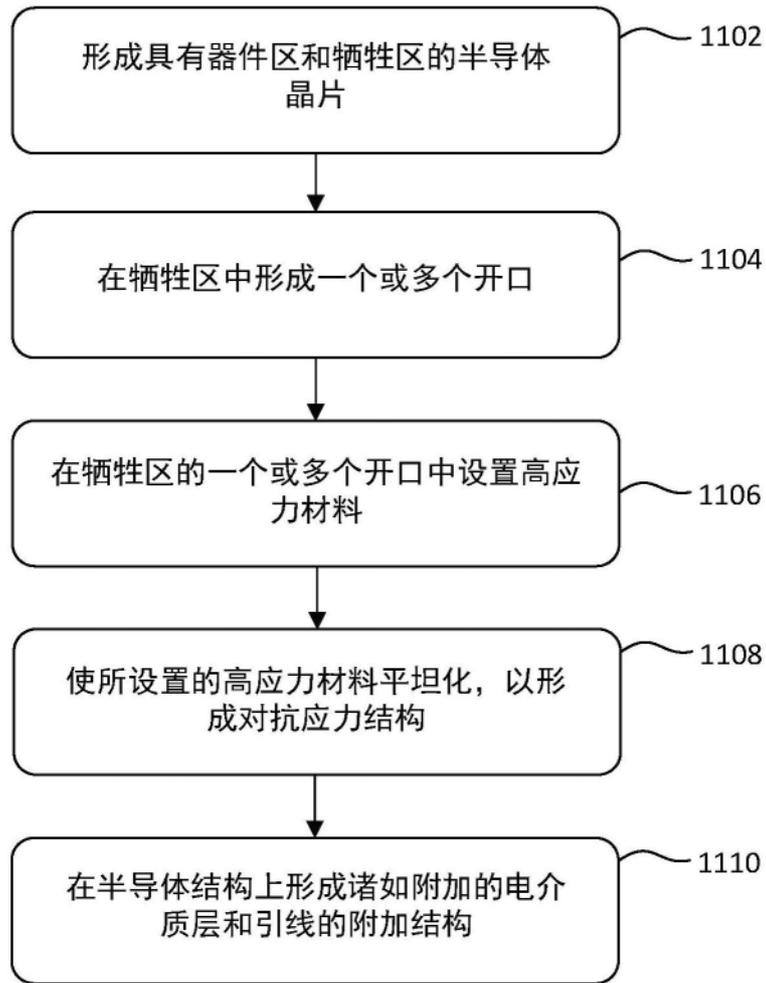


图11