

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 590 425

②1 N° d'enregistrement national :

86 01923

⑤1 Int Cl⁴ : H 03 K 5/14; G 06 F 1/04.

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 12 février 1986.

③0 Priorité : US, 13 février 1985, n° 701.116.

④3 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 21 du 22 mai 1987.

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : Société dite : BOLT BERANEK AND NEWMAN INC. — US.

⑦2 Inventeur(s) : Randall D. Rettberg et Lance A. Glasser.

⑦3 Titulaire(s) :

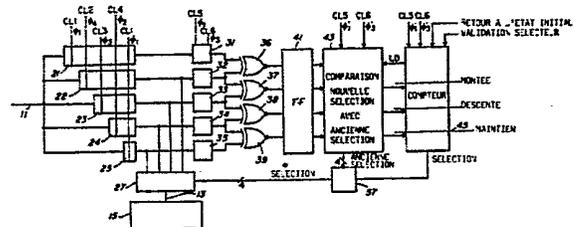
⑦4 Mandataire(s) : Cabinet Simonnot.

⑤4 Appareillage pour régler les phases de signaux de données appliqués à un circuit d'utilisation de données.

⑤7 L'invention concerne un appareillage pour régler les phases de signaux de données appliqués à un circuit d'utilisation de données.

Dans l'appareillage considéré, un signal de donnée(s), dont la phase doit être réglée, est appliqué à plusieurs lignes à retard 21 à 25 établissant des retards progressivement croissants; les signaux de sortie des différentes lignes à retard sont comparés pendant une certaine période de temps et un sélecteur 27 effectue une sélection d'un des signaux de sortie destiné être utilisé dans un circuit 15, cette sélection étant faite sur la base du choix d'un signal de sortie d'une ligne à retard qui est en opposition avec les signaux sortant de deux lignes à retard adjacentes qui sont affectés par les plus grandes transitions.

Application au domaine informatique.



FR 2 590 425 - A1

D

La présente invention concerne un appareillage de traitement de données numériques et, plus particulièrement, un appareillage pour régler la phase de signaux de données arrivant à un circuit d'utilisation de manière à compenser les déphasages incontrôlables ayant une autre origine que le circuit d'utilisation de données.

Du fait que des systèmes de traitement de données numériques deviennent de plus en plus rapides et complexes, un problème de plus en plus important consiste dans la synchronisation des différents signaux de données et d'horloge qui sont utilisés dans le système. Du fait que les cadences de données et d'horloge sont de plus en plus élevées, les retards associés à des longueurs de fil, même courtes, deviennent importants à cause du déphasage qu'ils introduisent, du fait de la vitesse finie de propagation de signaux à impulsions le long du fil. Jusqu'à ce jour, la plupart des efforts concernant la résolution des problèmes précités ont été concentrés sur un maintien des trajets de circuits aussi courts que possible. Cependant, dans certains systèmes rapides, il a été nécessaire de régler de façon compliquée des longueurs de fils ou de câbles sur une base empirique pour faire en sorte que les signaux de données et d'horloge arrivent à un circuit d'utilisation donné dans une relation de phase correcte et de telle sorte qu'il ne se produise pas d'erreurs de données.

Il se pose des problèmes compliqués de synchronisation dans des systèmes à multiprocesseurs, puisqu'il devient extrêmement difficile d'égaliser les temps de transfert entre toutes les combinaisons de sous-systèmes, bien que divers sous-systèmes puissent être considérés chacun comme une zone fonctionnant de façon sensiblement synchronisée. Bien qu'il soit possible de distribuer globalement un signal d'horloge d'une fréquence commandée avec précision, il est difficile de commander un phasage relatif entre une zone et une autre. Une autre source de problèmes de synchronisation a pour origine la variation d'un retard lors d'un changement de la température dans les différents circuits-

tampons d'entrée et de sortie qui sont normalement associés à chaque ligne de données d'une longueur importante.

Bien que la nécessité d'un réglage de phase conforme à la présente invention découle de l'utilisation de vitesses
5 très élevées de transmission de données et de la grandeur relativement importante des déphasages introduits par des variations de longueurs des trajets de signaux, on comprend également que des variations desdits retards se produisent typiquement d'une façon relativement lente. De tels retards
10 sont introduits, par exemple, par l'échauffement des jonctions de transistors qui constituent les portes logiques numériques de génération et de réception des signaux de données. En conséquence, bien qu'on ne puisse pas connaître le réglage initial nécessaire et que la cause de variations de déphasage puisse être à la fois inconnue et imprévisible,
15 il n'est pas nécessaire d'effectuer des réglages à un rythme relativement élevé puisque les variations se produisent d'une manière relativement graduelle une fois que le système est enclenché et devient opérationnel.

20 Parmi les différents objets de la présente invention, il est prévu un appareillage pour régler automatiquement la phase des signaux de données arrivant à un circuit d'utilisation de manière à compenser des déphasages incontrôlables ayant une autre origine que le circuit d'utilisation ; en outre,
25 il est prévu que cet appareillage fonctionne automatiquement, facilite des opérations très rapides, facilite également le fonctionnement coopératif de zones multiples à comportement synchronisé dans un système de traitement de données numériques ; en outre, ledit appareillage doit être extrême-
30 ment fiable et être d'une construction relativement simple et peu coûteuse. D'autres particularités seront mises en évidence dans la suite de la description.

En bref, l'appareillage conforme à la présente invention utilise une ligne à retard réglable, qui confère
35 à un signal de données un retard de durée sélectionnable. Le signal de données retardé est comparé avec une référence locale définissant plusieurs durées différentes

de retards, et des écarts sont détectés dans les comparaisons. La sélection d'un retard particulier à appliquer au signal de données fourni au circuit d'utilisation est ensuite basée sur les écarts détectés.

5 D'autres caractéristiques et avantages de l'invention seront mis en évidence dans la suite de la description, donnée à titre d'exemples non limitatifs, en référence aux dessins annexés dans lesquels :

10 la figure 1 est un schéma à blocs d'un appareillage de réglage automatique de phase construit conformément à la présente invention ;

les figures 2 à 7 sont des diagrammes logiques plus détaillés de composants intervenant dans le circuit de la figure 1 ;

15 la figure 8 est un chronogramme représentant des signaux d'horloge utilisés par l'appareillage des figures 1 à 5, et

la figure 9 est un tableau définissant les symboles logiques utilisés dans les diagrammes des figures 1 à 5.

20 Sur les différentes figures, des références numériques correspondantes désignent des parties correspondantes.

Comme indiqué précédemment, la présente invention a pour objet de régler automatiquement la phase de signaux de données arrivant à un circuit d'utilisation de données de manière à compenser des déphasages ayant une autre origine que le circuit d'utilisation de données. En référence à la figure 1, une donnée provenant d'une source externe arrive dans un fil désigné dans son ensemble par la référence numérique 11 tandis que la donnée réglée en phase est transmise au circuit d'utilisation 15 par l'intermédiaire d'un conducteur désigné dans son ensemble par la référence numérique 13.

30 Pour créer un retard qui soit réglable dans une gamme de valeurs (durées), l'appareillage représenté utilise plusieurs lignes de retardement dites "lignes à retard", à savoir cinq dans le mode de réalisation particulier représenté. Ces lignes à retard sont désignées par les références numériques 21

à 25. Un circuit sélecteur 27, qui est placé sous la commande du système de réglage automatique décrit dans la suite, est prévu pour transmettre, au fil de sortie 13 de données, un signal de données qui a été soumis à un retard d'une
5 durée sélectionnée.

Dans le mode de réalisation représenté, les lignes à retard 21 à 25 sont des lignes à retard numériques, qui sont synchronisées de telle sorte que les retards progressifs soient commandés par quatre signaux d'horloge rapides
10 CL1-CL4. De préférence, les signaux d'horloge rapides CL1-CL4 ont une fréquence correspondant essentiellement à la largeur nominale d'impulsion utilisée dans les signaux de données d'entrée, de façon qu'on puisse raisonnablement
15 s'attendre à ce que des transitions de données se produisent périodiquement dans la gamme des retards établis par les différentes lignes à retard. Le phasage relatif des signaux d'horloge est représenté sur la figure 6. En référence
20 aux lignes à retard de la figure 1 et également à leur représentation détaillée sur la figure 3, on peut remarquer qu'un des signaux d'horloge CL1 est utilisé deux fois dans la génération des retards progressifs.

En addition aux signaux d'horloge rapides et symétriques CL1-CL4, l'appareillage de la présente invention utilise également deux signaux d'horloge lents CL5 et CL6.
25 Les signaux d'horloge lents comprennent des impulsions qui ont une synchronisation individuelle d'impulsions correspondant aux impulsions individuelles des signaux d'horloge CL1 et CL3, respectivement, mais ces impulsions se produisent à une fréquence qui est un sous-multiple de la haute
30 fréquence d'horloge.

Comme cela sera décrit de façon plus détaillée dans la suite, le fonctionnement du circuit de commande décrit ici détermine s'il se produit une transition de données dans un intervalle entre les retards établis par
35 une paire adjacente des lignes à retard successives ; quatre intervalles de ce genre sont prévus. En correspondance, il existe quatre choix possibles de retards. Le

retard le plus long est essentiellement utilisé seulement pour créer un point limite pour l'intervalle défini qui correspond à la plus longue des lignes à retard qui est prise en considération pour une sélection possible.

5 A des instants successifs déterminés par la période des signaux d'horloge CL5 et CL6, l'état du signal de sortie de chacune des lignes à retard 21 à 25 est capté par une bascule respective 31-35. Pour chaque paire de lignes à retard successives adjacentes, il est prévu une porte OU
10 EXCLUSIF pour combiner les signaux retenus dans les bascules respectives, les signaux de sortie des portes étant désignés par ST1b-ST4b. Comme le comprendront les spécialistes en la matière, un signal respectif de sortie de ces portes est validé si une transition de donnée s'est produite dans
15 l'intervalle entre les retards successifs établis par les deux lignes à retard qui aboutissent à cette porte particulière. En d'autres termes, un écart entre les signaux mémorisés sortant des lignes à retard respectives est causé par l'apparition d'une transition de signal de données
20 dans l'intervalle défini par les deux valeurs différentes de retard. En outre, en supposant que la cadence des signaux de données correspond à la cadence des signaux d'horloge CL1-CL4, pas plus d'un des signaux de sortie des portes ne sera validé pendant chaque cycle de fonctionnement.

25 Comme le comprendront les spécialistes en la matière, l'état "validé" d'un signal numérique peut être soit l'état zéro (bas), soit l'état un (haut) en fonction du schéma logique utilisé. En d'autres termes, le mot "validé" signifie en principe que la condition nécessaire a été satis-
30 faite. Dans la convention de désignation de signaux qui est utilisée sur les figures 1 à 5, des signaux dont les désignations se terminent par un "b" sont à un niveau bas lorsqu'ils sont validés tandis que les autres sont à un niveau haut quand ils sont validés.

35 Bien que des transitions dans le signal de données entrant et la synchronisation des lignes à retard se produisent à une cadence très rapide, l'échantillonnage

effectué par les bascules et le fonctionnement du reste du circuit de commande se déroulent à une cadence plus lente pour faire en sorte que les différentes bascules d'échantillonnage atteignent des états stables avant que des décisions soient prises. Comme le comprendront également les spécialistes de ce domaine, le fait que les lignes à retard établissent des retards progressifs signifie qu'on obtient une bien plus grande probabilité qu'un des signaux de données déphasés arrive à une des bascules juste au moment où elle est en train d'être synchronisée. En conséquence, on comprend également qu'il existe une chance que la bascule puisse passer à un état métastable à partir duquel un temps sensiblement accru est nécessaire pour la commutation.

Les signaux de sortie des portes OU EXCLUSIF 36-39 sont transmis à un circuit à quatre bascules que les techniciens américains appellent "FOUR-FLOP". Ce circuit dénommé ci-après F-F et désigné dans son ensemble par la référence numérique 41, comprend quatre portes NON ET, qui sont interconnectées de façon à produire quatre signaux dont pas plus d'un peut être validé à un moment donné. Comme indiqué précédemment, seulement un des signaux de sortie des portes OU EXCLUSIF 36-39 pourrait être validé à un moment quelconque dans des circonstances normales, mais le circuit F-F 41 fait en sorte que pas plus d'un signal ne soit validé.

Comme cela va être expliqué de façon plus détaillée dans la suite, le signal de sortie validé provenant du circuit F-F 41 représente un choix possible permettant la sélection d'un des signaux de données retardés. Pour produire une opération qui soit stable et qui permette un bon choix à long terme (dans un sens relatif) pour une compensation de retard, l'appareillage de la figure 1 comporte un circuit, désigné dans son ensemble par la référence numérique 43, pour comparer chaque nouveau choix possible avec un choix précédent ou "proposé". Le système comprend en outre un circuit de comptage, désigné dans son ensemble par la référence numérique 45, pour commander

le chargement de nouveaux choix proposés et pour changer la sélection effective seulement après qu'un comportement valable a rendu logique un tel changement. Ce dernier processus peut être considéré comme une intégration ou
5 l'établissement d'une valeur moyenne.

En référence à la figure 5 qui représente de façon plus détaillée le circuit de comparaison, on peut voir que ce sous-système comprend, le long du côté gauche du dessin, quatre groupes semblables de portes comportant
10 chacun, à leur partie inférieure, une mémoire annulaire ou bascule qui est capable de retenir une valeur appliquée au conducteur d'entrée respectif pendant des cycles de fonctionnement successifs et, dans la série supérieure de portes, des moyens pour appliquer de nouvelles valeurs
15 à l'élément de mémorisation. Un transfert ou un chargement d'un nouveau choix possible ayant pour origine le circuit F-F dans les bascules du circuit de comparaison est commandé par un signal désigné par ld (CHARGE) et son complément ldb , qui sont engendrés par le circuit de comptage
20 45, comme cela va être décrit dans la suite. Pour chacun de ces quatre composants d'entrée et de mémoire, il est également prévu une porte OU EXCLUSIF correspondante qui compare la nouvelle valeur avec l'ancienne. Les portes OU EXCLUSIF respectives sont désignées par les références
25 numériques 51-54 (figure 5). Dans un sens, les signaux de sortie des portes OU EXCLUSIF 51-54 peuvent collectivement être considérés comme un signal d'erreur de servo-boucle qui est utilisé lors d'un réglage automatique de la valeur sélectionnée du retard, comme décrit dans la suite.

30 Les signaux engendrés par ces deux premières parties du circuit de comparaison sont combinés logiquement dans un groupe de portes désigné dans son ensemble par la référence numérique 55, de manière à engendrer des signaux, désignés respectivement par MONTEE, DESCENTE et MAINTIEN,
35 qui sont appliqués au circuit de comptage 45 assurant l'établissement d'une valeur moyenne ou une intégration, comme décrit précédemment. D'une façon générale, on peut remarquer

que le signal MONTEE est engendré lorsque le nouveau choix possible concorde avec la valeur retenue ; le signal DESCENTE est engendré lorsque le nouveau choix possible ne concorde pas avec la valeur retenue ; et le signal MAINTIEN est engendré si, dans le cycle de fonctionnement en cours, aucune transition de donnée n'a été détectée.

Le circuit de comptage ou d'intégration 45 est réalisé sous la forme d'un registre à décalage, représenté de façon plus détaillée sur la figure 6. Ce circuit est agencé de manière qu'en fait un seul bit soit décalé vers le haut et vers le bas dans une rangée linéaire de quatre étages semblables. En général, le bit validé est décalé vers le haut, c'est-à-dire vers la droite, quand le signal MONTEE est validé, tandis qu'il est décalé vers la gauche, c'est-à-dire vers le bas, quand le signal DESCENTE est validé. Il est à noter cependant que les portes produisant les signaux MONTEE et DESCENTE (figure 6) prennent en considération le signal désigné par MAINTIEN, de façon qu'un bit ne soit décalé ni vers le haut ni vers le bas pendant un cycle où le signal MAINTIEN est validé. Comme on peut le voir en référence à la figure 6, le signal MAINTIEN est engendré comme une fonction NI des quatre signaux ayant pour origine le circuit F-F et représentant le nouveau choix possible. Cependant, comme le comprendront les spécialistes en la matière, un flux de données comprenant une succession de zéros ou une succession de uns ne produira pas de transitions qui peuvent être examinées par le circuit de la présente invention pour faciliter l'estimation de ce qui peut être le retard de compensation correct. En conséquence, dans la mise en oeuvre de la présente invention, des cycles de fonctionnement dans lesquels il ne se produit pas de transition de données, ne sont pas compris dans le processus d'intégration qui établit la décision logique.

Il ressort de la description faite ci-dessus que, en général, un mouvement d'un bit vers la droite dans le registre à décalage indique une constance ou une stabi-

lité dans des choix possibles successifs qui sont en train d'être présentés au circuit de comparaison, tandis qu'un décalage vers la gauche définit la réponse à une différence entre le choix possible et le choix proposé (mémorisé).

5 Si le bit est décalé jusqu'au bout vers la droite, le choix proposé est accepté comme la sélection effective et il est appliqué, par l'intermédiaire de la bascule de sélection 57, au sélecteur 27. Inversement, si le bit est décalé jusqu'au bout vers la gauche, le choix possible le plus

10 récent (représenté par le signal de sortie du circuit F-F 41) est transféré dans les bascules du circuit de comparaison et devient le nouveau choix proposé pour une sélection.

Comme décrit précédemment, le fonctionnement du

15 circuit de commande décrit ici détermine si une transition de données ou un écart se produit dans l'intervalle défini par les retards établis par une paire de lignes à retard successives adjacentes, quatre intervalles de ce genre étant prévus. Il est prévu en correspondance quatre choix

20 possibles de retards. Puisque la période des signaux d'horloge CL1-CL4 correspond à la largeur ou la période envisagée pour les impulsions de données, on peut voir que les quatre choix constituent dans un sens un ensemble circulaire qui, en fait, se replie sur lui-même. En se

25 basant sur cette analogie, on peut en outre voir que le choix le plus souhaitable correspond à la ligne à retard qui est opposée, dans cet ensemble circulaire, aux intervalles de retard qui comprennent la plupart des transitions ou des écarts. En d'autres termes, le choix souhaitable

30 est celui qui établit une synchronisation éliminant des transitions, c'est-à-dire lorsque le signal de données se trouve nettement dans l'un ou l'autre de ses deux états binaires stables. Dans la nomenclature de signaux qui est

35 utilisée pour définir le circuit, cette rotation ou choix de la valeur opposée est mise en évidence dans le circuit F-F de la figure 4, où on peut voir par exemple que l'intervalle T3-T2 est utilisé pour la production d'un

signal (choix) de sortie correspondant ST1b tandis que l'intervalle T1-T2 produit un signal ST4b.

Etant donné la grande densité qu'il est possible d'obtenir dans des circuits intégrés à très grande échelle, on peut incorporer le circuit décrit ici dans une très petite partie d'une puce disponible, et il est par conséquent possible de réaliser un système de réglage automatique de phase, conforme à la présente invention, dans chacune des lignes qui transmettent les données à partir du monde extérieur, tout en disposant d'une surface restante de puce qui est suffisante pour remplir des fonctions importantes, c'est-à-dire les fonctions affectées au circuit d'utilisation et remplies par celui-ci.

Comme cela a été signalé précédemment, les processus d'échantillonnage, d'analyse et de réglage qui sont effectués par le système conforme à la présente invention n'ont pas besoin d'être réalisés à un rythme élevé. Au contraire, seulement la synchronisation des lignes à retard et la mémorisation initiale doivent être effectuées par des composants de circuit fonctionnant rapidement. Une fois que la sélection appropriée est initialement établie, l'obligation de changer la sélection se manifesterá de façon relativement peu fréquente et seulement graduellement. En conséquence, bien que le mode de réalisation présentement préféré utilise des éléments logiques à câblage matériel pour remplir les fonctions désirées, on pourrait envisager que les fonctions de comparaison, d'analyse et de réglage puissent être aussi remplies par un système logique programmé, c'est-à-dire un microprocesseur ou un ordinateur. Dans un tel cas, des parties du circuit d'utilisation pourraient participer à la fonction de réglage de phase sur une base en partage de temps avec les autres fonctions, ou fonctions principales, du circuit d'utilisation.

En outre, bien que le mode de réalisation décrit opère par échantillonnage de transitions de données pouvant exister dans la ligne d'entrée, il va de soi qu'il peut exister certaines applications dans lesquelles il est sou-

haitable de placer périodiquement un modèle prédéfini de données dans la ligne d'entrée et de comparer des versions successivement retardées du signal d'entrée avec une partie de référence ou standard qui possède également un modèle prédéterminé autre qu'une synchronisation monotone comme dans l'exemple décrit.

5 En considérant la description faite ci-dessus, on peut voir que plusieurs objets de la présente invention sont atteints et que d'autres résultats avantageux ont été obtenus.

10 Il va de soi que de nombreuses modifications peuvent être apportées à l'appareillage décrit et représenté, sans sortir du cadre de l'invention.

REVENDIGATIONS

1. Appareillage pour régler la phase de signaux de données arrivant à un circuit d'utilisation de données, caractérisé en ce qu'il comprend :

5 - un ensemble de lignes à retard (21 à 25) réglables pour appliquer à un signal de données un retard d'une durée réglable ;

 - un moyen (43) pour comparer le signal de données retardé avec une référence locale en relation avec
10 plusieurs de durées de retard ;

 - des moyens (31 à 35) pour détecter des écarts dans les comparaisons des signaux de données retardés obtenus pour différentes durées de retard et pour produire un signal d'erreur ; et

15 - un moyen de commande (27) relié audit ensemble de lignes à retard (21 à 25) répondant audit signal d'erreur pour appliquer au circuit d'utilisation (15) un signal de données qui a été retardé d'une valeur sélectionnée pour éviter des écarts.

20 2. Appareillage selon la revendication 1, caractérisé en ce qu'il comprend en outre un moyen (41) pour établir une valeur moyenne dudit signal d'erreur pour des transitions multiples se produisant dans ledit signal de données.

25 3. Appareillage selon la revendication 1, caractérisé en ce que le dit ensemble de lignes à retard réglable comprend plusieurs lignes à retard (21 à 25) établissant des retards augmentant progressivement.

30 4. Appareillage pour régler la phase de signaux de données arrivant à un circuit d'utilisation de données, ledit appareillage étant caractérisé en ce qu'il comprend

 - un ensemble de lignes à retard réglables (21 à 25) pour appliquer à un signal de données un retard d'une durée réglable ;

35 - un moyen (43) pour comparer le signal de données retardé avec une référence locale concernant plusieurs durées de retards ;

- un moyen de commande de sélection (27) relié audit ensemble de lignes à retard (21 à 25) pour appliquer au circuit d'utilisation (15) un signal de données qui a été retardé d'une valeur sélectionnée ;

5 - un moyen (57) pour détecter des écarts dans les comparaisons des signaux de données retardés qui ont été obtenus pour différentes durées de retards ;

 - un moyen (41) qui, en réponse à des écarts détectés, fait fonctionner ledit moyen de commande de sélection
10 (27) en vue d'appliquer au circuit d'utilisation (15) un signal de données qui est retardé d'une valeur réduisant au minimum lesdits écarts.

5. Appareillage pour régler la phase de signaux de données arrivant à un circuit d'utilisation de données,
15 caractérisé en ce qu'il comprend

- une succession de lignes à retard (21 à 25) produisant des retards augmentant progressivement ;

 - des moyens pour appliquer le signal de données non réglé à chacune desdites lignes à retard (21-25) en
20 vue d'obtenir des signaux de données retardés respectifs;

 - un moyen sélecteur (27) pour appliquer un destits signaux de données retardés au circuit d'utilisation (15);

 - un moyen (57) pour détecter des écarts entre les signaux de données retardés obtenus à partir de lignes
25 à retard adjacentes (21 à 25) dans la succession ;

 - un moyen (41) pour commander ledit moyen sélecteur (27) en vue d'appliquer au circuit d'utilisation (15) un signal de données retardé qui est espacé, le long de ladite succession, par rapport aux signaux de données retardés présentant des écarts.
30

6. Appareillage de réglage de la phase d'un signal de données arrivant à un circuit d'utilisation de données, afin de compenser par réglage des déphasages indésirables dans le signal de données ayant une origine autre que le
35 circuit d'utilisation de données, ledit appareillage étant caractérisé en ce qu'il comprend :

- une succession de lignes à retard (21 à 25) pro-

duisant des retards progressivement croissants ;

- un moyen pour appliquer le signal de données non réglé à chacune desdites lignes à retard (21 à 25) en vue d'obtenir des signaux de données retardés respectifs ;

- un moyen sélecteur (27) pour fournir audit circuit d'utilisation (15) un signal sélectionné parmi lesdits signaux de données retardés ; et

- un moyen (43) pour comparer les signaux retardés pendant une période de temps et pour régler ledit sélecteur (27) sur un signal de données retardé qui est espacé des signaux de données retardés présentant les plus grandes disparités.

7. Appareillage pour régler la phase de signaux de données arrivant à un circuit d'utilisation de données afin de compenser des déphasages incontrôlables dans les signaux de données ayant une origine autre que le circuit d'utilisation de données, ledit appareillage étant caractérisé en ce qu'il comprend plusieurs lignes à retard (21 à 25) produisant des retards progressivement croissants :

- des moyens pour appliquer les signaux de données non réglés à chacune desdites lignes à retard (21 à 25) en vue d'obtenir des signaux de données retardés respectifs ;

- un moyen sélecteur (27), répondant à un signal de valeur sélectionné pour fournir audit circuit d'utilisation (15) un desdits signaux de données retardés qui sont choisis en concordance avec ladite valeur sélectionnée ;

- des bascules respectives (31 à 35) pour saisir et retenir la valeur instantanée de chacun desdits signaux de données retardés en réponse à un signal d'horloge local ;

- des portes respectives (36 à 39) répondant aux valeurs mémorisées en bascules pour engendrer un signal indiquant si une transition s'est produite entre les retards respectifs établis par des lignes à retard successivement adjacentes, les signaux de sortie desdites portes (36 à 39) représentant collectivement un choix possible de retards ;

- un moyen (43) pour comparer les signaux engendrés par les portes pendant une certaine période de temps et pour régler ledit sélecteur (27) sur un signal de données retardé qui est espacé des signaux de données retardés qui présentent les plus grandes transitions.

5

8. Appareillage pour régler la phase de signaux de données arrivant à un circuit d'utilisation afin de compenser par réglage des déphasages incontrôlables dans les signaux de données ayant une origine autre que le circuit d'utilisation de données, ledit appareillage étant caractérisé en ce qu'il comprend :

10

- plusieurs lignes à retard (21 à 25) établissant des retards progressivement croissants ;

15

- les moyens pour appliquer les signaux de données non réglés à chacune desdites lignes à retard (21 à 25) en vue d'obtenir ainsi des signaux de données retardés respectifs.

20

- un moyen sélecteur (27), réagissant à un signal de valeur sélectionné, pour fournir audit circuit d'utilisation (15) un desdits signaux de données retardés qui a été sélectionné en concordance avec ledit signal de valeur sélectionné ;

25

- des bascules respectives (31 à 35) pour saisir et retenir la valeur instantanée de chacun desdits signaux de données retardés en réponse à un signal d'horloge local ;

- des moyens logiques de combinaison (36 à 39) pour effectuer la combinaison des valeurs de signaux de données retenus afin d'obtenir un signal représentant un degré d'adaptation ;

30

- un circuit logique d'examen mécanique d'état pour engendrer et faire varier lesdits signaux de sélection en fonction dudit degré d'adaptation de signal dans un sens ayant tendance à sélectionner le signal de données retardé qui est le plus éloigné de disparités existant dans des signaux de données adjacents.

35

9. Appareillage pour régler la phase d'un signal de données arrivant dans un circuit d'utilisation de don-

nées de manière à compenser par réglage des déphasages incontrôlables dans le signal de données ayant une origine autre que le circuit d'utilisation de données, ledit appareil étant caractérisé en ce qu'il comprend :

- 5 - plusieurs lignes à retard (21 à 25) produisant des retards progressivement croissants ;
- des moyens pour appliquer les signaux de données non réglés à chacune desdites lignes à retard (21 à 25) en vue d'obtenir ainsi des signaux de données retardés
- 10 respectifs ;
- un moyen sélecteur (27) pour appliquer audit circuit d'utilisation (15) un signal sélectionné parmi lesdits signaux de données retardés ;
- des ensembles de portes respectifs (31 à 39)
- 15 engendrant un signal indiquant si une transition s'est produite entre les retards respectifs établis par les lignes à retard successivement adjacentes, les signaux de sortie desdites portes représentant collectivement un choix possible de retards ;
- 20 - un moyen (43) pour comparer les signaux de retards (signaux de sortie de portes) pendant une certaine période de temps et pour régler ledit moyen sélecteur (27) sur un signal de données retardé qui est en opposition à celui des signaux de données retardés qui représente les plus
- 25 grandes disparités entre des paires adjacentes de lignes à retard successives et de bascules associées ;
- des moyens pour comparer ledit choix possible avec un choix proposé et, si lesdits choix concordent pendant une certaine période de temps, pour régler ledit sélec-
- 30 teur (27) en correspondance avec ledit choix proposé ;
- et comprenant en outre des moyens agissant, si lesdits choix ne concordent pas pendant une certaine période de temps, pour régler ledit choix proposé en correspondance avec ledit choix possible.

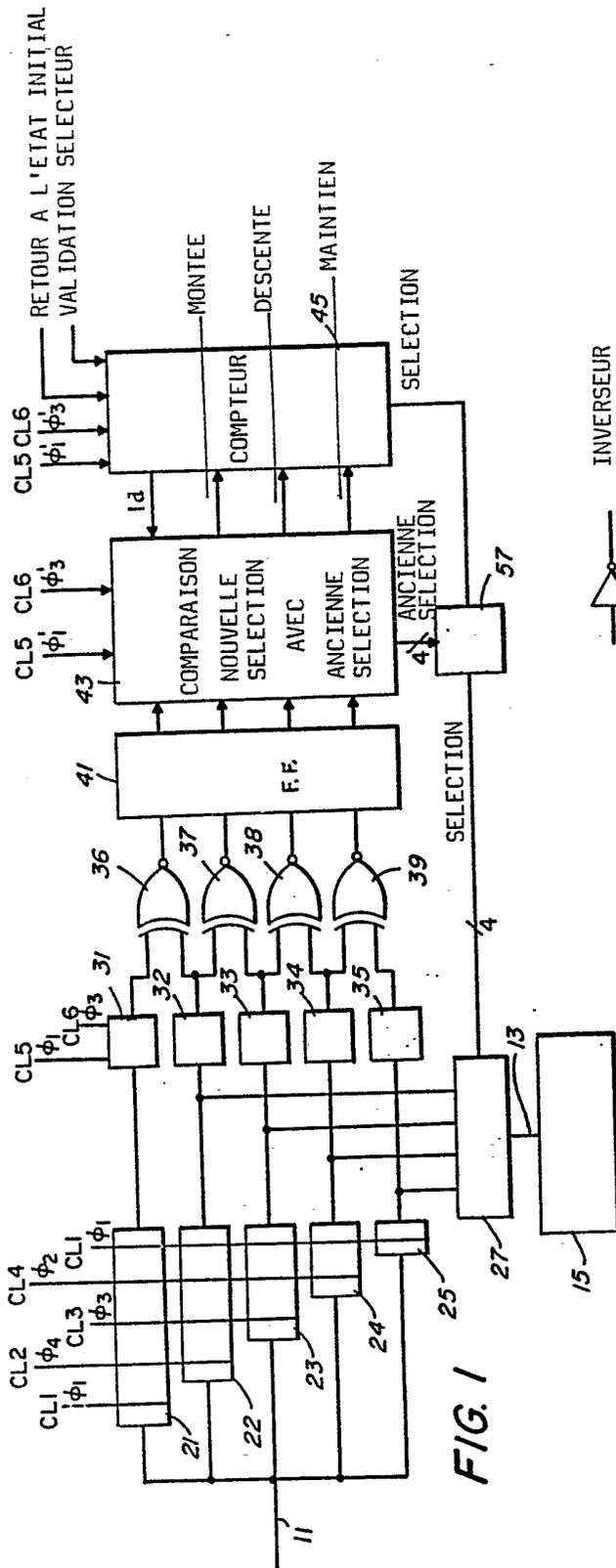


FIG. 1

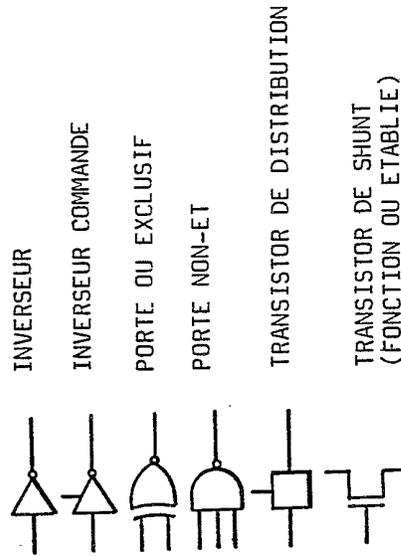


FIG. 9

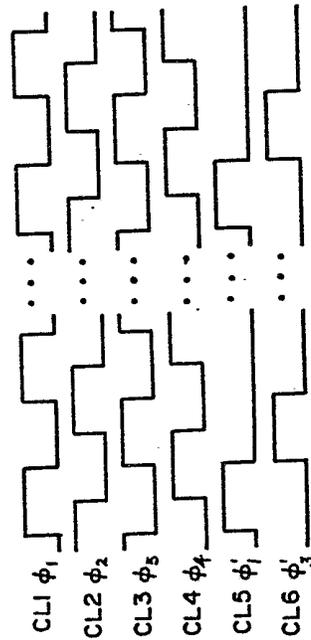


FIG. 8

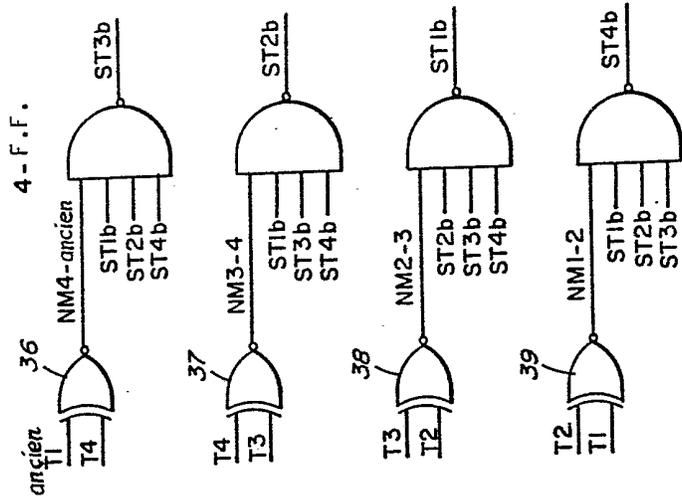


FIG. 4

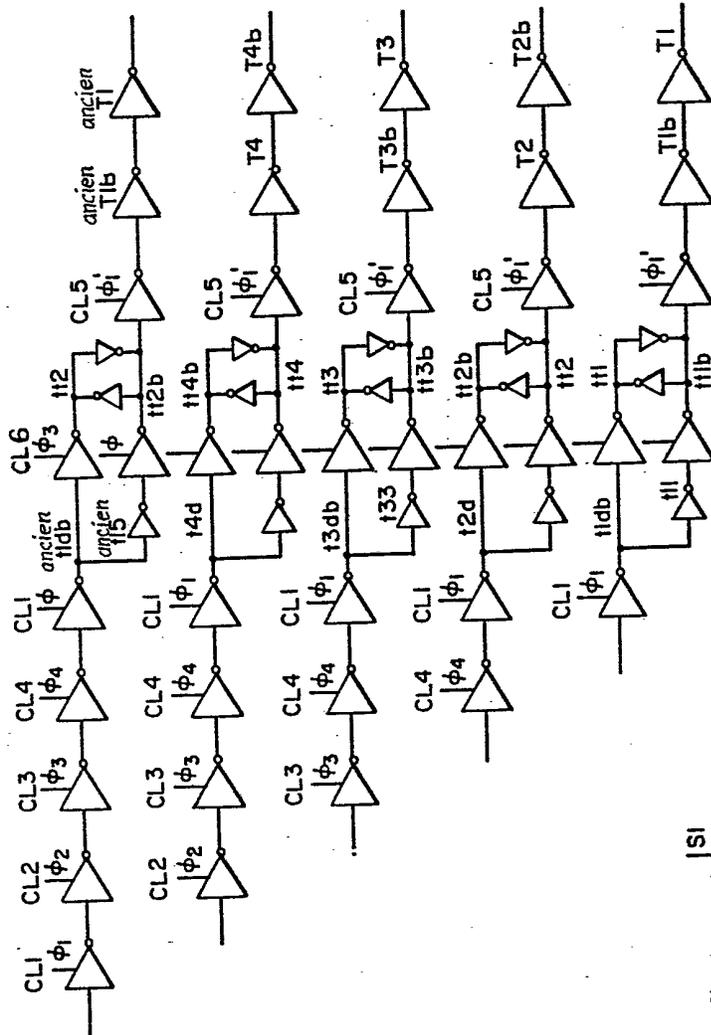


FIG. 3

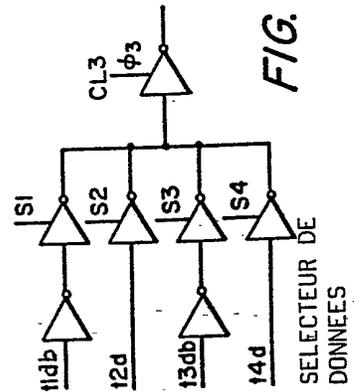


FIG. 2

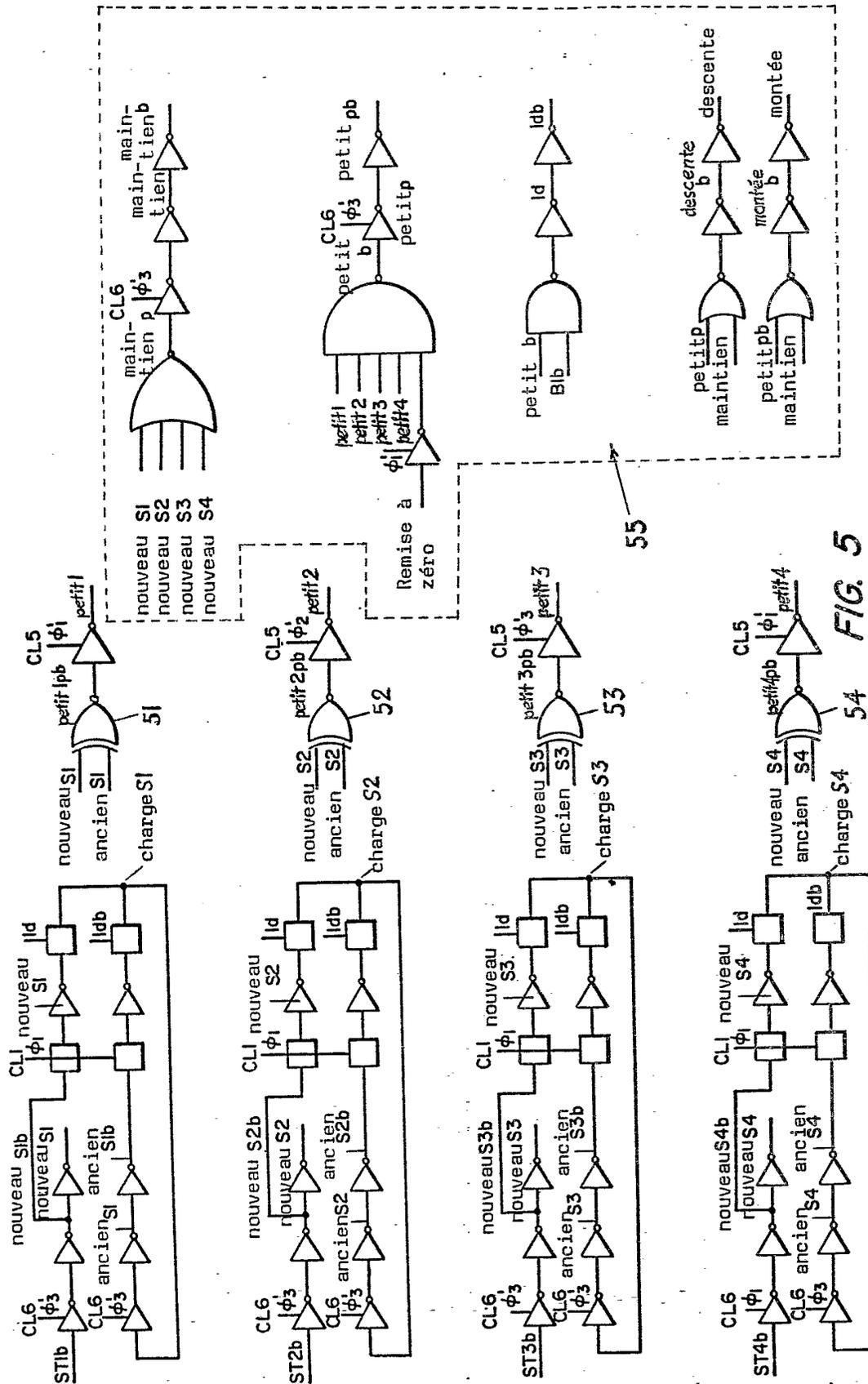


FIG. 5

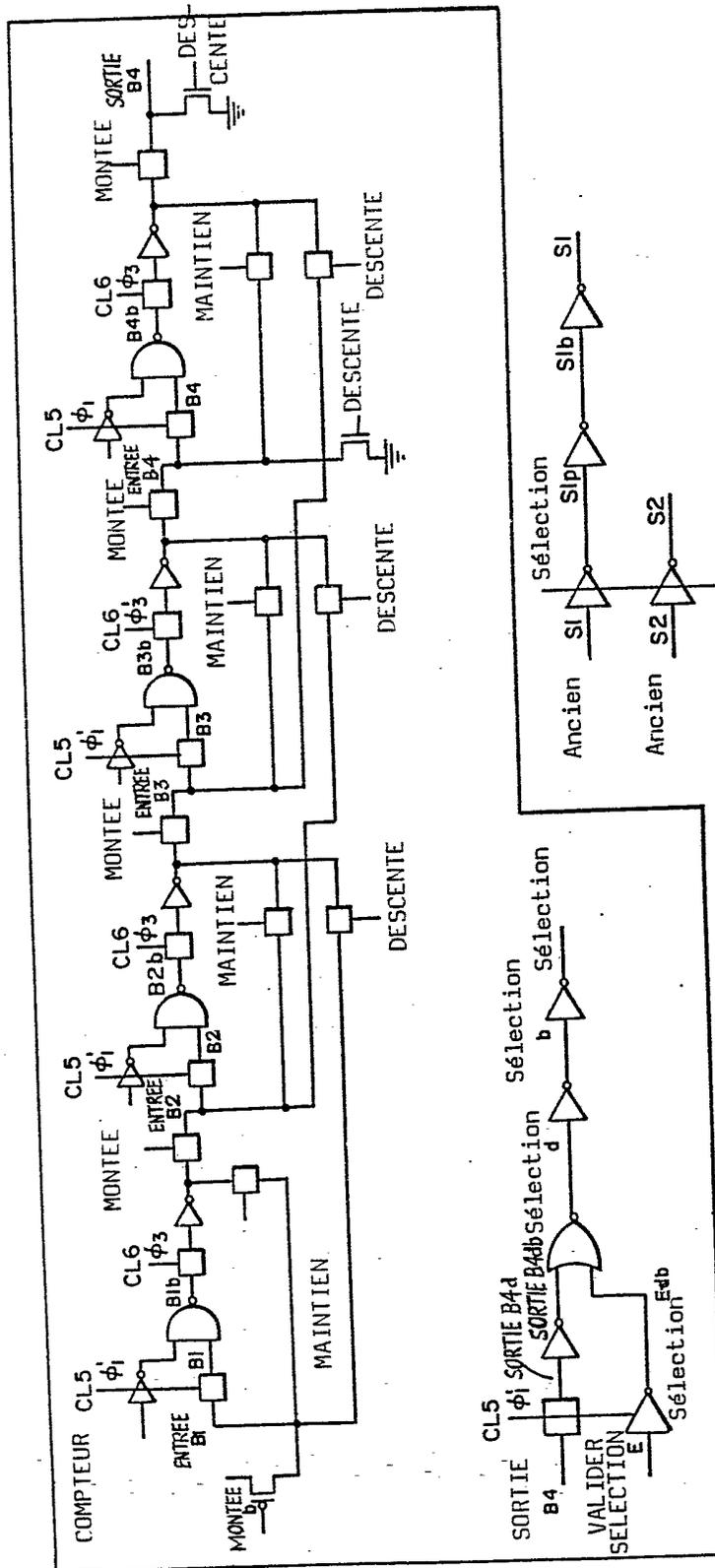


FIG. 6

FIG. 7

BASCULES DE SELECTION