

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-270735
(P2006-270735A)

(43) 公開日 平成18年10月5日(2006.10.5)

(51) Int. Cl. F I テーマコード (参考)
H04L 25/49 (2006.01) H04L 25/49 Z 5K029

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2005-88223 (P2005-88223)
(22) 出願日 平成17年3月25日 (2005.3.25)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(74) 代理人 100105337
弁理士 眞鍋 潔
(74) 代理人 100072833
弁理士 柏谷 昭司
(74) 代理人 100075890
弁理士 渡邊 弘一
(74) 代理人 100110238
弁理士 伊藤 壽郎
(72) 発明者 桑田 直樹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

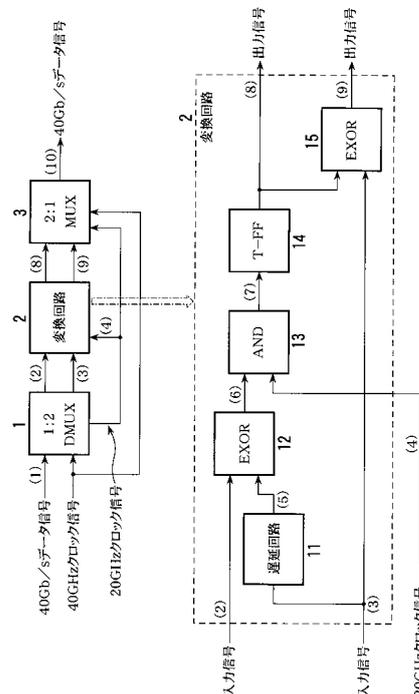
(54) 【発明の名称】 符号変換回路

(57) 【要約】

【課題】 NRZ符号のデータ信号をNRZ符号の別のデータ信号に変換する符号変換回路に関し、動作速度の低い回路素子により構成する。

【解決手段】 NRZ符号のデータ信号を複数に分離する多重分離部1と、分離された複数の並列データ信号を入力する変換回路2と、複数の並列出力のデータ信号を多重化する多重化部3とを備え、複数の並列データ信号の中の一つのデータ信号と他のデータ信号を遅延回路11により1ビット遅延したデータ信号との排他的論理和を求める第1の排他的論理和回路12と、この第1の排他的論理和回路12の出力信号と前記並列データ信号の伝送速度のクロック信号との論理積を求める論理積回路13と、この出力信号を入力するTフリップフロップ14と、この出力信号のNRZ符号のデータ信号と前記他のデータ信号との排他的論理和を求める第2の排他的論理和回路15とを含む構成を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

N R Z 符号のデータ信号を N R Z 符号の別のデータ信号に変換する符号変換回路に於いて、

前記 N R Z 符号のデータ信号を複数に分離する多重分離部と、

該多重分離部により分離された複数の並列データ信号を入力する変換回路と、

該変換回路の複数の並列出力のデータ信号を多重化する多重化部とを備え、

前記変換回路は、前記並列データ信号の中の一つのデータ信号と 1 ビット遅延させた他のデータ信号との排他的論理和の出力信号を、前記並列データの伝送速度のクロック信号のパルス幅に変換して、T フリップフロップにより N R Z 符号の一つのデータ信号に変換し、且つ該 N R Z 符号のデータ信号と前記他のデータ信号との排他的論理和の出力のデータ信号を N R Z 符号の他のデータ信号に変換して出力する構成を有する

10

ことを特徴とする符号変換回路。

【請求項 2】

前記変換回路は、前記多重分離部により分離された複数の並列データ信号の中の一つのデータ信号と他のデータ信号を 1 ビット遅延したデータ信号との排他的論理和を求める第 1 の排他的論理和回路と、該第 1 の排他的論理和回路の出力信号と前記並列データ信号の伝送速度のクロック信号との論理積を求める論理積回路と、該論理積回路の出力信号を入力する T フリップフロップと、該 T フリップフロップの出力の N R Z 符号のデータ信号と前記他のデータ信号との排他的論理和を求める第 2 の排他的論理和回路とを含む構成を有することを特徴とする請求項 1 記載の符号変換回路。

20

【請求項 3】

N R Z 符号のデータ信号を N R Z 符号の別のデータ信号に変換する符号変換回路に於いて、

前記 N R Z 符号のデータ信号を複数に分離する多重分離部と、

該多重分離部により分離された複数の並列データ信号を入力する変換回路と、

該変換回路の複数の並列出力のデータ信号を多重化する多重化部とを備え、

前記変換回路は、前記並列データ信号の中の一つのデータ信号と他のデータ信号との排他的論理和を求める第 1 の排他的論理和回路と、該第 1 の排他的論理和回路の出力信号と前記並列データの伝送速度のクロック信号との論理積を求める論理積回路と、該論理積回路の出力信号を入力する T フリップフロップと、該 T フリップフロップの出力信号を 1 ビット分遅延させる遅延回路と、該遅延回路の出力信号と前記並列データの中の一つのデータ信号との排他的論理和を求める第 2 の排他的論理和回路とを含む構成を有する

30

ことを特徴とする符号変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D P S K (D i f f e r e n t i a l P h a s e S h i f t K e y i n g ; 差動位相シフトキーイング) 変調方式に適用可能な符号変換回路に関する。

【背景技術】

40

【0002】

データ通信の需要増大に伴って各種の光通信システムが開発されており、送信データの例えば、“1”、“0”に対応した光強度変調による光信号を送受信する光通信システムが一般的である。又複数の異なる波長の光信号を多重化することにより、単一波長の光信号を用いた場合に対して、波長多重数倍の伝送速度とすることができる。又送信データにより光信号の位相変調を行って伝送する方式が既に各種提案されている。

【0003】

例えば、光信号の位相を変調する方式として、D P S K (D i f f e r e n t i a l P h a s e S h i f t K e y i n g ; 差動位相シフトキーイング) 変調方式を適用した光通信システムの概要を図 7 に示す。即ち、送信機 5 1 と受信機 5 2 とを光伝送路によ

50

り接続した光通信システムを構成するものであり、送信機 5 1 は、レーザダイオード 5 3 (LD) と、位相変調器 5 4 と、符号変換回路 5 5 と、強度変調器 5 6 とを含む構成を有し、又受信機 5 2 は、遅延干渉計 5 7 と、直接検波回路 5 8 と、クロック受光器 5 9 とを含む構成を有するものであり、例えば、40 Gb/s の NRZ 信号のデータを符号変換回路 5 5 に入力して、同相成分と直交成分との信号とすると共に差動符号化を行い、その差動符号化出力信号を位相変調器 5 4 に入力する。

【0004】

位相変調器 5 4 は、差動符号化信号に従って 0 又は π の位相に光信号を変調して、DPSK 変調光信号とする。又強度変調器 5 6 にクロック信号を入力して強度変調し、クロック信号の周期に従った RZ パルス化した DPSK 変調光信号として光伝送路に送出する。

10

【0005】

受信機 5 2 は、光伝送路を介して受信した RZ - DPSK 変調光信号を、遅延干渉計 5 7 に入力する。直接検波回路 5 8 は、前述の光電変換素子を含む構成とし、又クロック信号成分は、クロック受光器 5 9 を設けた場合に、送信側でクロック信号により強度変調した光信号を電気信号に変換することによって得ることができ、このクロック信号を用いることにより、クロック信号に同期したデータを出力することができる。

【0006】

図 8 は、従来例の符号変換回路の要部を示すものであり、同図の (A) に示すように、論理積回路 (AND) 6 1 と、フリップフロップ (T-FF) 6 2 とを含む構成を有し、この論理積回路 6 1 に入力した NRZ 符号のデータ信号 (1) とクロック信号 (2) との論理積の信号 (3) をフリップフロップ (T-FF) 6 2 に入力して、NRZ 符号の信号 (4) に変換する構成であり、その各部の信号 (1) ~ (4) を図 8 の (B) に示す。各部の信号として、40 Gb/s の NRZ 符号のデータ信号 (1) は、25 ps のパルス幅の信号であり、クロック信号 (2) は、12.5 ps のパルス幅となるから、論理積出力信号 (3) は、12.5 ps のパルス幅の信号となる。そして、フリップフロップ 6 2 の出力信号 (4) は、 $Z(n) = Z(n-1) + d(n)$ の論理式に従った NRZ 符号の信号となる。なお、この論理式の中の「+」は、排他的論理和 (EXOR) を示す。従って、論理積回路 6 1 を含む各部は、パルス幅 12.5 ps の速度、即ち、40 Gb/s の 2 倍の 80 Gb/s の動作速度が必要となる。

20

【0007】

又データの伝送速度に比較して各部の動作速度を低減する為に、データを 2 並列化し、クロック信号を 2 分周して処理する手段が知られている (例えば、特許文献 1 参照)。又、高速入力信号を N 系統に並列化して、それぞれ符号変換器に入力し、各符号変換器の出力信号をビット合成器により合成して、光デュオバイナリ伝送用の符号として出力する構成が知られている (例えば、特許文献 2 参照)。

30

【特許文献 1】特開平 11 - 298539 号公報

【特許文献 2】特開 2000 - 165246 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

前述のように、従来例の符号変換回路は、40 Gb/s のデータ信号を 40 Gb/s のクロック信号により処理する構成に於いては、40 Gb/s の NRZ 符号のデータ信号のパルス幅は、25 ps であるが、論理積出力信号 (3) として示すように、12.5 ps のパルス幅となり、従って、回路素子としては、40 Gb/s の 2 倍の 80 Gb/s の速度で動作する構成が必要となる。このような高速動作の回路素子は、非常に高価であると共に、安定動作させる構成の実現は容易ではない問題がある。

40

【0009】

本発明は、前述の問題点を解決するもので、NRZ 符号の信号を別の NRZ 符号の信号に符号変換する構成に於いて、伝送速度に対応した動作速度又はそれ以下の動作速度でも符号変換処理を可能とすることを目的とする。

50

【課題を解決するための手段】

【0010】

本発明の符号変換回路は、NRZ符号のデータ信号を別のNRZ符号のデータ信号に変換する符号変換回路に於いて、NRZ符号のデータ信号を複数に分離する多重分離部と、この多重分離部により分離された複数の並列データ信号を入力する変換回路と、この変換回路の複数の並列出力のデータ信号を多重化する多重化部とを備え、前記変換回路は、前記並列データ信号の中の一つのデータ信号と1ビット遅延させた他のデータ信号との排他的論理和の出力信号を、前記並列データの伝送速度のクロック信号のパルス幅に変換して、TフリップフロップによりNRZ符号の一つのデータ信号に変換し、且つ該RZ符号のデータ信号と前記他のデータ信号との排他的論理和の出力のデータ信号をNRZ符号の他のデータ信号に変換して出力する構成を有するものである。

10

【0011】

又前記変換回路は、多重分離部により分離された複数の並列データ信号の中の一つのデータ信号と他のデータ信号を1ビット遅延したデータ信号との排他的論理和を求める第1の排他的論理和回路と、この第1の排他的論理和回路の出力信号と前記並列データ信号の伝送速度のクロック信号との論理積を求める論理積回路と、この論理積回路の出力信号を入力するTフリップフロップと、このTフリップフロップの出力のNRZ符号のデータ信号と前記他のデータ信号との排他的論理和を求める第2の排他的論理和回路とを含む構成を有するものである。

【0012】

又NRZ符号のデータ信号をNRZ符号の別のデータ信号に変換する符号変換回路に於いて、前記NRZ符号のデータ信号を複数に分離する多重分離部と、この多重分離部により分離された複数の並列データ信号を入力する変換回路と、この変換回路の複数の並列出力のデータ信号を多重化する多重化部とを備え、前記変換回路は、前記並列データ信号の中の一つのデータ信号と他のデータ信号との排他的論理和を求める第1の排他的論理和回路と、この第1の排他的論理和回路の出力信号と前記並列データの伝送速度のクロック信号との論理積を求める論理積回路と、この論理積回路の出力信号を入力するTフリップフロップと、このTフリップフロップの出力信号を1ビット分遅延させる遅延回路と、この遅延回路の出力信号と前記並列データの中の一つのデータ信号との排他的論理和を求める第2の排他的論理和回路とを含む構成を有するものである。

20

30

【発明の効果】

【0013】

NRZ符号のデータ信号を別のNRZ符号のデータ信号に変換する場合に、NRZ符号のデータ信号を並列データ信号とするように多重分離し、その並列データ信号の伝送速度に対応したクロック信号を用いることにより、NRZ符号のデータ信号のビットレート程度又はそれ以下の速度で動作する回路構成で符号変換回路を実現することが可能となり、符号変換回路のコストダウン及び動作の安定化を図ることができる。

【発明を実施するための最良の形態】

【0014】

本発明の符号変換回路は、図1を参照して説明すると、NRZ符号のデータ信号を複数に分離する多重分離部1と、この多重分離部1により分離された複数の並列データ信号を入力する変換回路2と、この変換回路2の複数の並列出力のデータ信号を多重化する多重化部3とを備え、多重分離部1により分離された複数の並列データ信号の中の一つのデータ信号と他のデータ信号を遅延回路11により1ビット遅延したデータ信号との排他的論理和を求める第1の排他的論理和回路12と、この第1の排他的論理和回路12の出力信号と前記並列データ信号の伝送速度のクロック信号との論理積を求める論理積回路13と、この論理積回路13の出力信号を入力するTフリップフロップ14と、このTフリップフロップ14の出力のNRZ符号のデータ信号と前記他のデータ信号との排他的論理和を求める第2の排他的論理和回路15とを含む構成を有するものである。

40

【実施例1】

50

【0015】

図1は、本発明の実施例1の説明図であり、1は多重分離部(1:2DMUX)、2は変換回路、3は多重化部(2:1MUX)を示し、変換回路2は、点線矢印方向に拡大して示すように、遅延回路11と、第1の排他的論理和回路(EXOR)12と、論理積回路(AND)13と、Tフリップフロップ(T-FF)14と、第2の排他的論理和回路15とにより構成されている。

【0016】

多重分離部1に、NRZ符号の40Gb/sのデータ信号(1)と、40GHzのクロック信号とを入力し、データ信号を1:2の多重分離により2分岐し、それぞれ20Gb/sのデータ信号(2)、(3)として変換回路2に入力し、又40GHzのクロック信号を、並列データ信号の伝送速度に対応した20GHzのクロック信号(4)として、変換回路2と多重化部3とに入力する。

10

【0017】

変換回路2は、一方のデータ信号(2)を第1の排他的論理和回路12に入力し、他方のデータ信号(3)を1ビットの遅延回路11を介した遅延信号(5)として第1の排他的論理和回路12に入力する。この第1の排他的論理和回路12の出力信号(6)とクロック信号(4)とを論理積回路13に入力し、その出力信号(7)を、Tフリップフロップ14に入力して出力信号(8)とし、又この出力信号(8)と入力信号(3)とを第2の排他的論理和回路15に入力して出力信号(9)とする。そして、この出力信号(8)、(9)を多重化部3により多重化して40Gb/sの差分符号化したNRZ符号のデータ信号とする。即ち、NRZ符号のデータ信号を、NRZ符号の差動符号化したデータ信号、即ち、NRZ符号の別のデータ信号に変換することができる。

20

【0018】

図2は、前述の変換回路の動作説明図であり、(1)~(10)は、図1に於ける各部の信号(1)~(10)の一例を示すものであり、40Gb/sのデータ信号(1)は、パルス幅25psであり、これを1:2多重分離部1により2分岐したデータ信号(2)、(3)のパルス幅は50psとなる。例えば、40Gb/sのデータ信号(1)のd(n)、d(n+1)は、20Gb/sのデータ信号(2)のd(n)及びデータ信号(3)のd(n+1)となる。

【0019】

第1の排他的論理和回路12には、データ信号(2)のd(n)と、データ信号(3)の遅延回路11により1ビット分遅延されたデータ信号(5)のd(n-1)とが入力され、第1の排他的論理和回路12の出力信号(6)は、d(n)+d(n-1)となる。なお、この場合の「+」は排他的論理和を示す。そして、論理積回路13によりクロック信号(4)との論理積を求めることにより、パルス幅25psの出力信号(7)となる。この出力信号(7)をTフリップフロップ14に入力し、例えば、論理“1”により出力反転を行って、NRZ符号の出力信号(8)を得ることができる。又このTフリップフロップ14の出力信号(8)とデータ信号(3)とを第2の排他的論理和回路15に入力することにより、出力信号(9)となる。従って、出力信号(8)は、式(1)に示すz(n)となり、出力信号(9)は、式(2)に示すz(n-1)となるから、2:1多重化部3により、40Gb/sのクロック信号に従って多重化したデータ信号(10)は、式(1)、(2)の和のz(n)=z(n-1)+d(n)となる。例えば、NRZ符号のデータ信号(1)が、“・・・010011101・・・”とすると、変換されたNRZ符号のデータ信号(10)は、Tフリップフロップ14の出力信号の初期値を“0”とすると、“・・・11101001・・・”に変換される。

30

40

【0020】

従って、変換回路2内の回路素子は、40Gb/sのデータ信号を処理する場合に、40Gb/s以上の動作速度を必要としないことになり、NRZ符号のデータ信号をNRZ符号の別のデータ信号、例えば、差動符号化したデータ信号に変換する符号変換回路の動作の安定化並びにコストダウンを図ることができる。又回路素子の動作速度が技術の開発

50

で更に高速化された場合は、それに伴って、データ信号の伝送速度を高速化した場合に、容易に対応することが可能となる。

【実施例 2】

【0021】

図 3 は、本発明の実施例 2 の説明図であり、31 は多重分離部 (1:4 DMUX)、32 は変換回路、33 は多重化部 (4:1 MUX) を示し、変換回路 32 は、点線矢印方向に拡大して示すように、遅延回路 41-1 ~ 41-3 と、第 1 の排他的論理和回路 (EXOR) 42 と、論理積回路 (AND) 43 と、T フリップフロップ (T-FF) 44 と、第 2 の排他的論理和回路 45-1 ~ 45-3 とにより構成されている。

【0022】

多重分離部 31 に、NRZ 符号の 40 Gb/s のデータ信号 (1) と、40 GHz のクロック信号とを入力し、データ信号を 1:4 の多重分離部 31 により 4 分岐し、それぞれ 10 Gb/s のデータ信号 (2) ~ (5) として変換回路 32 に入力し、又 40 GHz のクロック信号を 10 GHz のクロック信号 (4) として、変換回路 32 と多重化部 33 とに入力する。

【0023】

変換回路 32 は、データ信号 (2) ~ (5) を入力信号 1 ~ 4 として入力し、10 GHz のクロック信号 (6) を論理積回路 43 に入力し、又 4 分岐した 10 Gb/s のデータ信号の中の一つ (2) (入力信号 1) を排他的論理和回路 42 に入力し、他の 3 つ (3) ~ (5) (入力信号 2 ~ 4) をそれぞれ 1 ビットの遅延回路 41-1 ~ 41-3 を介して排他的論理和回路 42 に入力する。この排他的論理和回路 42 の出力信号 (7) を論理積回路 43 に入力し、クロック信号 (6) に同期した出力信号 (8) を T フリップフロップ 44 に入力する。そして、この T フリップフロップ 44 の出力信号 (9) を出力信号 1 とし、且つ排他的論理和回路 45-1 ~ 45-3 にそれぞれ入力し、排他的論理和回路 45-1 は、入力信号 2 のデータ信号 (3) と出力信号 1 のデータ信号 (8) との排他的論理和を出力信号 2 とし、排他的論理和回路 45-2 は、入力信号 2, 3 のデータ信号 (3), (4) と出力信号 1 のデータ信号 (8) との排他的論理和を出力信号 3 とし、排他的論理和回路 45-3 は、入力信号 2 ~ 4 のデータ信号 (3) ~ (5) と出力信号 1 のデータ信号 (8) との排他的論理和を出力信号 4 とする。

【0024】

これらの出力信号 1 ~ 4 (データ信号 (9) ~ (12)) を、10 GHz のクロック信号 (6) と 40 GHz のクロック信号とに従って、4:1 多重化部 33 により多重化し、変換回路 32 の出力信号 1 ~ 4 を、40 GHz のクロック信号と、10 GHz のクロック信号とに従って 4 多重化して、NRZ 符号の 40 Gb/s のデータ信号 (13) として出力する。

【0025】

図 4 は、本発明の実施例 2 の動作説明図であり、(1) ~ (13) は、図 3 に於ける各部の信号 (1) ~ (13) の一例を示す。入力データ信号 (1) は、前述のように、40 Gb/s とすると、25 ps のパルス幅であるが、1:4 多重分離部 31 により、データ信号 (2) ~ (5) に分離し、例えば、4 並列化した $d(n) \sim d(n-3)$ の 100 ps のパルス幅のデータ信号となる。そして、クロック信号 (6) は 10 GHz として、変換回路 32 に入力する。

【0026】

変換回路 32 の排他的論理和回路 42 は、例えば、 $d(n) + d(n-3) + d(n-2) + d(n-1)$ (なお、「+」は排他的論理和を示す) の処理による出力信号 (7) を論理積回路 43 に入力し、クロック信号 (6) との論理積出力信号 (8) を T フリップフロップ 44 に入力し、この T フリップフロップ 44 から NRZ 符号の出力信号 (9) を出力すると共に、排他的論理和回路 45-1 ~ 45-3 に入力する。各排他的論理和回路 45-1 ~ 45-3 から出力信号 2 ~ 4 (10) ~ (12) を、T フリップフロップ 44 の出力信号 1 (9) と共に 4:1 多重化部 33 に入力し、10 GHz のクロック信号 (6)

10

20

30

40

50

)と40GHzのクロック信号とに同期して4多重化し、NRZ符号の40Gb/sのデータ信号(13)とする。

【0027】

この実施例2に於いては、NRZ符号の40Gb/sのデータ信号を、10Gb/sのデータ信号の速度で別のNRZ符号のデータ信号(例えば、差動符号変調用にNRZ符号のデータ信号)に変換して出力することができる。従って、更に高速のデータ伝送速度に対して、多重分割数を多くすることにより、動作可能な回路素子によって符号変換回路を構成することができる。

【実施例3】

【0028】

図5は、本発明の実施例3の説明図であり、図1に於ける変換回路2に対応する変換回路を示し、21は第1の排他的論理和回路(EXOR)、22は論理積回路(AND)、23はTフリップフロップ(T-FF)、24は1ビットの遅延回路、25は第2の排他的論理和回路(EXOR)を示す。又(2)~(9)は各部の信号を示す。

【0029】

図6は、動作説明図であり、図5に於ける信号(2)~(9)及び多重分離部により多重分離される前の40Gb/sの入力信号(1)(図1参照)と、多重化部により多重化した出力信号(10)(図1参照)とを示す。このNRZ符号で40Gb/sの入力信号(1)(パルス幅25ps)を多重分離部により多重分離した複数の信号の中の一つの入力信号(2)(データ信号)と他の入力信号(3)(データ信号)(この実施例3に於いては、実施例1と同様に、1:2の多重分離を行う場合を示すが、実施例2と同様に複数のデータ信号に多重分離することも可能)とを第1の排他的論理和回路21に入力し、その排他的論理和出力信号(5)を論理積回路22に入力し、20GHzのクロック信号(4)との論理積を求め、その出力信号(6)をTフリップフロップ23に入力する。この論理積回路22の出力信号(6)は、パルス幅25psとなる。

【0030】

そして、Tフリップフロップ23の出力信号(9)を1ビットの遅延回路24により遅延させ、その遅延させた信号(7)と入力信号(2)とを、第2の排他的論理和回路25に入力し、その出力信号(8)と、Tフリップフロップ23の出力信号(9)とを、多重化部(図1参照)に入力して多重化することにより、NRZ符号の出力信号(10)(データ信号)とする。この出力信号(10)は、 $z(n-2) = z(n-3) + d(n-2)$ の式(1)と、 $z(n-1) = z(n-3) + d(n-2) + d(n-1)$ の式(2)から、 $z(n) = z(n-1) + d(n)$ に従ったNRZ符号のデータ信号となる。即ち、NRZ符号のデータ信号 $d(n)$ を、NRZ符号の別のデータ信号 $z(n)$ に変換することができる。

【図面の簡単な説明】

【0031】

【図1】本発明の実施例1の説明図である。

【図2】本発明の実施例1の動作説明図である。

【図3】本発明の実施例2の説明図である。

【図4】本発明の実施例2の動作説明図である。

【図5】本発明の実施例3の説明図である。

【図6】本発明の実施例3の動作説明図である。

【図7】DPSK変調光信号通信システムの概要説明図である。

【図8】従来例の符号変換回路の要部説明図である。

【符号の説明】

【0032】

- 1 多重分離部(1:2DMUX)
- 2 変換回路
- 3 多重化部(2:1MUX)

10

20

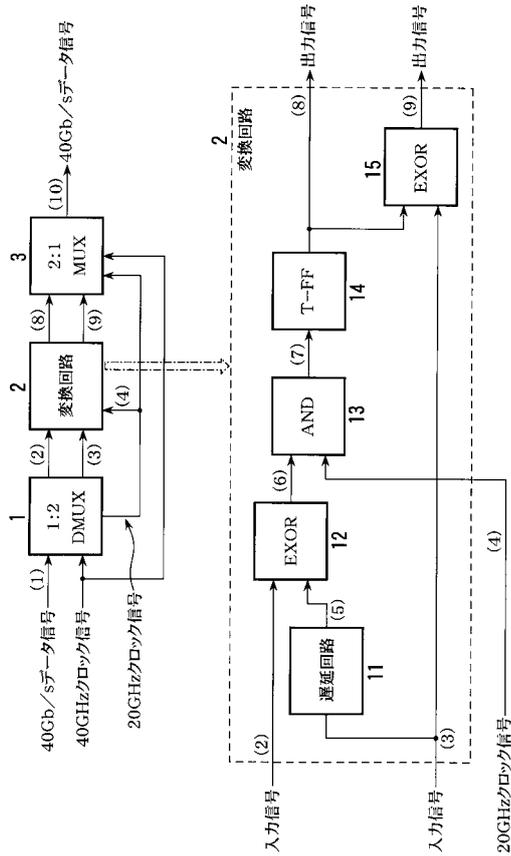
30

40

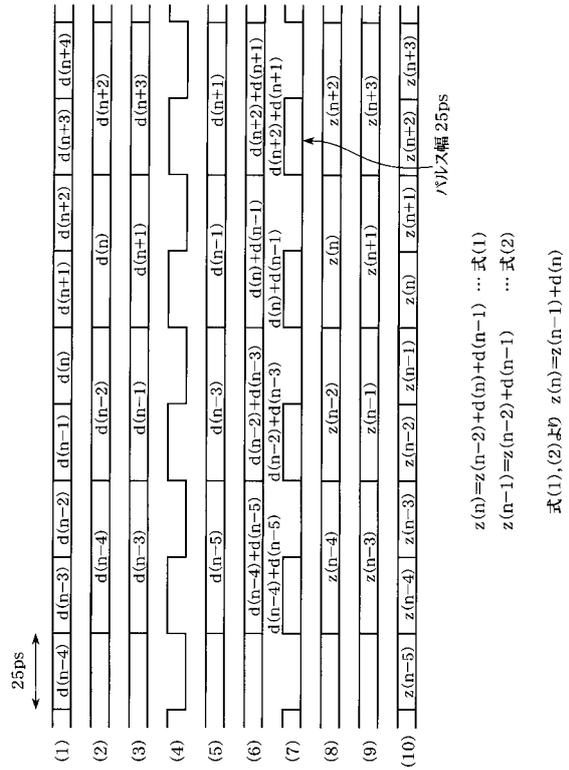
50

- 1 1 遅延回路
- 1 2 第 1 の排他的論理和回路 (E X O R)
- 1 3 論理積回路 (A N D)
- 1 4 T フリップフロップ (T - F F)
- 1 5 第 2 の排他的論理和回路 (E X O R)

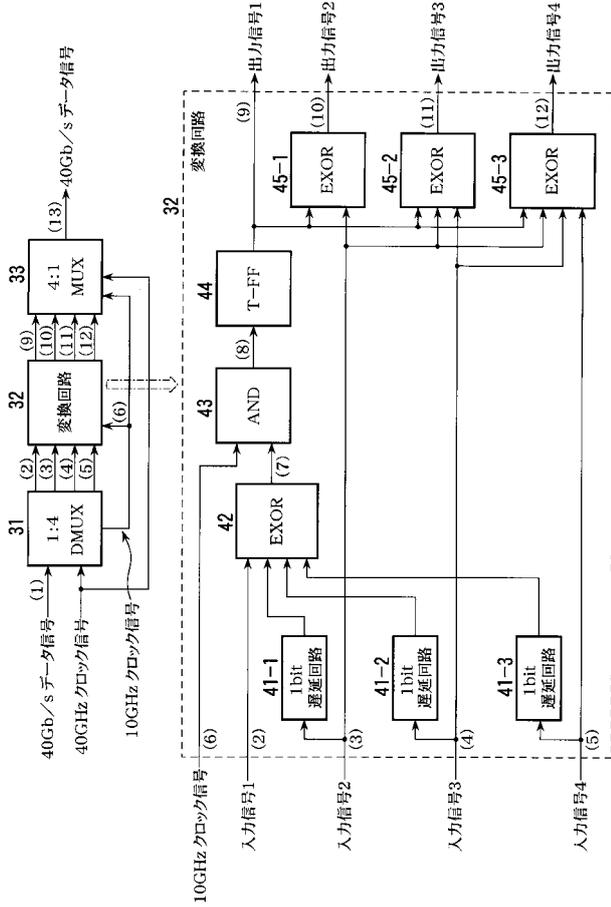
【 図 1 】



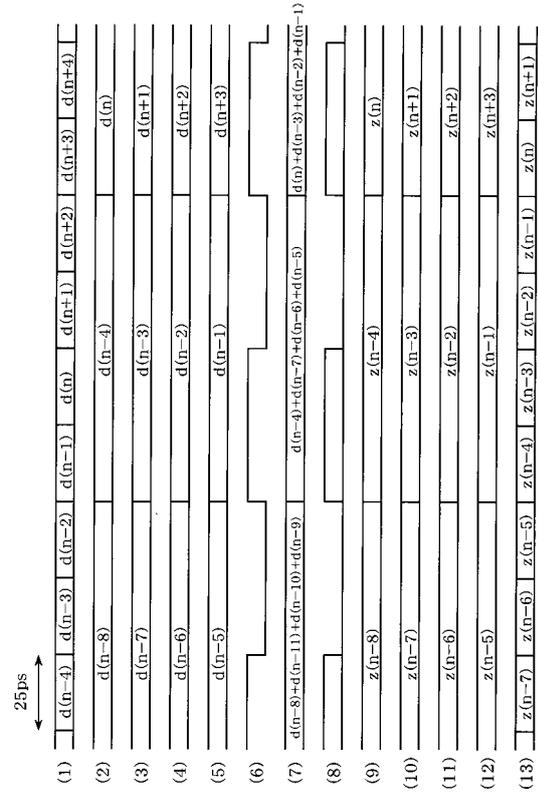
【 図 2 】



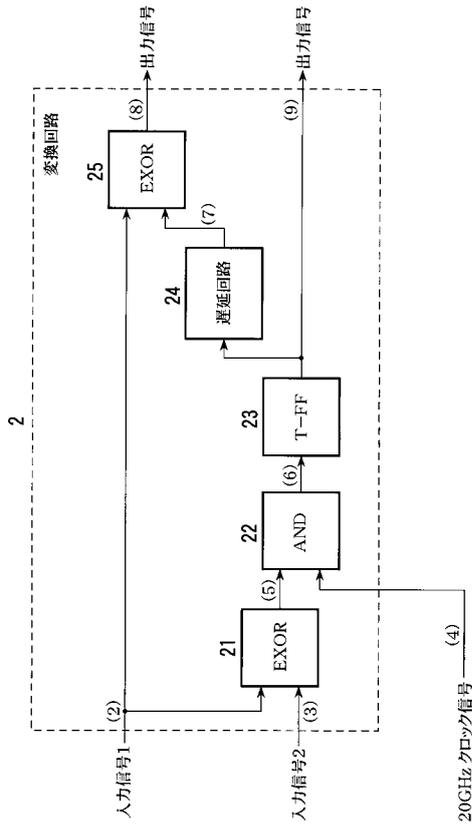
【 図 3 】



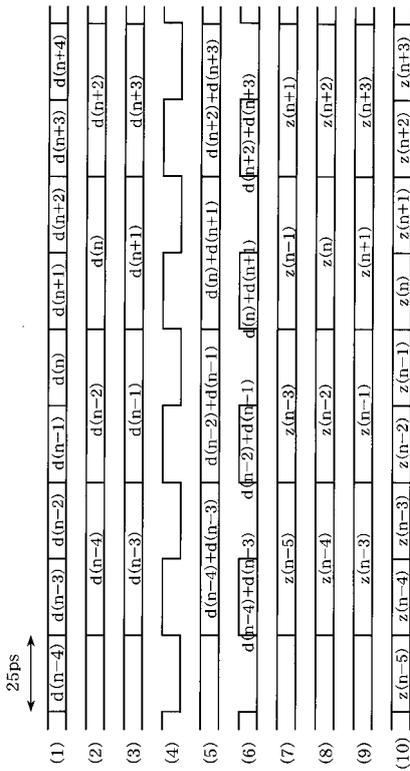
【 図 4 】



【 図 5 】

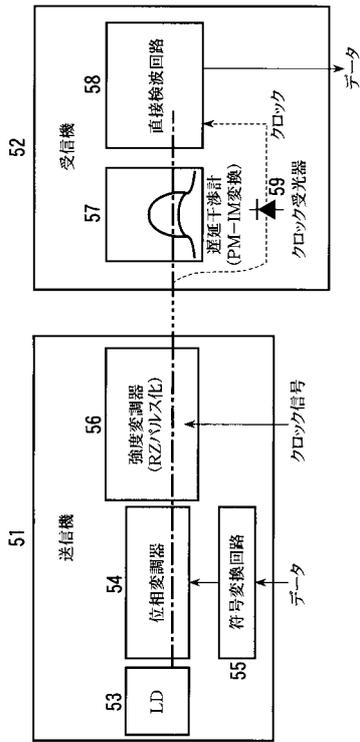


【 図 6 】

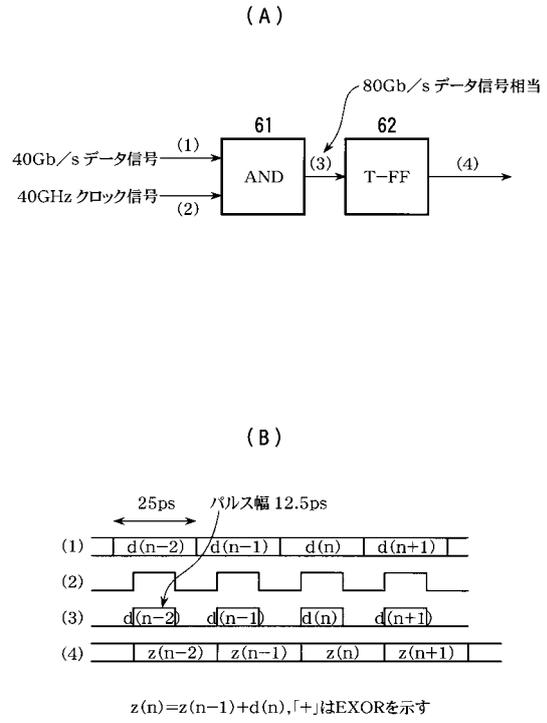


式(1)
 $z(n-2) = z(n-3) + d(n-2)$
 式(2)
 $z(n-1) = z(n-3) + d(n-2) + d(n-1) \dots$
 式(1), (2)より $z(n) = z(n-1) + d(n)$

【 図 7 】



【 図 8 】



フロントページの続き

Fターム(参考) 5K029 AA01 BB03 CC04 DD12 DD22 EE04 EE11 GG03 JJ01 LL08
LL12 LL15