



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0043451  
 (43) 공개일자 2014년04월09일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/8244* (2006.01) *H01L 27/11* (2006.01)  
 (21) 출원번호 10-2014-7002119  
 (22) 출원일자(국제) 2011년07월29일  
 심사청구일자 없음  
 (85) 번역문제출일자 2014년01월24일  
 (86) 국제출원번호 PCT/JP2011/067478  
 (87) 국제공개번호 WO 2013/018163  
 국제공개일자 2013년02월07일

(71) 출원인  
**르네사스 일렉트로닉스 가부시키가이샤**  
 일본 가나가와켄 가와사끼시 나카하라꾸 시모누마  
 베 1753  
 (72) 발명자  
**시바타, 겐**  
 일본 221-0056 가나가와켄 요코하마시 가나가와꾸  
 긴코쵸 3-1 르네사스 시스템 디자인 주식회사 내  
**야나기타니, 유타**  
 일본 221-0056 가나가와켄 요코하마시 가나가와꾸  
 긴코쵸 3-1 르네사스 시스템 디자인 주식회사 내  
 (74) 대리인  
**장수길, 이중희**

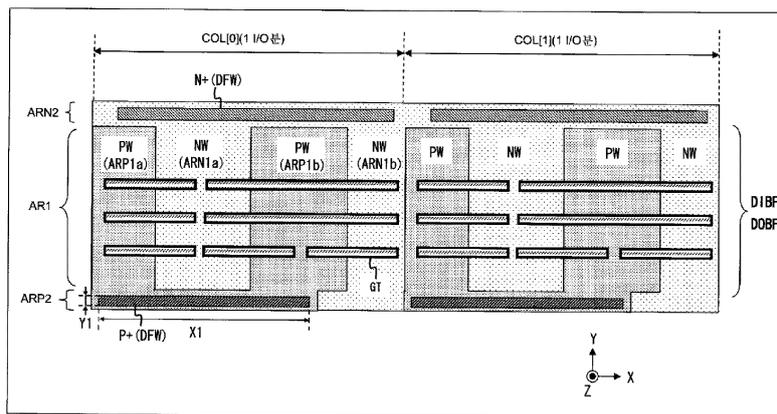
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 장치 및 반도체 장치의 제조 방법**

**(57) 요약**

자유도가 높은 레이아웃을 구비한 반도체 장치 및 당해 반도체 장치의 제조 방법을 제공한다. 당해 반도체 장치에서는, 제1 부분 AR1에 있어서, X축 방향을 따라서 p형 웰 PW와 n형 웰 NW가 교대로 복수개 인접하여 배치되고, 당해 AR1을 Y축 방향에서 끼우는 한쪽 측에 당해 복수의 PW에 대한 공통의 급전 영역(ARP2)이 배치되고, 다른 쪽 측에 당해 복수의 NW에 대한 공통의 급전 영역(ARN2)이 배치된다. 예를 들어, PW에 대한 급전 영역(ARP2) 내에는 X축 방향으로 가늘고 긴 형상을 갖는 p형 급전용 확산층 P+(DFW)가 형성된다. AR1에서는, PW, NW의 경계를 넘어 X축 방향으로 연신하는 복수의 게이트층 GT가 배치되고, 이에 따라 복수의 MIS 트랜지스터가 형성된다.

**대표도**



**특허청구의 범위**

**청구항 1**

제1 부분 내지 제3 부분을 포함하는 제1 도전형의 제1 웰 영역과,  
 상기 제1 웰 영역보다도 높은 불순물 농도를 갖는 상기 제1 도전형의 제1 급전 영역과,  
 제4 부분을 포함하는 제2 도전형의 제2 웰 영역을 구비하고,  
 상기 제1 부분과 상기 제2 부분은, 제1 방향에 있어서 상기 제4 부분의 양측에 인접하여 배치되고,  
 상기 제3 부분은, 상기 제1 방향을 향하여 연신하는 형상을 갖고, 상기 제1 방향과 교차하는 제2 방향에 있어서  
 상기 제1 및 제2 부분에 연결됨과 함께 상기 제4 부분과 인접하여 배치되고,  
 상기 제1 급전 영역은, 상기 제3 부분 내에서 대략 직사각형 형상으로 형성되고, 상기 제1 웰 영역을 통하여 상  
 기 제1 부분과 상기 제2 부분에 대하여 소정의 전압을 공급하고,  
 상기 제1 급전 영역의 상기 제1 방향의 크기는 상기 제2 방향의 크기보다도 큰 것을 특징으로 하는 반도체  
 장치.

**청구항 2**

제1항에 있어서,  
 상기 제1 급전 영역은, 상기 제2 방향에 있어서 상기 제4 부분과 대향하여 배치되는 구간을 포함하는 것을 특  
 징으로 하는 반도체 장치.

**청구항 3**

제1항에 있어서,  
 상기 제1 부분과 상기 제4 부분의 경계 또는 상기 제4 부분과 상기 제2 부분의 경계를 넘어 상기 제1 방향을 향  
 하여 연신하는 제1 게이트층과,  
 상기 제1 부분 또는 상기 제2 부분에 형성되고, 상기 제1 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드  
 레인 영역으로 되는 상기 제2 도전형의 제1 반도체 영역과,  
 상기 제4 부분에 형성되고, 상기 제1 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는  
 상기 제1 도전형의 제2 반도체 영역을 더 갖는 것을 특징으로 하는 반도체 장치.

**청구항 4**

제3항에 있어서,  
 상기 제1 게이트층과 나란히 연신하고, 상기 제2 방향에 있어서 상기 제1 게이트층과 상기 제1 급전 영역 사이에  
 배치되는 더미 게이트층을 더 구비하고,  
 상기 더미 게이트층은, 상기 제1 급전 영역 측에 소스 또는 드레인으로 되는 반도체 영역을 구비하지 않는 것을  
 특징으로 하는 반도체 장치.

**청구항 5**

제1항에 있어서,  
 상기 제1 방향을 향하여 연신하는 워드선과, 상기 제2 방향을 향하여 연신하는 복수의 비트선과, 상기 워드선과  
 상기 복수의 비트선의 교점에 배치되는 복수의 메모리 셀을 포함한 메모리 어레이와,  
 상기 복수의 비트선에 대하여 신호의 입출력을 행하는 컬럼 제어 회로를 더 구비하고,  
 상기 복수의 메모리 셀 각각에 포함되는 MIS 트랜지스터의 게이트층은 상기 제1 방향을 향하여 연신하고,  
 상기 제1 및 제2 웰 영역에는, 상기 컬럼 제어 회로의 일부가 형성되는 것을 특징으로 하는 반도체 장치.

**청구항 6**

제5항에 있어서,

상기 제1 및 제2 웰 영역에는, 상기 복수의 비트선을 향하여 인가하는 외부 입력 데이터를 도입하는 입력 버퍼 회로와, 상기 복수의 비트로부터 관독한 신호를 외부 출력 데이터로서 출력하는 출력 버퍼 회로가 형성되는 것을 특징으로 하는 반도체 장치.

**청구항 7**

제1항에 있어서,

상기 반도체 장치는, 상기 제1 방향을 향하여 순차 나란히 배치되는 복수의 제1 단위 영역을 구비하고,

상기 복수의 제1 단위 영역 각각은, 상기 제1 내지 제3 부분을 포함하는 상기 제1 웰 영역과, 상기 제1 급전 영역과, 상기 제4 부분을 포함하는 상기 제2 웰 영역을 구비하고,

상기 복수의 제1 단위 영역에 각각 포함되는 상기 제1 웰 영역의 상기 제3 부분은, 상기 복수의 제1 단위 영역을 넘어 함께 연결되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 8**

제1항에 있어서,

상기 제2 웰 영역보다도 높은 불순물 농도를 갖는 상기 제2 도전형의 제2 급전 영역을 더 구비하고,

상기 제2 웰 영역은,

상기 제1 방향에 있어서 상기 제2 부분을 사이에 두고 상기 제4 부분과 대향하여 배치되는 제5 부분과,

상기 제1 방향을 향하여 연신하는 형상을 갖고, 상기 제2 방향에 있어서 상기 제4, 제2, 제5 부분을 사이에 두고 상기 제3 부분과 대향하는 측에서 상기 제4 및 제5 부분에 연결됨과 함께 상기 제2 부분에 인접하여 배치되는 제6 부분을 더 구비하고,

상기 제2 급전 영역은, 상기 제6 부분 내에서 대략 직사각형 형상으로 형성되고, 상기 제2 웰 영역을 통하여 상기 제4 부분과 상기 제5 부분에 대하여 소정의 전압을 공급하고,

상기 제2 급전 영역의 상기 제1 방향의 크기는 상기 제2 방향의 크기보다도 큰 것을 특징으로 하는 반도체 장치.

**청구항 9**

제8항에 있어서,

상기 제1 부분과 상기 제4 부분의 경계 또는 상기 제4 부분과 상기 제2 부분의 경계 또는 상기 제2 부분과 상기 제5 부분의 경계를 넘어 상기 제1 방향을 향하여 연신하는 제2 게이트층과,

상기 제1 부분 또는 상기 제2 부분에 형성되고, 상기 제2 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는 상기 제2 도전형의 제3 반도체 영역과,

상기 제4 부분 또는 상기 제5 부분에 형성되고, 상기 제2 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는 상기 제1 도전형의 제4 반도체 영역을 더 갖는 것을 특징으로 하는 반도체 장치.

**청구항 10**

제8항에 있어서,

상기 반도체 장치는, 상기 제1 방향을 향하여 순차 나란히 배치되는 복수의 제2 단위 영역을 구비하고,

상기 복수의 제2 단위 영역 각각은, 상기 제1 내지 제3 부분을 포함하는 상기 제1 웰 영역과, 상기 제1 급전 영역과, 상기 제4 내지 제6 부분을 포함하는 상기 제2 웰 영역과, 상기 제2 급전 영역을 구비하고,

상기 복수의 제2 단위 영역에 각각 포함되는 상기 제1 웰 영역의 상기 제3 부분은, 상기 복수의 제2 단위 영역

을 넘어 함께 연결되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 11**

제1 부분 내지 제4 부분을 포함하는 제1 도전형의 제1 웰 영역과,  
 상기 제1 웰 영역보다도 높은 불순물 농도를 갖는 상기 제1 도전형의 제1 급전 영역과,  
 제2 도전형의 제2 내지 제4 웰 영역을 구비하고,  
 상기 제1 부분과 상기 제2 부분은, 제1 방향에 있어서 상기 제2 웰 영역의 양측에 인접하여 배치되고,  
 상기 제3 웰 영역과 상기 제4 웰 영역은, 상기 제1 방향에 있어서 상기 제3 부분의 양측에 인접하여 배치되고,  
 상기 제4 부분은, 상기 제1 방향을 향하여 연신하는 형상을 갖고, 상기 제1 방향과 교차하는 제2 방향에 있어서의 한쪽 측에서 상기 제1 및 제2 부분에 연결됨과 함께 상기 제2 웰 영역과 인접하고, 상기 제2 방향에 있어서의 다른 쪽 측에서 상기 제3 부분에 연결됨과 함께 상기 제3 및 제4 웰 영역과 인접하여 배치되고,  
 상기 제1 급전 영역은, 상기 제4 부분 내에서 대략 직사각형 형상으로 형성되고, 상기 제1 웰 영역을 통하여 상기 제1 내지 제3 부분에 대하여 소정의 전압을 공급하고,  
 상기 제1 급전 영역의 상기 제1 방향의 크기는 상기 제2 방향의 크기보다도 큰 것을 특징으로 하는 반도체 장치.

**청구항 12**

제11항에 있어서,  
 상기 제4 부분과 상기 제3 부분의 연결 부분의 길이는, 상기 제4 부분과 상기 제1 부분의 연결 부분의 길이 또는 상기 제4 부분과 상기 제2 부분의 연결 부분의 길이와는 상이한 것을 특징으로 하는 반도체 장치.

**청구항 13**

제11항에 있어서,  
 상기 반도체 장치는, 상기 제1 방향을 향하여 순차 나란히 배치되는 복수의 제1 단위 영역을 구비하고,  
 상기 복수의 제1 단위 영역 각각은, 상기 제1 내지 제4 부분을 포함하는 상기 제1 웰 영역과, 상기 제1 급전 영역과, 상기 제2 내지 제4 웰 영역을 구비하고,  
 상기 제1 단위 영역 내에서, 상기 제2 방향에 있어서의 한쪽 측에서 상기 제4 부분과 연결되는 상기 제1 웰 영역의 부분의 수와, 상기 제2 방향에 있어서의 다른 쪽 측에서 상기 제4 부분과 연결되는 상기 제1 웰 영역의 부분의 수는 상이한 것을 특징으로 하는 반도체 장치.

**청구항 14**

제13항에 있어서,  
 상기 제3 웰 영역 또는 상기 제4 웰 영역 내에 형성되고, 상기 제3 웰 영역 또는 상기 제4 웰 영역보다도 높은 불순물 농도를 갖는 상기 제2 도전형의 제2 급전 영역을 더 구비하고,  
 상기 제2 급전 영역의 상기 제2 방향의 크기는 상기 제1 방향의 크기보다도 큰 것을 특징으로 하는 반도체 장치.

**청구항 15**

제11항에 있어서,  
 상기 제1 부분과 상기 제2 웰 영역의 경계 또는 상기 제2 웰 영역과 상기 제2 부분의 경계를 넘어 상기 제1 방향을 향하여 연신하는 제1 게이트층과,  
 상기 제1 부분 또는 상기 제2 부분에 형성되고, 상기 제1 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는 상기 제2 도전형의 제1 반도체 영역과,

상기 제2 웰 영역에 형성되고, 상기 제1 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는 상기 제1 도전형의 제2 반도체 영역과,

상기 제3 웰 영역과 상기 제3 부분의 경계 또는 상기 제3 부분과 상기 제4 웰 영역의 경계를 넘어 상기 제1 방향을 향하여 연신하는 제2 게이트층과,

상기 제3 부분에 형성되고, 상기 제2 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는 상기 제2 도전형의 제3 반도체 영역과,

상기 제3 웰 영역 또는 상기 제4 웰 영역에 형성되고, 상기 제2 게이트층을 게이트로 하는 MIS 트랜지스터의 소스·드레인 영역으로 되는 상기 제1 도전형의 제4 반도체 영역을 갖는 것을 특징으로 하는 반도체 장치.

#### 청구항 16

제15항에 있어서,

상기 제1 게이트층과 나란히 연신하고, 상기 제2 방향에 있어서 상기 제1 게이트층과 상기 제1 급전 영역 사이에 배치되는 제1 더미 게이트층과,

상기 제2 게이트층과 나란히 연신하고, 상기 제2 방향에 있어서 상기 제2 게이트층과 상기 제1 급전 영역 사이에 배치되는 제2 더미 게이트층을 구비하고,

상기 제1 및 제2 더미 게이트층은, 상기 제1 급전 영역 측에 소스 또는 드레인으로 되는 반도체 영역을 구비하지 않는 것을 특징으로 하는 반도체 장치.

#### 청구항 17

제11항에 있어서,

상기 제1 내지 제3 부분 중 어느 하나에는, 또한 상기 제1 웰 영역보다도 높은 불순물 농도를 갖는 상기 제1 도전형의 제3 급전 영역이 형성되고,

상기 제3 급전 영역의 상기 제2 방향의 크기는 상기 제1 방향의 크기보다도 큰 것을 특징으로 하는 반도체 장치.

#### 청구항 18

(a) 반도체 기판 상에 제4 부분을 포함하는 제2 도전형의 제2 웰 영역을 형성하는 공정과,

(b) 상기 반도체 기판 상에, 제1 방향에 있어서 상기 제4 부분의 양측에 인접하여 배치되는 제1 부분 및 제2 부분과, 상기 제1 방향과 교차하는 제2 방향에 있어서 상기 제1 및 제2 부분에 연결됨과 함께 상기 제4 부분과 인접하여 배치되는 제3 부분을 포함하는 제1 도전형의 제1 웰 영역을 형성하는 공정과,

(c) 상기 제1 및 제2 웰 영역 상에서, 상기 제4 부분의 일부의 영역인 제1 소스·드레인 패턴 및 상기 제1 부분 또는 상기 제2 부분의 일부의 영역인 제2 소스·드레인 패턴, 및 상기 제3 부분의 일부의 영역이며 상기 제2 방향의 크기보다도 큰 상기 제1 방향의 크기를 갖는 대략 직사각형 형상의 영역인 급전 패턴을 제외한 개소에 제1 절연막을 형성하는 공정과,

(d) 선상(線狀)의 형상을 갖고, 상기 제1 방향을 향하여 상기 제1 소스·드레인 패턴 상 및 상기 제2 소스·드레인 패턴 상을 넘어 연신하는 게이트층을 형성하는 공정과,

(e) 상기 게이트층의 일부를 마스크 가공을 통하여 에칭하는 공정과,

(f) 상기 제1 소스·드레인 패턴에 상기 제1 도전형의 불순물을 도입하고, 상기 제2 소스·드레인 패턴에 상기 제2 도전형의 불순물을 도입하고, 상기 급전 패턴에 상기 제1 도전형의 불순물을 도입하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 19

제18항에 있어서,

상기 급전 패턴은, 상기 제2 방향에 있어서 상기 제4 부분과 대향하여 배치되는 구간을 포함하는 것을 특징으로

하는 반도체 장치의 제조 방법.

**청구항 20**

제18항에 있어서,

상기 게이트층은, 상기 제1 및 제2 소스·드레인 패턴 상에서 게이트 절연막을 통하여 탑재되고,

상기 게이트 절연막은, 이산화실리콘보다도 높은 유전율을 구비하고,

상기 게이트층은, 금속막에 의해 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것으로, 특히 SRAM 등의 메모리 유닛을 구비한 반도체 장치 및 그 제조 방법에 적용하여 유효한 기술에 관한 것이다.

**배경기술**

[0002] 예를 들어, 특허문헌 1 및 특허문헌 2에는, 다이내믹형 RAM에 있어서, 그 메모리 어레이의 웰 배치가 나타나 있다. 구체적으로는, p형 기판 또는 딥 웰 내에 있어서, n형 웰의 양측에 인접하여 p형 웰이 형성되고, p형 웰 내에는 메모리 셀의 선택 트랜지스터나 센스 앰프 등의 n채널형 MOSFET가 형성되고, n형 웰 내에는 센스 앰프 등의 p채널형 MOSFET가 형성된다. 또한, 특허문헌 2에는, 다이내믹형 RAM에 있어서, 그 메모리 어레이의 주변 회로나 입출력 회로의 웰 배치가 나타나 있다. 구체적으로는, 워드선의 연신 방향을 길이 방향으로 해서 가늘고 긴 형상을 갖는 n형 웰 및 p형 웰이, 워드선의 배열 방향을 따라서 교대로 배치되어 있다.

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) 일본 특허 공개 평11-54726호 공보  
 (특허문헌 0002) 일본 특허 공개 평8-181292호 공보

**발명의 내용**

**해결하려는 과제**

[0004] 최근 들어, 반도체 장치의 미세화가 점점 진행되고 있다. 이러한 것 중, 예를 들어 메모리 유닛 등을 탑재한 반도체 장치에서는, p형 웰과 n형 웰을 교대로 배치한 레이아웃이 사용된다. p형 웰 내에는 n채널형 MOSFET가 형성되고, n형 웰 내에는 p채널형 MOSFET가 형성되지만, 각 웰 내에는, 이러한 MOSFET 외에 웰에 급전을 행하기 위한 급전 영역을 확보할 필요가 있다. 이때, 단순히 급전 영역을 확보한 것만으로는 레이아웃의 자유도가 저하하고, 결과적으로 반도체 장치의 소면적화(미세화)가 저해될 우려가 있는 것이 본 발명자 등의 검토에 의해 발견되었다.

[0005] 특히, 최소 가공 치수가 예를 들어 28nm 등의 제조 프로세스를 사용하는 경우, 가공 정밀도를 충분히 확보하기 위해서는, 반도체 장치(반도체칩) 상에서 게이트층을 모두 동일한 방향으로 연신시키는 것이 바람직하다. 그러나, 게이트층을 모두 동일한 방향으로 연신시키면, 게이트층의 연신 방향에 제약이 없는 경우와 비교하여 레이아웃의 자유도가 저하하기 때문에, 결과적으로 반도체 장치의 소면적화(미세화)가 도모되지 않는 경우가 있다. 이러한 경우에, 전술한 급전 영역과 아울러, 더욱 효율적인 레이아웃 방법이 요구된다.

[0006] 본 발명은 이러한 것을 감안하여 이루어진 것으로, 그 목적 중 하나는, 자유도가 높은 레이아웃을 구비한 반도체 장치 및 당해 반도체 장치의 제조 방법을 제공하는 데 있다. 본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확해질 것이다.

**과제의 해결 수단**

- [0007] 본원에 있어서 개시되는 발명 중, 대표적인 실시 형태의 개요를 간단하게 설명하면, 다음과 같다.
- [0008] 본 실시 형태에 의한 반도체 장치는, 제1 부분(ARN1a), 제2 부분(ARN1b), 제3 부분(ARN2)을 포함하는 제1 도전형 제1 웰 영역(NW)과, 제1 웰 영역보다도 높은 불순물 농도를 갖는 제1 도전형 제1 급전 영역(N+(DFW))과, 제4 부분(ARP1b)을 포함하는 제2 도전형 제2 웰 영역(PW)을 구비한다. 제1 부분(ARN1a)과 제2 부분(ARN1b)은, 제1 방향에 있어서 제4 부분(ARP1b)의 양측에 인접하여 배치된다. 제3 부분(ARN2)은, 제1 방향을 향하여 연신하는 형상을 갖고, 제1 방향과 교차하는 제2 방향에 있어서 제1 부분(ARN1a) 및 제2 부분(ARN1b)에 연결함과 함께 제4 부분(ARP1b)과 인접하여 배치된다. 제1 급전 영역(N+(DFW))은, 제3 부분(ARN2) 내에서 대략 직사각형 형상으로 형성되고, 제1 웰 영역(NW)을 통하여 제1 부분(ARN1a)과 상기 제2 부분(ARN1b)에 대하여 소정의 전압을 공급한다. 여기서, 제1 급전 영역(N+(DFW))은 제1 방향의 크기가 제2 방향의 크기보다도 크게 형성되어 있다.
- [0009] 또한, 본 실시 형태에 의한 반도체 장치의 제조 방법은, (a) 내지 (f) 공정을 갖고 있다. (a) 공정에서는, 반도체 기판(SUBp) 상에 제4 부분(ARP1b)을 포함하는 제2 도전형 제2 웰 영역(PW)이 형성된다. (b) 공정에서는, 반도체 기판(SUBp) 상에, 제1 방향에 있어서 제4 부분(ARP1b)의 양측에 인접하여 배치되는 제1 부분(ARN1a) 및 제2 부분(ARN1b)과, 제1 방향과 교차하는 제2 방향에 있어서 제1 및 제2 부분에 연결됨과 함께 제4 부분과 인접하여 배치되는 제3 부분(ARN2)을 포함하는 제1 도전형 제1 웰 영역(NW)이 형성된다. (c) 공정에서는, 제1 및 제2 웰 영역상에서, 제4 부분의 일부의 영역인 제1 소스·드레인 패턴(N+(DF)용 PW(노출 부분)) 및 제1 부분 또는 제2 부분의 일부의 영역인 제2 소스·드레인 패턴(P+(DF)용 NW(노출 부분)), 및 제3 부분의 일부의 영역인 급전 패턴(N+(DFW)용 NW(노출 부분))를 제외한 개소에 제1 절연막(STI)이 형성된다. 또한, 급전 패턴은, 제2 방향의 크기보다도 큰 제1 방향의 크기를 갖는 대략 직사각형 형상의 영역으로 된다. (d) 공정에서는, 선상(線狀)의 형상을 갖고, 제1 방향을 향하여 제1 소스·드레인 패턴 상 및 제2 소스·드레인 패턴 상을 넘어 연신하는 게이트층(GT)이 형성된다. (e) 공정에서는, 게이트층의 일부가 마스크 가공(GTRE)을 통하여 에칭된다. (f) 공정에서는, 제1 소스·드레인 패턴에 제1 도전형 불순물이 도입되고, 제2 소스·드레인 패턴에 제2 도전형 불순물이 도입되고, 급전 패턴에 제1 도전형 불순물이 도입된다.

**발명의 효과**

- [0010] 본원에 있어서 개시되는 발명 중, 대표적인 실시 형태에 의해 얻어지는 효과를 간단하게 설명하면, 레이아웃의 자유도를 향상시키는 것이 가능해진다.

**도면의 간단한 설명**

- [0011] 도 1은 본 발명의 실시 형태 1에 따른 반도체 장치에 있어서, 그 전체의 개략적인 구성예를 도시하는 블록도.
- 도 2는 도 1에 있어서의 메모리 유닛의 사용예를 도시하는 설명도.
- 도 3은 도 1의 반도체 장치에 있어서, 거기에 포함되는 메모리 유닛의 주요부의 개략적인 구성예를 도시하는 블록도.
- 도 4는 도 3의 메모리 유닛에 있어서의 각 메모리 셀의 구성예를 도시하는 회로도.
- 도 5는 도 4의 메모리 셀의 레이아웃 구성예를 도시하는 평면도.
- 도 6은 도 5의 메모리 셀에 있어서, 그 A-A' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.
- 도 7은 도 3의 메모리 유닛에 있어서, 그 메모리 어레이의 일부의 개략적인 레이아웃 구성예를 도시하는 평면도.
- 도 8은 도 3의 메모리 유닛에 있어서, 그 컬럼 제어 회로 블록의 개략적인 구성예를 도시하는 회로도.
- 도 9는 도 8의 컬럼 제어 회로 블록을 사용한 실제상의 구성예를 도시하는 모식도.
- 도 10은 도 8 및 도 9의 컬럼 제어 회로 블록에 있어서, 그 웰 배치 및 웰 급전에 관한 개략적인 레이아웃 구성예를 도시하는 평면도.
- 도 11은 도 10의 레이아웃에 있어서, 그 B-B' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.
- 도 12는 도 10의 레이아웃에 있어서, 그 C-C' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.

도 13은 본 발명의 실시 형태 1의 반도체 장치에 있어서, 그 웰 배치 및 웰 급전 방식의 기본 개념을 도시하는 평면도.

도 14의 (a)는 도 13의 웰 배치 및 웰 급전 방식의 효과의 일례를 도시하는 설명도이며, (b)는 (a)의 비교예를 도시하는 설명도.

도 15의 (a)는 도 13의 웰 배치 및 웰 급전 방식의 효과의 일례를 도시하는 설명도이며, (b)는 (a)의 비교예를 도시하는 설명도.

도 16의 (a)는 도 13의 웰 배치 및 웰 급전 방식의 효과의 일례를 도시하는 설명도이며, (b)는 (a)의 비교예를 도시하는 설명도.

도 17은 본 발명의 실시 형태 2에 따른 반도체 장치에 있어서, 그 웰 배치 및 웰 급전 방식의 개략적인 구성예를 도시하는 평면도.

도 18은 도 17의 반도체 장치에 있어서, 그 일부의 영역의 보다 상세한 구성예를 도시하는 평면도.

도 19의 (a)는 도 18에 있어서의 E-E' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이며, (b)는 도 18에 있어서의 F-F' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.

도 20의 (a)는 도 18에 있어서의 G-G' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이며, (b)는 도 18에 있어서의 H-H' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.

도 21의 (a)는 본 발명의 실시 형태 3에 따른 반도체 장치에 있어서, 그 웰 배치 및 웰 급전 방식의 구성예를 도시하는 평면도이며, (b)는 (a)의 비교예를 도시하는 평면도.

도 22는 도 21의 (a)에 도시하는 반도체 장치의 제조 방법의 일례를 도시하는 설명도.

도 23은 도 22에 이어지는 반도체 장치의 제조 방법의 일례를 도시하는 설명도.

도 24의 (a)는 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 그 웰 배치 방식의 기본 개념의 일례를 도시하는 평면도며, (b)는 (a)의 비교예로 되는 웰 배치 방식을 도시하는 평면도.

도 25의 (a), (b)는 도 24의 (a)의 웰 배치 방식을 사용한 경우의 효과의 일례를 도시하는 설명도.

도 26의 (a) 내지 (c)는 도 24의 (b)의 웰 배치 방식을 사용한 경우의 문제점의 일례를 도시하는 설명도.

도 27은 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 도 8 및 도 9의 컬럼 제어 회로 블록에 있어서의 개략적인 웰 배치의 구성예를 도시하는 평면도.

도 28의 (a)는 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 도 3의 워드선 구동 회로 블록의 웰 배치 및 웰 급전에 관한 개략적인 레이아웃 구성예를 도시하는 평면도이며, (b)는 (a)에 있어서의 I-I' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.

도 29의 (a)는 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 도 3의 전체 제어 회로 블록의 웰 배치 및 웰 급전에 관한 개략적인 레이아웃 구성예를 도시하는 평면도이며, (b)는 (a)에 있어서의 J-J' 사이의 개략적인 디바이스 구조예를 도시하는 단면도.

### **발명을 실시하기 위한 구체적인 내용**

[0012] 이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지 만, 특별히 명시한 경우를 제외하고, 그들은 서로 무관계인 것이 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니라, 특정한 수 이상이어도 이하이어도 된다.

[0013] 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 명백하게 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다. 마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등으로 언급할 때에는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.

- [0014] 또한, 실시 형태에서는, MIS(Metal Insulator Semiconductor)형 전계 효과 트랜지스터(FET: Field Effect Transistor)를 MIS 트랜지스터라고 칭하고, p채널형 MIS 트랜지스터를 PMIS 트랜지스터, n채널형 MIS 트랜지스터를 NMIS 트랜지스터라고 칭한다. 이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 부재에는 원칙적으로 동일한 부호를 부여하고, 그 반복되는 설명은 생략한다.
- [0015] (실시 형태 1)
- [0016] 《반도체 장치 전체의 개략 구성》
- [0017] 도 1은, 본 발명의 실시 형태 1에 따른 반도체 장치에 있어서, 그 전체의 개략적인 구성예를 도시하는 블록도이다. 도 2는, 도 1에 있어서의 메모리 유닛의 사용예를 도시하는 설명도이다. 도 1에는, 1개의 반도체칩 내에 각종 로직 회로와 메모리 회로가 형성된 SOC(System On a Chip) 등이라고 불리는 반도체 장치(LSI)가 나타나 있다. 도 1의 반도체 장치는, 예를 들어 휴대 전화용 LSI이며, 2개의 프로세서 유닛 CPU1, CPU2와, 어플리케이션 유닛 APPU와, 메모리 유닛 MEMU와, 기저 대역 유닛 BBU와, 입출력 유닛 IOU를 구비한다.
- [0018] CPU1, CPU2는 프로그램에 기초하는 소정의 연산 처리를 행하고, APPU는 휴대 전화에서 필요해지는 소정의 어플리케이션 처리를 행하고, BBU는 무선 통신에 수반하는 소정의 기저 대역 처리를 행하고, IOU는 외부와의 사이의 입출력 인터페이스를 담당한다. MEMU는, 예를 들어 SRAM(Static Random Access Memory) 등을 포함하고, 이러한 각 회로 블록의 처리에 수반하여 적절히 액세스된다. 예를 들어, 도 2에 도시하는 바와 같이, MEMU는, 듀얼 포트형 SRAM(DPRAM)과 싱글 포트형 SRAM(SPRAM)을 구비하고, 프로세서 유닛 CPU의 캐시 메모리로서 사용된다. 이때에는, 예를 들어 MEMU 등에 구비된 캐쉬 컨트롤러 CCN이 DPRAM, SPRAM을 적절히 액세스함으로써, 캐쉬의 히트/미스 히트의 판정이나, 캐쉬 데이터의 판독 처리/갱신 처리가 행해진다.
- [0019] 이러한 반도체 장치에 있어서, DPRAM, SPRAM은, 예를 들어 메모리 컴파일러 등이라고 불리는 자동 설계 툴에서 실장되는 경우가 많고, 이에 의해 생성된 SRAM은 컴파일드 SRAM 등으로 불린다. 메모리 컴파일러는, 예를 들어 지정된 비트선이나 워드선의 수 등에 따라, 어느 단위 레이아웃 등을 순차 반복하여 배치함으로써 컴파일드 SRAM을 자동 생성한다. 이 경우, 이러한 반복 배치에 대해서도, 자유도가 높고, 또한 면적 효율이 높은 레이아웃 방식이 요구된다.
- [0020] 《메모리 유닛의 주요부의 개략 구성》
- [0021] 도 3은, 도 1의 반도체 장치에 있어서, 거기에 포함되는 메모리 유닛의 주요부의 개략적인 구성예를 도시하는 블록도이다. 도 3에 도시하는 메모리 유닛 MEMU는, 전체 제어 회로 블록 CTLBK와, 워드선 구동 회로 블록 WLDBK와, 레플리카 회로 REP와, 메모리 어레이 MARY와, 컬럼 제어 회로 블록 COLBK를 구비하고 있다. MARY는, 제1 방향으로 연신하는 (m+1)개의 워드선 WL[0] 내지 WL[m]과, 제1 방향과 교차하는 제2 방향으로 연신하는 (n+1)개의 비트선쌍(BL[0], ZBL[0]) 내지 (BL[n], ZBL[n])과, (m+1)개의 워드선과 (n+1)개의 비트선쌍의 교점에 배치되는 복수의 메모리 셀 MC를 구비하고 있다. 각 비트선쌍은, 상보 신호를 전송하는 2개의 비트선(예를 들어 BL[0]과 ZBL[0])으로 구성된다.
- [0022] 전체 제어 회로 블록 CTLBK는, 예를 들어 외부로부터 입력된 판독용/기입용 제어 신호나 어드레스 신호 등에 따라, 워드선 구동 회로 블록 WLDBK, 레플리카 회로 REP, 컬럼 제어 회로 블록 COLBK를 적절히 제어한다. WLDBK는, CTLBK가 어드레스 신호에 기초하여 생성한 행 선택 신호를 받고, 이것에 따라서 (m+1)개의 워드선 WL[0] 내지 WL[m] 중 어느 하나 1개를 활성화한다. COLBK는, 센스 앰프 회로나 입력/출력 버퍼 회로 등을 구비하고, CTLBK가 어드레스 신호에 기초하여 생성한 열 선택 신호를 받고, 이것에 따라서 (n+1)개의 비트선쌍 중의 소정의 비트선쌍을 선택한다. COLBK는, 판독 동작 시에는, 이 선택된 비트선쌍의 데이터를 센스 앰프 회로로 증폭한 후, 출력 버퍼 회로를 통하여 외부로 출력하고, 기입 동작 시에는, 이 선택된 비트선쌍에, 입력 버퍼 회로를 통하여 외부로부터 입력된 데이터를 전송한다.
- [0023] 레플리카 회로 REP는, 내부에 타이밍 조정 회로를 구비하고, CTLBK가 판독용 제어 신호에 기초하여 생성한 기동 신호를 받고, 당해 기동 신호에 대하여 소정의 지연을 가함으로써 COLBK 내의 센스 앰프 회로의 활성화 타이밍을 정한다. 또한, REP는, 예를 들어 CTLBK가 기입용 제어 신호에 기초하여 생성한 기동 신호를 받고, 당해 기동 신호에 대하여 소정의 지연을 가함으로써 WLDBK에 있어서 활성화되어 있는 워드선의 비활성화 타이밍을 정한다.
- [0024] 《메모리 어레이의 상세》

- [0025] 도 4는, 도 3의 메모리 유닛에 있어서의 각 메모리 셀의 구성예를 도시하는 회로도이다. 도 4에 도시하는 메모리 셀 MC는, 여기서는, 4개의 NMIS 트랜지스터 MN\_AC1, MN\_AC2, MN\_DR1, MN\_DR2와, 2개의 PMIS 트랜지스터 MP\_LD1, MP\_LD2를 구비한 SRAM 메모리 셀로 되어 있다. MN\_DR1, MN\_DR2는 드라이버용 트랜지스터이며, MN\_AC1, MN\_AC2는 액세스용 트랜지스터이며, MP\_LD1, MP\_LD2는 부하용 트랜지스터이다. MN\_AC1은, 게이트가 워드선 WL에 접속되고, 소스·드레인의 한쪽이 정극측의 비트선 BL에 접속된다. MN\_AC2는, 게이트가 WL에 접속되고, 소스·드레인의 한쪽이 부극측의 비트선 ZBL에 접속된다.
- [0026] MN\_DR1, MP\_LD1과 MN\_DR2, MP\_LD2는, 각각, 전원 전압 VDD와 접지 전원 전압 VSS 사이에서 상보형 MIS 인버터 회로(CMIS 인버터 회로라고 칭함)를 구성한다. 이 2개의 CMIS 인버터 회로는, 한쪽의 입력이 다른 쪽의 출력에 접속됨으로써 래치 회로를 구성한다. MN\_AC2의 소스·드레인의 다른 쪽은, CMIS 인버터 회로(MN\_DR1, MP\_LD1)의 입력(CMIS 인버터 회로(MN\_DR2, MP\_LD2)의 출력)에 접속된다. MN\_AC1의 소스·드레인의 다른 쪽은, CMIS 인버터 회로(MN\_DR2, MP\_LD2)의 입력(CMIS 인버터 회로(MN\_DR1, MP\_LD1)의 출력)에 접속된다.
- [0027] 도 5는, 도 4의 메모리 셀의 레이아웃 구성예를 도시하는 평면도이다. 도 5에서는, 워드선의 연신 방향(길이 방향)을 X축 방향, 비트선의 연신 방향(길이 방향)을 Y축 방향으로 하여, 그들과 교차하는 Z축 방향에 있어서 순차 형성되는 웰 내지 제1 메탈 배선층까지의 레이아웃과, 제1 메탈 배선층 내지 제3 메탈 배선층까지의 레이아웃이 분리되어 나타나 있다. 도 5에 도시하는 메모리 셀 MC에서는, 우선, n형 웰 NW가 배치되고, X축 방향에 있어서 NW의 양측에 인접하여 p형 웰 PW가 배치된다. 2개의 PW와 NW의 상부(Z축 방향)에는, 나란히 X축 방향으로 연신하는 2개의 게이트층 GT가 각각 게이트 절연막(도시하지 않음)을 개재하여 배치된다.
- [0028] 단, 이 2개의 게이트층 GT 각각은, 게이트 2회 절단 마스크 패턴 GTRE를 사용한 게이트 2회 절단 가공에 의해 2개의 GT로 분단되어 있다. 그 결과, PW의 한쪽과 NW의 상부를 연신하는 GT(GTa라고 함)와, GTa의 연장선 상에서 PW의 다른 쪽의 상부를 연신하는 GT(GTb라고 함)와, PW의 다른 쪽과 NW의 상부를 연신하는 GT(GTc라고 함)와, GTc의 연장선 상에서 PW의 한쪽의 상부를 연신하는 GT(GTd라고 함)가 형성된다. 또한, 게이트 2회 절단 가공이란, 예를 들어 불연속점을 통하여 일직선으로 연신하는 2개의 선상 패턴을 형성함에 있어서, 일단, 마스크 가공에 의해 1개의 선상 패턴을 형성한 후, 당해 선상 패턴의 일부를 GTRE를 사용하여 절단함으로써 2개의 선상 패턴으로 분리하는 기술이다. 이에 의해, 2개의 선상 패턴을 1회의 마스크 가공으로 개별적으로 형성하는 경우와 비교하여, 선상 패턴의 가공 정밀도를 높일 수 있어, 미세화에 유익해진다.
- [0029] PW의 한쪽 상부에 있어서의 GTa의 부분에는 전술한 드라이버용 NMIS 트랜지스터 MN\_DR1이 형성되고, NW의 상부에 있어서의 GTa의 부분에는 전술한 부하용 PMIS 트랜지스터 MP\_LD1이 형성된다. 또한, GTb의 부분에는, 전술한 액세스용 NMIS 트랜지스터 MN\_AC2가 형성된다. 마찬가지로, PW의 다른 쪽의 상부에 있어서의 GTc의 부분에는 드라이버용 NMIS 트랜지스터 MN\_DR2가 형성되고, NW의 상부에 있어서의 GTc의 부분에는 부하용 PMIS 트랜지스터 MP\_LD2가 형성된다. 또한, GTd의 부분에는, 액세스용 NMIS 트랜지스터 MN\_AC1이 형성된다.
- [0030] PW의 한쪽에 있어서, MN\_DR1, MN\_AC1을 구성하는 각 게이트층 GT의 양측(Y축 방향)에는 n<sup>+</sup>형 반도체 영역(확산층) DF가 형성된다. 이 중, MN\_DR1의 GT와 MN\_AC1의 GT 사이에 위치하는 DF는, MN\_DR1, MN\_AC1에서 공유화되고, 그 상부에 배치된 콘택트층 CT를 개재하여 제1 메탈 배선층 M1에 접속된다. 마찬가지로, PW의 다른 쪽에 있어서, MN\_DR2, MN\_AC2를 구성하는 각 GT의 양측에는 n<sup>+</sup>형 반도체 영역(확산층) DF가 형성된다. 이 중, MN\_DR2의 GT와 MN\_AC2의 GT 사이에 위치하는 DF는, MN\_DR2, MN\_AC2에서 공유화되고, 그 상부에 배치된 CT를 개재하여 M1에 접속된다.
- [0031] NW에 있어서, MN\_LD1을 구성하는 게이트층 GT와 MN\_LD2를 구성하는 GT의 양측(Y축 방향)에는 p<sup>+</sup>형 반도체 영역(확산층) DF가 각각 형성된다. MN\_LD1에 있어서의 한쪽의 DF는, 전술한 MN\_DR1, MN\_AC1에서 공유화된 DF와, MN\_LD2, MN\_DR2의 공통 GT에 대하여, 콘택트층 CT 및/또는 제1 메탈 배선층 M1을 적절히 개재하여 접속된다. 마찬가지로, MN\_LD2에 있어서의 한쪽의 DF는, 전술한 MN\_DR2, MN\_AC2에서 공유화된 DF와, MN\_LD1, MN\_DR1의 공통 GT에 대하여, CT 및/또는 M1을 적절히 개재하여 접속된다. 또한, n형 확산층(또는 웰)은 예를 들어 실리콘(Si) 중에 인(P)이나 비소(As) 등의 불순물을 도입함으로써 형성되고, p형 확산층(또는 웰)은, 예를 들어 실리콘(Si) 중에 붕소(B) 등의 불순물을 도입함으로써 형성된다. 또한, n<sup>+</sup>형은 n형보다도 불순물 농도가 높고, p<sup>+</sup>형은 p형보다도 불순물 농도가 높다.
- [0032] MN\_LD1, MN\_LD2에 있어서의 다른 쪽의 반도체 영역(확산층) DF는, 각각, 그 상부에 배치된 콘택트층 CT를 개재하여 제1 메탈 배선층 M1에 접속된다. 당해 2개의 M1은, M1의 상부에 각각 배치된 제1 비아층 V1을 개재하여,

V1의 상부에 배치되고 Y축 방향으로 연신하는 제2 메탈 배선층 M2에 공통으로 접속된다. 당해 M2는, 전원 전압 VDD용 배선으로 된다. MN\_AC1에 있어서의 MN\_DR1과는 공유되지 않는 층의 DF는, 그 상부에 배치된 CT를 개재하여 M1에 접속되고, 또한 M1의 상부에 배치된 V1을 개재하여 Y축 방향으로 연신하는 M2에 접속된다. 당해 M2는, 비트선 BL용 배선으로 된다. 마찬가지로, MN\_AC2에 있어서의 MN\_DR2와는 공유되지 않는 층의 DF는, 그 상부에 배치된 CT를 개재하여 M1에 접속되고, 또한 M1의 상부에 배치된 V1을 개재하여 Y축 방향으로 연신하는 M2에 접속된다. 당해 M2는, 비트선 ZBL용 배선으로 된다.

[0033] 또한, 당해 메모리 셀 MC의 상부에는, 나란히 X축 방향으로 연신하는 3개의 제3 메탈 배선층 M3이 배치된다. 이 중, 한가운데의 M3은 워드선 WL용 배선으로 되고, 그 양측의 M3은 접지 전원 전압 VSS용 배선으로 된다. WL용 M3은, 2개의 p형 웰 PW 각각의 상부에 있어서, M3의 하부에 배치되는 제2 비아층 V2를 개재하여 제2 메탈 배선층 M2에 접속되고, 또한 M2의 하부에 배치되는 제1 비아층 V1을 개재하여 제1 메탈 배선층 M1에 접속된다. 이 2개의 M1의 한쪽은, 그 하부에 배치되는 콘택트층 CT를 개재하여 MN\_AC1의 게이트층 GT에 접속되고, 2개의 M1의 다른 쪽도, 마찬가지로, CT를 개재하여 MN\_AC2의 GT에 접속된다.

[0034] 또한, 워드선 WL용 제3 메탈 배선층 M3을 제외한 나머지 2개의 M3 중 한쪽은, PW의 한쪽의 상부에 있어서, M3의 하부에 배치되는 V2를 개재하여 M2에 접속되고, 또한 M2의 하부에 배치되는 V1을 개재하여 M1에 접속된다. 당해 M1은, 그 하부에 배치되는 CT를 개재하여 MN\_DR1에 있어서의 MN\_AC1과는 공유되지 않는 층의 DF에 접속된다. 마찬가지로, 나머지 2개의 M3 중 다른 쪽은, PW의 다른 쪽의 상부에 있어서, M3의 하부에 배치되는 V2를 개재하여 M2에 접속되고, 또한 M2의 하부에 배치되는 V1을 개재하여 M1에 접속된다. 당해 M1은, 그 하부에 배치되는 CT를 개재하여 MN\_DR2에 있어서의 MN\_AC2와는 공유되지 않는 층의 DF에 접속된다.

[0035] 도 6은, 도 5의 메모리 셀에 있어서, 그 A-A' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다. 도 6에서는, p형 반도체 기판 SUBp 상에 n형 웰 NW 및 2개의 p형 웰 PW가 배치된다. 2개의 PW는, X축 방향에 있어서 NW의 양측에 인접하여 배치된다. 반도체 기판의 주면에 있어서, 2개의 PW 내에는 각각 n<sup>+</sup>형 반도체 영역(확산층) N+(DF)가 형성되고, NW 내에는 p<sup>+</sup>형 반도체 영역(확산층) P+(DF)가 형성된다. 또한, 반도체 기판의 주면에 있어서, PW, NW 내에는 매립 절연막(소자 분리막) STI가 형성된다. 당해 STI는, XY 평면 상에 있어서, N+(DF), P+(DF) 각각을 둘러싸도록 형성된다.

[0036] 반도체 기판의 주면 상에는, 게이트 절연막 GOX를 개재하여 게이트층 GT가 형성된다. GOX는, 바람직하게는, 예를 들어 하프늄계 등을 대표로 이산화실리콘보다도 높은 유전율을 갖는 고유전율막으로 구성되고, GT는 금속막 등으로 구성된다. 단, 물론, 널리 알려져 있는 바와 같이, 이산화실리콘(SiO<sub>2</sub>) 등의 GOX나, 폴리실리콘, 금속막(질화티타늄(TIN) 등), 실리사이드막 등을 적절히 조합한 적층막을 포함하는 GT를 사용하는 것도 가능하다. GT 및 반도체 기판의 주면 상에는, 층간 절연막 ISL1이 형성되고, 그 일부에 있어서, 일단부가 GT에 접속되도록 콘택트층 CT가 형성된다. ISL1은, 예를 들어 TEOS(Tetra Ethyl Ortho Silicate)막이나 이산화실리콘 등으로 구성되고, CT는, 예를 들어 티타늄(TI), 질화티타늄, 텅스텐(W) 등을 조합한 적층막 등으로 구성된다. ISL1 상에는, CT의 타단부와 접속하도록 제1 메탈 배선층 M1이 형성된다. M1은, 예를 들어 구리(Cu) 등을 주체로 하여 구성된다. M1 및 ISL1 상에는, 층간 절연막 ISL2가 형성되고, 또한 그 상부에 제2 메탈 배선층 M2가 형성된다.

[0037] 도 7은, 도 3의 메모리 유닛에 있어서, 그 메모리 어레이의 일부의 개략적인 레이아웃 구성예를 도시하는 평면도이다. 도 7에는, 메모리 어레이 내에 있어서의 4×4비트분의 메모리 셀 MC의 레이아웃 구성예가 나타나 있다. 실제로는, X축 방향의 비트수(즉 비트선쌍의 개수) 및 Y축 방향의 비트수(즉 워드선의 개수)에 따라, 당해 4×4비트분의 레이아웃이 X축 방향 및 Y축 방향을 향하여 순차 연속적으로 배치된다. 도 7에 도시하는 바와 같이, 서로 인접하는 MC의 레이아웃은, 선대칭인 관계로 되어 있다. 예를 들어, X축 방향에 있어서 인접하는 2개의 MC의 레이아웃은 Y축을 기준으로 선대칭이며, Y축 방향에 있어서 인접하는 2개의 MC의 레이아웃은 X축을 기준으로 선대칭이다. 또한, 도 7에서는, 각 MC의 레이아웃으로서, 대표적으로 p형 웰 PW, n형 웰 NW, 게이트층 GT 및 게이트 2회 절단 마스크 패턴 GTRE가 나타나 있지만, 보다 상세하게는, 전술한 도 5의 레이아웃이 적용된다.

[0038] 《컬럼 제어 회로 블록의 상세》

[0039] 도 8은, 도 3의 메모리 유닛에 있어서, 그 컬럼 제어 회로 블록의 개략적인 구성예를 도시하는 회로도이다. 도 9는, 도 8의 컬럼 제어 회로 블록을 사용한 실제상의 구성예를 도시하는 모식도이다. 도 8에 나타내는 컬럼 제어 회로 블록 COLBK는, 컬럼 제어 회로 COLCTL, 열 선택 회로 YSEL, 비트선 프리차지 회로 BLPRE를 구비하고 있다. 또한, COLBK는, 기입계 회로로서, 입력 버퍼 회로 DIBF, 기입 앰프 회로 WAMP, 기입용 스위치 회로 WSW를

구비하고, 판독계 회로로서, 출력 버퍼 회로 DOBF, 판독용 스위치 회로 RSW, 센스 앰프 프리차지 회로 SAPRE, 센스 앰프 회로 SA를 구비하고 있다.

- [0040] 컬럼 제어 회로 COLCTL은, 전체 제어 회로 블록 CTLBK나 레플리카 회로 REP로부터의 제어 신호에 기초하여 COLBK 전체를 제어한다. CTLBK로부터의 제어 신호 중에는, 예를 들어 컬럼 선택 신호(열 선택 신호)나, 판독 동작과 기입 동작의 식별 신호 등이 포함되고, REP로부터의 제어 신호 중에는 센스 앰프 회로의 활성화 신호 등이 포함된다. 또한, 컬럼 선택 신호는, CTLBK가 외부로부터 입력된 어드레스 신호를 래치 회로 FF에서 래치하고, 그것을 어드레스 디코드 회로 ADRDEC에서 디코드함으로써 생성되고, 판독 동작과 기입 동작의 식별 신호는, CTLBK가 외부로부터 입력된 제어 신호를 해석함으로써 생성된다.
- [0041] 비트선 프리차지 회로 BLPRE는, 여기서는 3개의 PMIS 트랜지스터로 구성되고, 열 선택 회로 YSEL의 제어에 기초하여, 판독 동작이나 기입 동작의 전단계에서 미리 비트선쌍(BL, ZBL)을 전원 전압 VDD에 프리차지한다. DIBF는, 예를 들어 복수의 PMIS 트랜지스터 및 NMIS 트랜지스터의 조합으로 구성되고, 기입 동작 시에, 외부로부터의 데이터 입력 신호 Din을 도입하고, 기입 앰프 회로 WAMP에 출력한다. WAMP는, 예를 들어 복수의 PMIS 트랜지스터 및 NMIS 트랜지스터의 조합으로 구성되고, DIBF로부터 입력된 신호를 증폭하고, 그것을 상보의 데이터 신호로서 출력한다. 기입용 스위치 회로 WSW는, 여기서는 2개의 NMIS 트랜지스터로 구성되고, 열 선택 회로 YSEL의 제어에 기초하여, WAMP로부터 입력된 상보의 데이터 신호를 소정의 비트선쌍(BL, ZBL)에 전달한다. 도 8에서는, 간략화하여 1개의 WAMP에 대하여 1개의 WSW가 접속되어 있지만, 실제로는, 도 9에 도시하는 바와 같이, 1개의 WAMP에 대하여 복수(예를 들어 4개 등)의 WSW가 병렬로 접속되고, 그 중의 1개의 WSW가 YSEL을 통하여 선택된다.
- [0042] 도 9의 예에서는, 컬럼 제어 회로 블록 COLBK 내의 1 I/O분에 대응하는 컬럼 회로 COL[0]에 있어서, 데이터 입력 신호 Din[0]에 대응하는 1개의 WAMP의 출력이나, 4개의 WSW를 통하여 4개의 비트선쌍(BL[0], ZBL[0]) 내지 (BL[3], ZBL[3])에 각각 접속된다. 또한, COLBK 내의 다른 1 I/O분에 대응하는 컬럼 회로 COL[1]에 있어서도 마찬가지로, 일부 도시는 생략하지만, 데이터 입력 신호 Din[1]에 대응하는 1개의 WAMP의 출력이나, 4개의 WSW를 통하여 4개의 비트선쌍(BL[4], ZBL[4]) 내지 (BL[7], ZBL[7])에 각각 접속된다. YSEL은, 기입 동작 시에, COL[0], COL[1] 중에서 각각 1개씩 WSW를 선택한다.
- [0043] 그 결과, COL[0]에 대응하는 4개의 비트선쌍 중 1개(예를 들어 (BL[0], ZBL[0]))에 Din[0]의 정보가 전송되고, 당해 1개의 비트선쌍과 별도로 선택된 워드선 WL과의 교점에 위치하는 메모리 셀 MC에 Din[0]의 정보가 기입된다. 또한, 이것과 병행하여, COL[1]에 대응하는 4개의 비트선쌍 중 1개(예를 들어 (BL[4], ZBL[4]))에 Din[1]의 정보가 전송되고, 당해 1개의 비트선쌍과 당해 선택된 WL의 교점에 위치하는 MC에 Din[1]의 정보가 기입된다. 또한, 여기서는, 2 I/O분의 컬럼 회로 COL[0], COL[1]을 나타냈지만, 예를 들어 32 I/O를 구비하는 경우에는, 마찬가지로 하여, COL[0] 내지 COL[31]이 존재하게 된다. 또한, 여기서는, 1 I/O에 대하여 4개의 비트선쌍을 대응시켰지만, 물론, 8개, 16개 등의 비트선쌍을 대응시키는 것도 가능하다.
- [0044] 도 8에 있어서, 판독용 스위치 회로 RSW는, 여기서는 2개의 PMIS 트랜지스터로 구성되고, 판독 동작 시에, 열 선택 회로 YSEL의 제어에 기초하여 소정의 비트선쌍(BL, ZBL)을 센스 앰프 회로 SA의 상보 입력 노드에 접속한다. 여기서는, WSW의 경우와 마찬가지로, 간략화하여 1개의 SA에 대하여 1개의 RSW가 접속되어 있지만, 실제로는, 도 9에 도시하는 바와 같이, 1개의 SA에 대하여 복수(예를 들어 4개 등)의 RSW가 병렬로 접속되고, 그 중의 1개의 RSW가 YSEL을 통하여 선택된다. 도 9의 예에서는, 컬럼 회로 COL[0]에 있어서, 4개의 비트선쌍(BL[0], ZBL[0]) 내지 (BL[3], ZBL[3])이 각각 4개의 RSW를 통하여 1개의 SA에 접속되고, 당해 SA의 출력으로부터 데이터 출력 신호 Dout[0]가 얻어진다. 마찬가지로, 컬럼 회로 COL[1]에 있어서, 일부 도시는 생략하지만, 4개의 비트선쌍(BL[4], ZBL[4]) 내지 (BL[7], ZBL[7])이 각각 4개의 RSW를 통하여 1개의 SA에 접속되고, 당해 SA의 출력으로부터 데이터 출력 신호 Dout[1]가 얻어진다. 이 판독 동작 시에, YSEL은, COL[0], COL[1] 중에서 각각 1개씩 RSW를 선택한다.
- [0045] 도 8에 있어서, 센스 앰프 프리차지 회로 SAPRE는, 여기서는 3개의 PMIS 트랜지스터로 구성되고, RSW가 온으로 구동되는 전단계에서 미리 SA의 상보 입력 노드를 전원 전압 VDD에 프리차지한다. 센스 앰프 회로 SA는, 예를 들어 CMIS 크로스 커플링 앰프 회로로 구성되고, SA의 상보 입력 노드의 신호를 증폭한다. 이때에, SA의 활성화 타이밍은, 전술한 레플리카 회로 REP로부터의 제어 신호에 기초하여 정해진다. 출력 버퍼 회로 DOBF는, 예를 들어 복수의 PMIS 트랜지스터 및 NMIS 트랜지스터의 조합으로 구성되고, SA의 출력 신호를 데이터 출력 신호 Dout로서 외부에 출력한다. 그 결과, 도 9의 예에 있어서, COL[0]에 대응하는 4개의 비트선쌍 중 1개(예를 들어 (BL[0], ZBL[0]))와 별도 선택된 워드선 WL의 교점에 위치하는 메모리 셀 MC의 정보가, Dout[0]로서 판독된

다. 이것과 병행하여, COL[1]에 대응하는 4개의 비트선쌍 중 1개(예를 들어 (BL[4], ZBL[4]))와 당해 선택된 WL의 교점에 위치하는 MC의 정보가, Dout[1]로서 판독된다.

[0046] 또한, 도 8에 있어서, 열 선택 회로 YSEL은, 여기서는 복수의 논리 연산 회로로 구성되고, 컬럼 제어 회로 COLCTL로부터의 입력 신호에 기초하여, 전술한 바와 같은 WSW, RSW, BLPRE, SAPRE의 선택 및 제어를 행한다. 즉, COLCTL이 인식하고 있는 판독 동작과 기입 동작의 식별 정보에 기초하여 WSW나 RSW 중 어느 한쪽을 선택함과 함께, COLCTL이 인식하고 있는 열 선택 정보에 기초하여 전술한 복수의 WSW 또는 복수의 RSW 중에서 특정한 스위치를 온으로 구동한다. 또한, 이 WSW, RSW의 제어와 함께, BLPRE, SAPRE 내의 각 스위치(MIS 트랜지스터)의 온·오프도 적절히 제어한다.

[0047] 《컬럼 제어 회로 블록의 웰 배치·급전 구성(본 실시 형태 1의 주요한 특징)》

[0048] 도 10은, 도 8 및 도 9의 컬럼 제어 회로 블록에 있어서, 그 웰 배치 및 웰 급전에 관한 개략적인 레이아웃 구성예를 도시하는 평면도이다. 도 10에는, 도 9에 있어서의 컬럼 회로 COL[0], COL[1]과 그것에 접속되는 메모리 어레이 MARY의 일부에 관하여, 그 웰 및 웰 급전의 레이아웃 구성예가 나타나 있다. 도 10에서는, Y축 방향(도시하지 않은 비트선의 연신 방향)에 있어서, 순서대로, MARY와, WSW와, BLPRE, RSW와, YSEL과, SA(NMIS)와, COLCTL, WAMP, SA(PMIS)와, DIBF, DOBF에 수반하는 각 웰이 배치되어 있다.

[0049] 메모리 어레이 MARY에서는, 도 5 및 도 7에 도시하는 바와 같이, X축 방향(도시하지 않은 워드선의 연신 방향)에 있어서, p형 웰 PW와 n형 웰 NW가 교대로 반복하여 배치되어 있다. 기입용 스위치 회로 WSW에서는, 도 8에 도시한 바와 같은 각 NMIS 트랜지스터를 형성하기 위해서, X축 방향으로 연속하여 PW가 배치되어 있다. 비트선 프리차지 회로 BLPRE, 판독용 스위치 회로 RSW에서는, 도 8에 도시한 바와 같은 각 PMIS 트랜지스터를 형성하기 위해서, X축 방향으로 연속하여 NW가 배치되어 있다. 열 선택 회로 YSEL에서는, 도 8에 도시한 바와 같은 각종 논리 연산 회로(즉 CMIS형 회로)를 형성하기 위해서, X축 방향에 있어서 PW와 NW가 교대로 배치되어 있다.

[0050] 센스 앰프 회로 SA(NMIS)에서는, 도 8에서 설명한 CMIS 크로스 커플형 앰프 회로의 NMIS 트랜지스터를 형성하기 위해서, X축 방향으로 연속하여 PW가 배치되어 있다. 컬럼 제어 회로 COLCTL, 기입 앰프 회로 WAMP, 센스 앰프 회로 SA(PMIS)에서는, COLCTL, WAMP 각각을 구성하는 PMIS 트랜지스터 및 NMIS 트랜지스터를 형성하기 위해서, X축 방향에 있어서 PW와 NW가 교대로 배치되어 있다. 또한, 이 NW 내에는, SA(CMIS 크로스 커플형 앰프 회로)의 PMIS 트랜지스터가 형성된다. 입력 버퍼 회로 DIBF, 출력 버퍼 회로 DOBF에서는, 각각을 구성하는 PMIS 트랜지스터 및 NMIS 트랜지스터를 형성하기 위해서, X축 방향에 있어서, PW와 NW가 교대로 반복하여 배치되어 있다.

[0051] 이러한 웰 배치예에 있어서, 우선, MARY에서는, X축 방향에 있어서 교대로 배치되는 PW 및 NW의 각각에 따라, p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW) 및 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 X축 방향에 있어서 순차 나란히 배치된다. 각 PW 내에 배치되는 각 P+(DFW)에는, 접지 전원 전압 VSS가 공급되고, 이에 의해 당해 각 PW에 대한 급전이 행해진다. 또한, 각 NW 내에 배치되는 각 N+(DFW)에는, 전원 전압 VDD가 공급되고, 이에 의해 당해 각 NW에 대한 급전이 행해진다.

[0052] 한편, 전술한 WSW 내지 SA(PMIS)의 영역에서는, 서로 인접하는 컬럼 회로 COL[0], COL[1]의 경계 부분에 있어서, Y축 방향으로 연신하는 급전 영역 WPA1이 설치된다. WPA1은, 각각 Y축 방향을 긴 변으로 하여 가늘고 긴 대략 직사각형 형상을 갖는 2개의 P+(DFW)와 1개의 N+(DFW)로 구성된다. 당해 2개의 P+(DFW) 중 한쪽은 WSW의 영역에 있어서의 PW 내에 배치되고, 다른 쪽은 YSEL 내지 SA(PMIS)의 영역에 있어서의 PW 내에 배치된다. 당해 1개의 N+(DFW)는 BLPRE, RSW의 영역에 있어서의 NW 내에 배치된다. 당해 2개의 P+(DFW)에는 VSS가 공급되고, 당해 1개의 N+(DFW)에는 VDD가 공급되고, 이에 의해 각각 대응하는 PW 및 NW에 대하여 급전이 행해진다. 이와 같이, 각 컬럼 회로의 경계 부분에 급전 영역 WPA1을 배치함으로써, 전술한 바와 같이, 메모리 컴파일러 등을 사용하여 컬럼 회로를 I/O수에 따른 수만큼 반복하여 배치할 때에, WPA1을 그 양측의 컬럼 회로에서 공유화할 수 있기 때문에, 면적 효율을 향상시키는 것이 가능해진다.

[0053] 여기서, 도 10의 웰 배치예에서는, 또한 Y축 방향에 있어서, DIBF, DOBF의 영역의 양측에, 각각 X축 방향으로 연신하는 급전 영역 WPA<sub>n</sub>, WPA<sub>p</sub>가 구비되어 있다. 이 WPA<sub>n</sub>, WPA<sub>p</sub>가 본 실시 형태 1의 주요한 특징의 하나로 되어 있다. WPA<sub>n</sub>은, DIBF, DOBF의 영역과 SA(PMIS) 등의 영역 사이에 배치되고, COL[0], COL[1]을 중단하는 형태로 X축 방향을 향하여 연속적으로 연신하는 n형 웰 NW와, 당해 NW 내에 형성되는 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)를 구비하고 있다. 당해 NW는, 전술한 SA(PMIS) 등의 영역 내의 NW와, DIBF, DOBF의 영역 내의 NW에 각각 연결된다. 당해 N+(DFW)에는 VDD가 공급되고, 이에 의해 SA(PMIS) 등의 영역 내의 NW와, DIBF,

DOBF의 영역 내의 NW에 대하여 급전이 행해진다. 또한, 도 10의 예에서는, 전술한 WPA<sub>n</sub>으로부터 SA(PMIS)용 NW를 향한 급전을 더욱 강화하기 위해서, 당해 SA(PMIS)용 NW 내에 VDD가 공급되는 N+(DFW)가 별도로 형성되어 있다.

[0054] 한편, WPA<sub>n</sub>는, Y축 방향에 있어서 DIBF, DOBF의 영역을 사이에 두고 WPA<sub>n</sub>과 대향하는 위치에 배치되고, COL[0] 중에서 X축 방향을 향하여 연신하는 p형 웰 PW와, 당해 PW 내에 형성되는 p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW)와, COL[1] 중에서 X축 방향을 향하여 연신하는 PW와, 당해 PW 내에 형성되는 P+(DFW)를 구비하고 있다. COL[0]에 대응하는 WPA<sub>n</sub> 내의 PW는, COL[0]에 대응하는 DIBF, DOBF의 영역 내의 PW에 연결되고, COL[1]에 대응하는 WPA<sub>n</sub> 내의 PW는, COL[1]에 대응하는 DIBF, DOBF의 영역 내의 PW에 연결된다. WPA<sub>n</sub> 내의 각 P+(DFW)에는 VSS가 공급되고, 이에 의해 DIBF, DOBF의 영역 내의 각 PW에 대하여 급전이 행해진다.

[0055] 도 11은, 도 10의 레이아웃에 있어서, 그 B-B' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다. 도 11에서는, 도 10의 메모리 어레이 MARY에 관한 급전 부분의 디바이스 구조예가 나타나고, 도 10에 도시한 웰 및 그 급전 부분 외에, 그 상부(Z축 방향)의 디바이스 구조도 아울러 나타나 있다. 도 11에서는, p형 반도체 기관 SUB<sub>p</sub> 상에서, X축 방향을 따라서 p형 웰 PW와 n형 웰 NW가 교대로 연속하여 배치된다. 반도체 기관의 주면에 있어서, 각 PW 내에는 각각 p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW)가 형성되고, 각 NW 내에는 각각 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 형성된다. 또한, 반도체 기관의 주면에 있어서, PW, NW 내에는 매립 절연막(소자 분리막) STI가 형성된다. 당해 STI는, XY 평면 상에서, N+(DFW), P+(DFW) 각각을 둘러싸도록 형성된다.

[0056] 반도체 기관의 주면 상에는, 층간 절연막 ISL1이 퇴적되고, ISL1 내에는 복수의 콘택층 CT가 형성된다. 복수의 CT의 일부는, 일단부가 전술한 각 PW 내의 P+(DFW)에 각각 접속되고, 복수의 CT의 다른 일부는, 일단부가 전술한 각 NW 내의 N+(DFW)에 각각 접속된다. ISL1 상에는, 제1 메탈 배선층 M1이 형성되고, 당해 ISL1, M1 상에는 층간 절연막 ISL2가 퇴적된다. ISL2 상에는, 제2 메탈 배선층 M2가 형성되고, 당해 ISL2, M2 상에는 층간 절연막 ISL3이 퇴적된다. ISL3 상에는, 제3 메탈 배선층 M3이 형성된다. 또한, ISL2 내에는 M1과 M2를 접속하기 위한 제1 비아층 V1이 형성되고, ISL3 내에는 M2와 M3을 접속하기 위한 제2 비아층 V2가 형성된다.

[0057] 여기서, 전술한 각 PW 내의 P+(DFW)에 일단부가 접속된 각 CT는, 타단부가 M1, V1, M2, V2를 순서대로 개재하여 M3에 접속되어 있다. 당해 M3은, 여기서는 X축 방향으로 연신하는 1개의 배선으로 되어 있고, 당해 M3에 대하여 전술한 각 PW 내의 P+(DFW)가 공통으로 접속된다. 당해 M3에는 접지 전원 전압 VSS가 공급된다. 한편, 전술한 각 NW 내의 N+(DFW)에 일단부가 접속된 각 CT는, 타단부가 M1, V1을 순서대로 개재하여 M2에 접속되어 있다. 당해 M2는, 여기서는 나란히 Y축 방향으로 연신하는 복수의 배선으로 되어 있다. 단, 당해 복수의 M2는, 도시하지 않은 영역에서 공통으로 접속된다. 당해 M2에는 전원 전압 VDD가 공급된다.

[0058] 도 12는, 도 10의 레이아웃에 있어서, 그 C-C' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다. 도 12에서는, 도 10의 COLCTL, WAMP, SA(PMIS)의 영역에 관한 급전 부분의 디바이스 구조예가 나타나고, 도 10에 도시한 웰 및 그 급전 부분 외에, 그 상부(Z축 방향)의 디바이스 구조도 아울러 나타나 있다. 도 12의 디바이스 구조예는, 전술한 도 11의 디바이스 구조예와 비교하여 교대로 배치되는 각 웰의 수가 상이하고, 이것을 제외한 기본적인 구조는 도 11의 경우와 마찬가지로이다.

[0059] 《웰 급전 방식의 상세(본 실시 형태 1의 주요한 특징 및 효과의 상세)》

[0060] 도 13은, 본 발명의 실시 형태 1의 반도체 장치에 있어서, 그 웰 배치 및 웰 급전 방식의 기본 개념을 도시하는 평면도이다. 도 13은, 도 10에 있어서의 DIBF, DOBF의 영역 주위를 추출한 것이며, p형 웰 PW가 제1 부분 AR1과 제2 부분 ARP2를 구비하는 것이나, n형 웰 NW가 제1 부분 AR1과 제2 부분 ARN2를 구비하는 것이 특징으로 되어 있다. 도 13의 레이아웃 구성은, 개략적으로는, AR1에 있어서, X축 방향을 따라서 PW와 NW가 교대로 복수개 인접하여 배치되고, 당해 AR1을 Y축 방향에서 끼우는 한쪽 측에 당해 복수의 PW에 대한 공통의 급전 영역(제2 부분 ARP2)이 배치되고, 다른 쪽 측에 당해 복수의 NW에 대한 공통의 급전 영역(제2 부분 ARN2)이 배치되는 것으로 되어 있다.

[0061] AR1에서는, X축 방향을 따라서, PW의 제1 A부분 ARP1a, NW의 제1 A부분 ARN1a, PW의 제1 B부분 ARP1b, NW의 제1 B부분 ARN1b가 순서대로 인접하여 배치된다. PW의 제2 부분 ARP2는, X축 방향을 향하여 연신하는 가늘고 긴 띠 형상의 형상을 갖고, Y축 방향에 있어서 ARP1a, ARP1b에 연결함과 함께 ARN1a와 인접하여 배치된다. NW의 제2 부분 ARN2는, X축 방향을 향하여 연신하는 가늘고 긴 띠 형상의 형상을 갖고, Y축 방향에 있어서 ARN1a, ARP1b, ARN1b를 사이에 두고 ARP2와 대향하는 측에서 ARN1a, ARN1b에 연결함과 함께 ARP1b에 인접하여

배치된다.

[0062] 여기서, PW의 제2 부분 ARP2 내에는,  $p^+$ 형 반도체 영역(급전용 확산층) P+(DFW)가 형성된다. P+(DFW)는, ARP1a, ARP1b에 대하여 충분히 급전을 행하기 위해서, X축 방향의 크기 X1이 Y축 방향의 크기 Y1보다도 큰 대략 직사각형 형상의 형상을 구비하고 있다. 바꿔 말하면, P+(DFW)는, ARP1a와 ARP1b 사이에 끼워진 ARN1a에 대하여 Y축 방향에서 대향하는 구간을 포함하고 있다. 마찬가지로, NW의 제2 부분 ARN2 내에는,  $n^+$ 형 반도체 영역(급전용 확산층) N+(DFW)가 형성된다. N+(DFW)는, ARN1a, ARN1b에 대하여 충분히 급전을 행하기 위해서, X축 방향의 크기가 Y축 방향의 크기보다도 큰 대략 직사각형 형상의 형상을 구비하고 있다. 바꿔 말하면, N+(DFW)는, ARN1a와 ARN1b 사이에 끼워진 ARP1b에 대하여 Y축 방향에서 대향하는 구간을 포함하고 있다.

[0063] 또한, 제1 부분 AR1에 있어서는, X축 방향을 향하여 연신하는 복수의 게이트층 GT가 배치된다. 당해 복수의 GT는, ARP1a와 ARN1a의 경계 부분, ARN1a와 ARP1b의 경계 부분, ARP1b와 ARN1b의 경계 부분 중 적어도 어느 하나 1개를 넘게 배치된다. 또한, 도시는 생략하지만, Y축 방향에 있어서 당해 GT를 사이에 두는 양측에는 당해 GT를 MIS 트랜지스터의 게이트로 하는 소스·드레인 영역이 적절히 형성되어 있다. 당해 소스·드레인 영역은, PW(ARP1a, ARP1b) 내에서는  $n^+$ 형 반도체 영역(확산층)으로 되고, NW(ARN1a, ARN1b) 내에서는  $p^+$ 형 반도체 영역(확산층)으로 된다.

[0064] 또한, 도 13에서는, 도 10 등에서도 설명한 바와 같이, X축 방향을 따라서 복수의 컬럼 회로 COL[0], COL[1]가 순서대로 나란히 배치되고, 각 컬럼 회로가, 전술한 PW의 제1 부분(ARP1a, ARP1b) 및 제2 부분 ARP2와, NW의 제1 부분(ARN1a, ARN1b) 및 제2 부분 ARN2를 구비한 구성으로 되어 있다. 여기서는, 이 컬럼 회로의 반복 배치에 수반하여, NW의 제2 부분 ARN2가 X축 방향에 있어서 각 컬럼 회로에서 연속되는 구성으로 되어 있다. 한편, ARN2 내의 급전용 확산층 N+(DFW)에 대해서는, 여기서는 각 컬럼 회로에서 불연속인 구성으로 되어 있지만, 물론, 연속하는 구성으로 하는 것도 가능하다.

[0065] 또한, 도 13에서는, 제1 부분 AR1에 포함되는 PW(ARP1a, ARP1b) 및 NW(ARN1a, ARN1b) 각각이, 나란히 Y축 방향으로 일직선상으로 연신하는 양변을 갖고 있지만, 당해 양변은 반드시 일직선상일 필요는 없고, 예를 들어 Y축 방향을 향하여 계단 형상으로 연신하는 형상이어도 된다. 즉, 예를 들어 PW의 ARP1a 내에 복수의 NMIS 트랜지스터를 Y축 방향으로 순차 형성하는 경우로 그 각 NMIS 트랜지스터의 트랜지스터 크기가 상이한 경우에는, 이 크기의 차이에 따라, PW의 X축 방향의 크기(즉 게이트 폭)를 Y축 방향의 위치에 의존하여 적절히 바꿈으로써 면적 효율을 높일 수 있는 경우가 있다. 또한, 각 컬럼 회로에 있어서, 급전용 확산층 P+(DFW), N+(DFW)는, 여기서는 연속적인 1개의 선상 패턴으로 실현되지만, 경우에 따라서는, 당해 1개의 선상 패턴을 X축 방향의 어느 하나의 개소에서 적절히 분할함으로써 복수개의 선상 패턴으로 실현하는 것도 가능하다. 단, P+(DFW), N+(DFW)의 면적은, 가능한 한 큰 쪽이 바람직하기 때문에, 1개의 선상 패턴으로 실현하는 쪽이 바람직하다.

[0066] 이러한 웰 배치 및 웰 급전 방식을 사용함으로써, 예를 들어 하기 (1) 내지 (3)과 같은 효과가 얻어진다. 도 14의 (a), 도 15의 (a), 도 16의 (a)는, 각각 도 13의 웰 배치 및 웰 급전 방식의 효과의 일례를 도시하는 설명도이며, 도 14의 (b), 도 15의 (b), 도 16의 (b)는 각각 도 14의 (a), 도 15의 (a), 도 16의 (a)의 비교예를 도시하는 설명도이다.

[0067] (1) 어느 단위 레이아웃을 X축 방향으로 반복하여 배치할 때에 당해 단위 레이아웃에 있어서의 웰의 개수의 제약이 없어지기 때문에, 레이아웃의 자유도가 향상하고, 결과적으로 반도체 장치의 소면적화가 도모된다. 즉, 예를 들어 도 14의 (b)에 도시하는 바와 같이, 1 I/O분을 단위 레이아웃으로 해서 X축 방향으로 반복하여 배치할 때에, 이 각 I/O의 경계 부분에 급전용 확산층(여기서는 P+(DFW))을 형성하는 방식을 사용하면, 당해 단위 레이아웃 내의 웰의 개수가 홀수개일 필요성이 발생한다. 즉, 단위 레이아웃 내에서, X축 방향에 있어서  $p$ 형 웰 PW와  $n$ 형 웰 NW가 교대로 배치되는 것으로 해서, 그 양단이 모두 PW 또는 모두 NW일 필요성이 발생한다. 따라서, 도 13과 같은 방식을 사용하면, 도 14의 (a)에 도시하는 바와 같이, 단위 레이아웃 내의 웰의 개수가 홀수개이든 짝수이든, X축 방향으로의 반복 배치를 문제없이 사용하는 것이 가능해진다.

[0068] (2) 각 웰 내에 있어서, 내부에 형성되는 각 트랜지스터의 트랜지스터 크기를 넓은 범위로부터 선택할 수 있고(즉 레이아웃의 자유도가 향상하고), 결과적으로 반도체 장치의 소면적화가 도모된다. 즉, 예를 들어 도 15의 (b)에 나타내는 비교예에서는, X축 방향에 있어서 교대로 배치되는 PW 및 NW에 대하여 Y축 방향으로 연신하는 급전용 확산층 P+(DFW) 및 N+(DFW)가 형성되어 있다. PW, NW 내에는, 적절히 MIS 트랜지스터가 형성되고, 당해 MIS 트랜지스터의 게이트층 GT는, 예를 들어 도 5에 도시한 SRAM 메모리 셀에 있어서의 게이트층의 연신 방향에 맞춰서 X축 방향으로 연신시키는 것이 바람직하다. PW 내에는 GT의 양측에 NMIS 트랜지스터의 소스·드레인이

되는  $n^+$ 형 반도체 영역(확산층) N+(DF)가 형성되고, NW 내에는 GT의 양측에 PMIS 트랜지스터의 소스·드레인이 되는  $p^+$ 형 반도체 영역(확산층) P+(DF)가 형성된다.

[0069] 여기서, 각 PMIS 트랜지스터 및 각 NMIS 트랜지스터의 크기는, 게이트 폭에 따라 조정되고, 이 게이트 폭은, 각 N+(DF), P+(DF)의 X축 방향의 크기에 해당한다. 그렇게 하면, 도 15의 (b)와 같이, Y축 방향으로 연신하는 급전용 확산층 P+(DFW), N+(DFW)를 형성하면, 이것이 장해로 되어, 각 N+(DF), P+(DF)의 X축 방향의 크기를 확장하는 것이 곤란해진다. 특히, 도 10 및 도 13에 도시한 바와 같은 컬럼 회로 COL[0], COL[1]에서는, 각 컬럼 회로의 X축 방향의 최대 크기가 메모리 어레이 MARY 내의 SRAM 메모리 셀의 X축 방향의 크기(도 10의 예에서는 SRAM 메모리 셀의 4개분의 크기)로 제약된다. 이 경우, 단순히 PW, NW 자체의 X축 방향의 크기를 확장함으로써 트랜지스터 크기를 확보하는 것은 곤란해진다. 그래서, 도 13과 같은 방식을 사용하면, 도 15의 (a)에 도시하는 바와 같이, 전술한 바와 같은 장해(Y축 방향의 급전용 확산층)가 없어지기 때문에, PW, NW 내의 각 N+(DF), P+(DF)를 X축 방향으로 충분히 확장하는 것이 가능해진다.

[0070] (3) 급전용 확산층 자체의 면적을 충분히 확보할 수 있기 때문에, 예를 들어 래치업 등에 대한 내성이 향상하여, 반도체 장치의 신뢰성을 향상시키는 것이 가능해진다. 즉, 전술한 (1) 및 (2)에서 설명한 문제를 해결하기 위해서, 예를 들어 도 16의 (b)에 도시하는 바와 같은 방식을 사용하는 것이 생각된다. 도 16의 (b)의 비교예에서는, 각 PW마다, Y축 방향의 한쪽의 단부에 있어서, X축 방향으로 연신하는 급전용 확산층 P+(DFW)가 배치되고, 각 NW마다, Y축 방향의 다른 쪽의 단부에 있어서, X축 방향으로 연신하는 급전용 확산층 N+(DFW)가 배치된다. 그러나, 이 경우, 급전용 확산층의 면적(또는 면적 비율(=급전용 확산층의 면적/웰 면적))이 작아진다. 그래서, 도 13과 같은 방식을 사용하면, 도 16의 (a)에 도시하는 바와 같이, 급전용 확산층의 면적을 도 16의 (b)의 경우와 비교하여 크게 하는 것이 가능해진다.

[0071] 이상, 본 실시 형태 1의 반도체 장치를 사용함으로써 대표적으로는, 자유도가 높은 레이아웃을 구비한 반도체 장치를 실현 가능해진다. 그 결과, 반도체 장치의 소면적화가 도모된다.

[0072] (실시 형태 2)

[0073] 《웰 급전 방식의 상세(변형예 1)》

[0074] 도 17은, 본 발명의 실시 형태 2에 따른 반도체 장치에 있어서, 그 웰 배치 및 웰 급전 방식의 개략적인 구성예를 도시하는 평면도이다. 도 17에 도시하는 반도체 장치는, 도 10에 있어서의 COLCTL, WAMP, SA(PMIS)의 영역으로부터 DIBF, DOBF의 영역까지를 추출한 것이다. 도 17에서는, 실시 형태 1에서 설명한 바와 같은 X축 방향으로 연신하는 급전 영역이 그 Y축 방향의 양측에 위치하는 웰에 대하여 급전을 행하는 점과, X축 방향으로 연신하는 급전 영역의 Y축 방향에 있어서의 양측에 더미 게이트층을 구비한 점과, X축 방향으로 연신하는 급전 영역에 대하여 다시 Y축 방향으로 연신하는 급전 영역을 조합한 점이 특징으로 되어 있다.

[0075] 도 17에 있어서,  $n$ 형 웰 NW는, X축 방향으로 연신하는 가늘고 긴 띠 형상의 형상을 갖는 제4 부분 ARN4와, Y축 방향에서 ARN4를 사이에 두는 한쪽 측에 배치되고 ARN4와의 연결 부분을 갖는 제3A 부분 ARN3a 및 제3B 부분 ARN3b와, Y축 방향에서 ARN4를 사이에 두는 다른 쪽 측에 배치되고 ARN4와의 연결 부분을 갖는 제3C 부분 ARN3c를 구비한다. ARN3a, ARN3b는, X축 방향에 있어서  $p$ 형 웰 PW를 사이에 두고 배치되고, 당해 PW는 Y축 방향에 있어서 ARN4와 인접하여 배치된다. 또한, X축 방향에 있어서 ARN3c의 양측에는 모두 PW가 배치되고, 당해 PW는 Y축 방향에 있어서 ARN4와 인접하여 배치된다.

[0076] 도 17에서는, ARN4와 ARN3c의 연결 부분의 길이 W1은, ARN4와 ARN3a의 연결 부분의 길이 W2와 상이하고, ARN4와 ARN3b의 연결 부분의 길이 W3과도 상이하다. 또한, 각 컬럼 회로(예를 들어 COL[0]) 내에 있어서, Y축 방향에서 ARN4를 사이에 두는 한쪽 측에 배치되는 NW의 부분의 수와 다른 쪽 측에 배치되는 NW의 부분의 수는 상이하다(도 17의 예에서는 1개의 부분과 2개의 부분). ARN4 내에는,  $n^+$ 형 반도체 영역(급전용 확산층) N+(DFW)가 배치되고, ARN3a, ARN3b, ARN3c에는, 당해 N+(DFW) 및 NW를 통하여 급전이 행해진다. 이와 같이, X축 방향으로 연신하는 급전 영역(ARN4)으로부터 그 Y축 방향의 양측에 설치된 웰에 대하여 급전을 행함으로써, 이 양측의 웰에서 급전 영역을 공용화할 수 있기 때문에, 면적 효율을 높이는 것이 가능해진다. 또한, ARN4는, 도 17과 같이, 특히 Y축 방향으로 진행되는 과정에서 웰의 폭(X축 방향의 크기)이 상이한 개소나 웰의 수가 상이한 개소에 배치하는 것이 유익해진다. 이에 의해, 레이아웃의 자유도의 향상(즉 웰 폭이나 웰수를 유연하게 변경할 수 있음)이나 면적 효율의 향상을 실현하는 것이 가능해진다.

[0077] 또한, 도 17에서는, 도 13에서도 설명한 바와 같이, PW의 NW의 경계 부분을 넘어 나란히 X축 방향으로 연신하는

복수의 게이트층 GT와 당해 GT의 소스·드레인 영역으로 되는 확산층(PW 내에서는  $n^+$ 형 반도체 영역(확산층) N+(DF), NW 내에서는  $p^+$ 형 반도체 영역(확산층) P+(DF))이 배치된다. 여기서, ARN4의 Y축 방향에서의 양측에 있어서, ARN4와 GT 사이에는, GT와 나란히 X축 방향으로 연신하는 더미 게이트층 GT\_DMY가 형성된다. GT\_DMY는, GT와 달리 MIS 트랜지스터의 게이트로서 기능하지 않는다. 구체적으로는, 당해 GT\_DMY는, 그 ARN4 측에 소스·드레인 영역으로 되는 확산층을 구비하지 않는다. 도 17과 같이, ARN4를 설치하면, 이 ARN4 부근에 있어서 GT의 패턴 밀도가 변화하고, 이에 따라 제조 편차가 증대할 우려가 있지만, 이렇게 GT\_DMY를 형성하면, 패턴 밀도를 어느 정도 균일하게 유지할 수 있고, 제조 프로세스의 가공 정밀도를 충분히 유지하는 것이 가능해진다.

[0078] 또한, 도 17에서는, 각 컬럼 회로 COL[0], COL[1]의 경계 부분에 있어서의 PW 내에 Y축 방향으로 연신하는  $p^+$ 형 반도체 영역(급전용 확산층) P+(DFW)가 배치되고, 또한 각 컬럼 회로에 있어서의 NW의 제3C 부분(ARN3c) 내에 Y축 방향으로 연신하는  $n^+$ 형 반도체 영역(급전용 확산층) N+(DFW)가 배치된다. 당해 P+(DFW), N+(DFW) 각각은, Y축 방향의 크기가 X축 방향의 크기보다도 큰 대략 직사각형 형상의 형상을 구비하고 있다. 이와 같이, X축 방향으로 연신하는 급전 영역과 Y축 방향으로 연신하는 급전 영역을 조합하여 사용함으로써 각 웰에 대하여 보다 효율적으로, 또는 충분히 급전을 행할 수 있는 경우가 있다.

[0079] 예를 들어, Y축 방향으로 연신하는 급전 영역을 사용하지 않고, 모두 X축 방향으로 연신하는 급전 영역만으로 구성된 경우, 예를 들어 다음과 같은 점이 염려된다. 우선, X축 방향으로 연신하는 급전 영역을 사용하면, Y축 방향의 웰 크기가 약간 증대할 우려가 있다. 따라서, 예를 들어 반도체 장치에 있어서 Y축 방향의 크기에 제약이 있는 경우에는, X축 방향 외에, Y축 방향으로 연신하는 급전 영역을 적절히 사용하는 것이 유익해진다. 이어서, X축 방향으로 연신하는 급전 영역을 사용하면, 예를 들어 당해 급전 영역의 급전 대상으로 되는 웰에 있어서의 Y축 방향의 크기가 큰 경우에, 당해 웰 내에 당해 급전 영역으로부터의 거리가 멀어지는 부분이 발생할 수 있기 때문에, 급전 능력이 부족할 우려가 있다. 이러한 경우에도, X축 방향 외에, Y축 방향으로 연신하는 급전 영역을 적절히 사용하는 것이 유익해진다. 또한, 이들 외에, 도 14에서 설명한 바와 같이, 어떤 반복 단위 내의 웰의 개수가 홀수개인 경우에는, Y축 방향으로 연신하는 급전 영역에서도 레이아웃의 자유도(면적 효율)를 충분히 확보할 수 있는 경우가 있다. 이러한 경우에도, Y축 방향으로 연신하는 급전 영역을 적절히 사용하는 것이 유익해진다.

[0080] 도 17의 예에 있어서, ARN3c 내의 N+(DFW)는, 예를 들어 SA(PMIS)에 대한 급전 능력을 의해 높이기 위하여 설치되어 있다. 또한, COL[0], COL[1]의 경계 부분에 있어서의 P+(DFW)는, 특히 WAMP 내의 NMIS 트랜지스터에 대하여 충분한 급전을 행함과 함께, 아울러 어느 정도 충분한 면적 효율도 실현할 수 있기 때문에 설치되어 있다. 즉, WAMP 등의 영역에서는, 각 컬럼 회로 내의 웰의 수가 도 14에서 설명한 바와 같이 홀수개이기 때문에 각 컬럼 회로의 경계 부분에 급전 영역을 배치할 수 있고, 이에 의해 그 양측의 컬럼 회로에서 당해 급전 영역을 공유화할 수 있기 때문에, 면적 효율도 충분히 확보할 수 있다.

[0081] 《본 실시 형태 2의 반도체 장치의 상세한 디바이스 구조》

[0082] 도 18은, 도 17의 반도체 장치에 있어서, 그 일부의 영역의 보다 상세한 구성예를 도시하는 평면도이다. 도 19의 (a)는, 도 18에 있어서의 E-E' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이며, 도 19의 (b)는, 도 18에 있어서의 F-F' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다. 도 20의 (a)는, 도 18에 있어서의 G-G' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이며, 도 20의 (b)는, 도 18에 있어서의 H-H' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다.

[0083] 도 18에 나타내는 구성예는, 도 17에 있어서의 영역 AREA10을 추출함과 함께 보다 구체화한 것이다. 도 18에서는, X축 방향에 있어서 1개의 컬럼 회로 COL의 범위가 나타나 있고, 당해 컬럼 회로의 X축 방향에 있어서의 경계 부분에 각각 Y축 방향으로 연신하는  $p^+$ 형 반도체 영역(급전용 확산층) P+(DFW)[1],[2]가 배치된다. 이 2개의 P+(DFW)[1],[2] 사이에서는, X축 방향을 따라서 순서대로,  $n^+$ 형 반도체 영역(확산층) N+(DF)[1],  $p^+$ 형 반도체 영역(확산층) P+(DF)[1],  $n^+$ 형 반도체 영역(급전용 확산층) N+(DFW)[2],  $p^+$ 형 반도체 영역(확산층) P+(DF)[2],  $n^+$ 형 반도체 영역(확산층) N+(DF)[2]가 배치된다. N+(DFW)[2]는 Y축 방향으로 연신하는 형상을 갖는다. 또한, Y축 방향에 있어서, N+(DF)[1], P+(DF)[1], N+(DFW)[2], P+(DF)[2], N+(DF)[2]와 대향하도록, X축 방향으로 연신하는  $n^+$ 형 반도체 영역(급전용 확산층) N+(DFW)[1]가 배치된다.

- [0084] P+(DFW)[1], N+(DF)[1]는 p형 웰 PW 내에 형성되고, P+(DF)[1], N+(DFW)[2], P+(DF)[2], N+(DFW)[1]는 n형 웰 NW 내에 형성되고, P+(DFW)[2], N+(DF)[2]는 p형 웰 PW 내에 형성된다. 이에 따라 NW와 PW의 접합 부분이 존재하지만, 실제로는, 각 확산층 및 급전용 확산층은, XY 평면 상에 있어서 매립 절연막(소자 분리막) STI로부터 노출되는 형태로 형성되기 때문에, 당해 NW와 PW의 접합 부분은, 당해 STI의 하부(Z축 방향)에 존재하게 된다.
- [0085] N+(DF)[1]와 P+(DF)[1]의 상부(Z축 방향)에는, PW와 NW의 접합 부분을 넘는 형태로 나란히 X축 방향으로 연신하는 복수개(여기서는 2개)의 게이트층 GT가 배치된다. N+(DF)[1], P+(DF)[1]는, 당해 GT의 소스·드레인 영역으로 된다. 또한, 당해 GT와 N+(DFW)[1] 사이에는, 당해 GT와 나란히 X축 방향으로 연신하는 더미 게이트층 GT\_DMY가 배치된다. GT\_DMY는 MIS 트랜지스터의 게이트로서는 기능하지 않고, GT\_DMY의 N+(DFW)[1] 측에는 소스·드레인 영역으로 되는 확산층이 존재하지 않는다. 마찬가지로, N+(DF)[2]와 P+(DF)[2]의 상부(Z축 방향)에는, PW와 NW의 접합 부분을 넘는 형태로 나란히 X축 방향으로 연신하는 복수개(여기서는 2개)의 GT가 배치된다. N+(DF)[2], P+(DF)[2]는, 당해 GT의 소스·드레인 영역으로 된다. 또한, 당해 GT와 N+(DFW)[1] 사이에는, 당해 GT와 나란히 X축 방향으로 연신하고, MIS 트랜지스터로서 기능하지 않는 더미 게이트층 GT\_DMY가 배치된다. 또한, 각 확산층 및 급전용 확산층, 및 각 게이트층의 상부(Z축 방향)에는, 적절히 콘택트층 CT가 배치된다.
- [0086] 도 19의 (a)에는, 도 18에 있어서의 급전용 확산층 N+(DFW)[1]의 영역을 X축 방향의 라인으로 절단한 단면 구성예가 나타나 있다. 도 19의 (a)에서는, 도 18에 나타난 각 구성에 외에, 또한 그 상부(Z축 방향)의 디바이스 구조예도 아울러 나타나 있다. 도 19의 (a)에서는, p형 반도체 기판 SUBp 상에 n형 웰 NW가 배치된다. 반도체 기판의 주면에 있어서, NW 내에는 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 형성된다. 또한, 반도체 기판의 주면에 있어서, NW 내에는 매립 절연막(소자 분리막) STI가 형성되고, 당해 STI는, XY 평면 상에서, N+(DFW)를 둘러싸도록 형성된다. 반도체 기판의 주면 상에는, 층간 절연막 ISL1이 퇴적되고, ISL1 내에는 복수의 콘택트층 CT가 형성된다. 복수의 CT는, 일단부가 전술한 NW 내의 N+(DFW)에 각각 접속된다. ISL1 상에는, 제1 메탈 배선층 M1이 형성되고, 당해 M1 상에는 층간 절연막 ISL2가 퇴적된다. 복수의 CT의 타단부는, 이 M1에 각각 접속된다. 당해 M1에는 전원 전압 VDD가 공급된다.
- [0087] 도 19의 (b)에는, 도 18에 있어서의 각 확산층 및 Y축 방향으로 연신하는 급전용 확산층의 영역을 X축 방향의 라인으로 절단한 단면 구성예가 나타나 있다. 도 19의 (b)에서는, 도 18에 나타난 각 구성에 외에, 또한 그 상부(Z축 방향)의 디바이스 구조예도 아울러 나타나 있다. 도 19의 (b)에서는, p형 반도체 기판 SUBp 상에서, X축 방향을 따라서 순서대로 p형 웰 PW와 n형 웰 NW와 p형 웰 PW가 배치된다. 반도체 기판의 주면에 있어서, 각 PW 내에는 각각 p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW)가 형성되고, NW 내에는 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 형성된다. 또한, 반도체 기판의 주면에 있어서, PW, NW 내에는 매립 절연막(소자 분리막) STI가 형성된다. 당해 STI는, XY 평면 상에서, P+(DFW), N+(DFW) 각각을 둘러싸도록 형성된다.
- [0088] 반도체 기판의 주면에 있어서, PW의 한쪽과 NW의 상부에는, 게이트 절연막 GOX를 통하여 게이트층 GT가 형성된다. PW의 한쪽과 NW의 영역 내에 있어서 당해 GOX의 하부에는 MIS 트랜지스터의 채널 영역이 각각 존재하고 있고, 당해 채널 영역 이외의 부분에는 STI가 배치되어 있다. 마찬가지로, PW의 다른 쪽과 NW의 상부에는, GOX를 통하여 GT가 형성된다. PW의 다른 쪽과 NW의 영역 내에 있어서 당해 GOX의 하부에는 MIS 트랜지스터의 채널 영역이 각각 존재하고 있고, 당해 채널 영역 이외의 부분에는 STI가 배치되어 있다.
- [0089] 또한, 반도체 기판의 주면 상에는, 층간 절연막 ISL1이 퇴적되고, ISL1 내에는 복수(여기서는 5개)의 콘택트층 CT가 형성된다. 이 중, 2개의 CT는, 일단부가 전술한 각 PW 내의 P+(DFW)에 각각 접속되고, 1개의 CT는, 일단부가 전술한 NW 내의 N+(DFW)에 접속되고, 나머지 2개의 CT는, 일단부가 전술한 2개의 GT에 각각 접속된다. ISL1 상에는, 복수의 제1 메탈 배선층 M1이 형성되고, 당해 ISL1, M1 상에는 층간 절연막 ISL2가 퇴적된다. 5개의 CT의 타단부는, 당해 복수의 M1에 적절히 접속된다. 이 중, CT를 개재하여 P+(DFW)에 접속되는 M1에는 접지 전원 전압 VSS가 공급되고, CT를 개재하여 N+(DFW)에 접속되는 M1에는 전원 전압 VDD가 공급된다.
- [0090] 도 20의 (a)에는, 도 18에 있어서의 n<sup>+</sup>형 소스·드레인 확산층 및 X축 방향으로 연신하는 n<sup>+</sup>형 급전용 확산층의 영역을 Y축 방향의 라인으로 절단한 단면 구성예가 나타나 있다. 도 20의 (a)에서는, 도 18에 나타난 각 구성에 외에, 또한 그 상부(Z축 방향)의 디바이스 구조예도 아울러 나타나 있다. 도 20의 (a)에서는, p형 반도체 기판 SUBp 상에서, Y축 방향을 따라서 순서대로 n형 웰 NW와 p형 웰 PW가 배치된다. 반도체 기판의 주면에 있어서, PW 내에는 소스·드레인 영역으로 되는 복수의 n<sup>+</sup>형 반도체 영역(확산층) N+(DF)가 형성되고, NW 내에는 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 형성된다. 또한, 반도체 기판의 주면에 있어서, PW, NW 내에는 매

립 절연막(소자 분리막) STI가 형성된다. 당해 STI는, XY 평면 상에서, N+(DFW)를 둘러싸도록 형성된다.

[0091] 반도체 기관의 주면에 있어서, PW 상에는 게이트 절연막 GOX를 통하여 복수(여기서는 2개)의 게이트층 GT가 형성된다. 이 각 GT를 사이에 두고 양측에 위치하는 PW 내에 전술한 소스·드레인 영역으로 되는 복수의 N+(DF)가 배치된다. 또한, 반도체 기관의 주면에 있어서의 NW와 PW의 경계 부근에는 전술한 N+(DFW)를 둘러싸는 STI가 배치되고, 이 STI의 상부에 있어서, 전술한 2개의 GT와 배열되도록 GOX를 통하여 더미 게이트층 GT<sub>DMY</sub>가 배치된다. 이와 같이, GT<sub>DMY</sub>는, STI 상에 배치되어 있고, MIS 트랜지스터의 게이트로서 기능하지 않는다.

[0092] 반도체 기관의 주면 상에는, 층간 절연막 ISL1이 퇴적되고, ISL1 내에는 복수의 콘택트층 CT가 형성된다. 복수의 CT의 일부는, 일단부가 전술한 PW 내의 소스·드레인 영역으로 되는 복수의 N+(DF)에 각각 접속되고, 다른 일부는, 일단부가 NW 내의 N+(DFW)에 접속된다. ISL1 상에는, 복수의 제1 메탈 배선층 M1이 형성되고, 당해 ISL1, M1 상에는 층간 절연막 ISL2가 퇴적된다. 복수의 CT의 타단부는, 당해 복수의 M1에 적절히 접속된다. 이 중, CT를 개재하여 N+(DFW)에 접속되는 M1에는 전원 전압 VDD가 공급된다.

[0093] 도 20의 (b)에는, 도 18에 있어서의 p<sup>+</sup>형 소스·드레인 확산층 및 X축 방향으로 연신하는 n<sup>+</sup>형 급전용 확산층의 영역을 Y축 방향의 라인으로 절단한 단면 구성예가 나타나 있다. 도 20의 (b)에서는, 도 18에 나타난 각 구성예 외에, 또한 그 상부(Z축 방향)의 디바이스 구조에도 아울러 나타나 있다. 도 20의 (b)에서는, p형 반도체 기관 SUBp 상에 n형 웰 NW가 배치된다. 반도체 기관의 주면에 있어서, NW 내에는 소스·드레인 영역으로 되는 복수의 p<sup>+</sup>형 반도체 영역(확산층) P+(DF)와 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 형성된다. 또한, 반도체 기관의 주면에 있어서, NW 내에는 매립 절연막(소자 분리막) STI가 형성된다. 당해 STI는, XY 평면 상에서, N+(DFW)를 둘러싸도록 형성된다.

[0094] 반도체 기관의 주면에 있어서, NW 상에는 게이트 절연막 GOX를 통하여 복수(여기서는 2개)의 게이트층 GT가 형성된다. 이 각 GT를 사이에 두고 양측에 위치하는 NW 내에 전술한 소스·드레인 영역으로 되는 복수의 P+(DF)가 배치된다. 또한, 반도체 기관의 주면에 있어서, N+(DFW)와 이것에 가장 가까운 P+(DF) 사이에는 전술한 N+(DFW)를 둘러싸는 STI가 배치되고, 이 STI의 상부에 있어서, 전술한 2개의 GT와 배열되도록 GOX를 통하여 더미 게이트층 GT<sub>DMY</sub>가 배치된다. 이와 같이, GT<sub>DMY</sub>는, STI 상에 배치되어 있고, MIS 트랜지스터의 게이트로서 기능하지 않는다.

[0095] 반도체 기관의 주면 상에는, 층간 절연막 ISL1이 퇴적되고, ISL1 내에는 복수의 콘택트층 CT가 형성된다. 복수의 CT의 일부는, 일단부가 전술한 NW 내의 소스·드레인 영역으로 되는 복수의 P+(DF)에 각각 접속되고, 다른 일부는, 일단부가 NW 내의 N+(DFW)에 접속된다. ISL1 상에는, 복수의 제1 메탈 배선층 M1이 형성되고, 당해 ISL1, M1 상에는 층간 절연막 ISL2가 퇴적된다. 복수의 CT의 타단부는, 당해 복수의 M1에 적절히 접속된다. 이 중, CT를 개재하여 N+(DFW)에 접속되는 M1에는 전원 전압 VDD가 공급된다.

[0096] 이상, 본 실시 형태 2의 반도체 장치를 사용함으로써, 대표적으로는, 실시 형태 1의 경우와 마찬가지로, X축 방향으로 연신하는 급전 영역에 수반하여 자유도가 높은 레이아웃을 구비한 반도체 장치를 실현 가능해진다. 그 결과, 반도체 장치의 소면적화가 도모된다. 또한, 더미 게이트층을 사용함으로써 제조 편차를 저감할 수 있고, 또한 X축 방향 외에 Y축 방향으로 연신하는 급전 영역을 사용함으로써 급전 영역의 한층 더한 효율화를 도모할 수 있는 경우가 있다.

[0097] (실시 형태 3)

[0098] 《웰 급전 방식의 상세(변형예 2)》

[0099] 도 21의 (a)는, 본 발명의 실시 형태 3에 따른 반도체 장치에 있어서, 그 웰 배치 및 웰 급전 방식의 구성예를 도시하는 평면도이며, 도 21의 (b)는, 도 21의 (a)의 비교예를 도시하는 평면도이다. 도 21의 (a)에 나타내는 반도체 장치는, 도 13에서 설명한 바와 같은 웰 급전 방식에 대하여 게이트 2회 절단 마스크 패턴 GTRE를 조합한 점이 특징으로 되어 있다. 우선, 도 21의 (b)에 나타내는 비교예에서는, 도 15의 (a)의 경우와 마찬가지로, X축 방향에 있어서 PW 및 NW가 교대로 배치되고, 당해 PW, NW를 Y축 방향에서 끼우는 한쪽 측에, X축 방향으로 연신함과 함께 당해 NW에 연결하는 급전 영역이 배치되고, 다른 쪽 측에, X축 방향으로 연신함과 함께 당해 PW에 연결하는 급전 영역이 배치된다. 당해 NW용 급전 영역은, X축 방향으로 연신하는 NW와 그 내부에 형성된 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)를 구비하고, 당해 PW용 급전 영역은, X축 방향으로 연신하는 PW와 그 내부에 형성된 p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW)를 구비한다.

- [0100] 급전 영역 이외의 PW, NW 내에는, 적절히 MIS 트랜지스터가 형성된다. 당해 MIS 트랜지스터의 게이트층 GT는, 도 15의 (a)에서 설명한 바와 같이 X축 방향으로 연신한다. 또한, PW 내에는 GT의 양측에 NMIS 트랜지스터의 소스·드레인이 되는  $n^+$ 형 반도체 영역(확산층) N+(DF)가 형성되고, NW 내에는 GT의 양측에 PMIS 트랜지스터의 소스·드레인이 되는  $p^+$ 형 반도체 영역(확산층) P+(DF)가 형성된다. 여기서, 각 PMIS 트랜지스터 및 각 NMIS 트랜지스터의 크기는, 게이트 폭에 의해 조정되고, 이 게이트 폭은, 각 N+(DF), P+(DF)의 X축 방향의 크기에 해당한다.
- [0101] 도 15의 (a)에서 설명한 바와 같이, X축 방향으로 연신하는 급전 영역을 사용함으로써, 이 게이트 폭의 크기의 가변 범위가 증대하고, 레이아웃의 자유도를 높이는 것이 가능해진다. 단 실제로는, 도 18의 (b)에 도시하는 바와 같이, 통상의 제조 프로세스를 사용하면, 게이트층 GT의 단부가 라운딩 처리된 패턴으로 될 수 있기 때문에, 확산층(예를 들어 N+(DF))의 경계와 GT의 단부의 거리(WW2)를 어느 정도 확보할 필요가 있다. 이 경우, 그 분만큼 게이트 폭의 가변 범위가 감소하게 된다. 그래서, 도 18의 (a)에 도시하는 바와 같이, 게이트 2회 절단 마스크 패턴 GTRE를 사용하면, 확산층(예를 들어 N+(DF))의 경계와 GT의 단부의 거리(WW1)를 도 18의 (b)의 경우보다도 짧게 할 수 있기 때문에, 레이아웃의 자유도를 더욱 높이는 것이 가능해진다.
- [0102] 《본 실시 형태 3에 따른 반도체 장치의 제조 방법》
- [0103] 도 22는, 도 21의 (a)에 나타내는 반도체 장치의 제조 방법의 일례를 도시하는 설명도이며, 도 23은, 도 22에 이어지는 반도체 장치의 제조 방법의 일례를 도시하는 설명도이다. 도 22에 있어서, 스텝 S101에서는, 우선, 반도체 기판(도시하지 않음) 상에 p형 웰 PW 및 n형 웰 NW가 형성되고, 당해 PW의 일부의 영역(PW(노출 부분)) 및 당해 NW의 일부의 영역(NW(노출 부분))을 제외하고 매립 절연막(소자 분리막) STI가 형성된다. 계속해서, 스텝 S102에서는, 포토리소그래피 공정(마스크 가공) 등을 통하여, 나란히 X축 방향으로 연신하는 선상 패턴으로 되는 복수개(여기서는 2개)의 게이트층 GT가 형성된다. 또한, 실제로는, 당해 GT의 형성에 앞서, 당해 GT의 Z축 방향의 하부에 게이트 절연막(도시하지 않음)이 형성된다. 게이트 절연막은, 예를 들어 하프늄계 등의 고유전율막으로 구성되고, GT는 금속막(또는 복수가 금속을 포함하는 적층막) 등으로 형성된다.
- [0104] 계속해서, 스텝 S103에서는, 포토리소그래피 공정(마스크 가공)에 의해, GT의 일부를 노출시키는 레지스트막이 도포된다. 이때에, 전술한 바와 같은 게이트 2회 절단 마스크 패턴 GTRE가 사용된다. 계속해서, 도 23의 스텝 S104에 있어서, 건식 에칭장치 등을 사용하여 당해 레지스트막을 마스크로 하여 GT의 에칭이 행해지고, 그 후, 당해 레지스트막이 제거된다. 이 게이트 2회 절단 가공에 의해, 전술한 2개의 GT로부터 3개의 GT가 생성됨과 함께, 전술한 바와 같이, 각 GT와 그것에 대응하는 확산층(이 단계에서는 PW(노출 부분) 또는 NW(노출 부분))의 경계와의 거리를 단축하는 것이 가능해진다.
- [0105] 계속해서, 도 23의 스텝 S105에 있어서, 이온 주입 장치 등을 사용하여 당해 GT의 양 옆에 위치하는 PW(노출 부분)에 대하여 인(P)이나 비소(As) 등의 불순물이 주입되고, 또한 당해 GT의 양 옆에 위치하는 NW(노출 부분)에 대하여 붕소(B) 등의 불순물이 주입된다. 이에 의해, 당해 PW(노출 부분)는 소스·드레인의  $n^+$ 형 반도체 영역(확산층) N+(DF)가 되고, 당해 NW(노출 부분)은 소스·드레인의  $p^+$ 형 반도체 영역(확산층) P+(DF)로 된다. 또한, 이온 주입 장치 등을 사용하여, X축 방향으로 연신하는 NW(노출 부분)에 대하여 인(P)이나 비소(As) 등의 불순물이 주입되고, 또한 X축 방향으로 연신하는 PW(노출 부분)에 대하여 붕소(B) 등의 불순물이 주입된다. 이에 의해, 당해 NW(노출 부분)는  $n^+$ 형 반도체 영역(급전용 확산층) N+(DFW)가 되고, 당해 PW(노출 부분)는  $p^+$ 형 반도체 영역(급전용 확산층) P+(DFW)가 된다.
- [0106] 계속해서, 스텝 S106에 있어서, 플라즈마 CVD 장치 등을 사용하여 반도체 기판의 주변 상에 층간 절연막 ISL1이 퇴적되고, 그 후, 포토리소그래피 공정에 의해, N+(DF), P+(DF), N+(DFW), P+(DFW), GT의 소정의 개소를 향하여 콘택트 홀이 ISL1 내에 형성된다. 그리고, 당해 콘택트 홀에 대하여 예를 들어 티타늄(TI), 질화티타늄, 텅스텐(W) 등을 조합한 적층막 등을 포함하는 콘택트층 CT가 매립된다. 또한, 여기서는, 게이트 퍼스트법이라고 불리는 방법을 사용한 예로 설명을 행했지만, 게이트 라스트법이라고 불리는 방법을 사용하는 것도 가능하다.
- [0107] 게이트 라스트법을 사용한 경우에는, 일단, 더미의 폴리실리콘을 사용하여 게이트층, 소스·드레인 확산층(N+(DF), P+(DF)) 및 층간 절연막 ISL1의 두께 방향의 일부를 형성한 후, 당해 더미의 폴리실리콘을 제거하고, 이에 의해 ISL1의 일부 내에 뚫린 홈에 금속막으로 이루어지는 게이트층(메탈 게이트) GT가 매립된다. 또는, 이 메탈 게이트의 매립에 앞서 게이트 절연막의 매립도 행해진다. 즉, 도 23에서 설명한 스텝 S105의 수순(이 단계에서 메탈 게이트나 더불어 게이트 절연막이 형성됨)이나, 도 22에서 설명한 스텝 S102의 수순(이 단계에서

게이트 절연막의 형성이 불필요한 경우가 있음)이 약간 바뀌게 된다.

- [0108] 이상, 본 실시 형태 3의 반도체 장치를 사용함으로써, 대표적으로는, 실시 형태 1의 경우에 비하여, 더욱 자유도가 높은 레이아웃을 구비한 반도체 장치를 실현 가능해진다. 그 결과, 반도체 장치의 소면적화가 도모된다. 또한, 도 22 및 도 23에서 설명한 게이트 2회 절단 가공은, 도 5에서 설명한 SRAM 메모리 셀에 대한 게이트 2회 절단 가공과 동일한 공정에서 행하는 것이 가능하다.
- [0109] (실시 형태 4)
- [0110] 《반도체 장치 전체의 웰 배치 방식》
- [0111] 본 실시 형태 4에서는, 실시 형태 1 내지 3에서 설명한 바와 같은 각종 특징을 포함하는 반도체 장치의 전체적인 웰 배치 방식에 대하여 설명한다. 도 24의 (a)는 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 그 웰 배치 방식의 기본 개념의 일례를 도시하는 평면도이며, 도 24의 (b)는 도 24의 (a)의 비교예로 되는 웰 배치 방식을 도시하는 평면도이다. 도 24의 (a), 도 24의 (b)에서는, Y축 방향에 있어서 순서대로, 도 7에 도시한 바와 같은 메모리 어레이 MARY와, MARY 내의 복수의 비트선쌍에 대하여 신호의 송수신을 행하는 컬럼 제어 유닛 COLU(COLU')가 배치되어 있다.
- [0112] 전술한 바와 같이, 특히 최소 가공 치수가 28nm 이하인 제조 프로세스를 사용하는 경우, 충분한 가공 정밀도를 유지하기 위해서는 반도체 장치 전체에서 게이트층의 연신 방향을 동일한 방향으로 정렬시키는 것이 바람직하다. 이 경우, 비교예로 되는 도 24의 (b)에 도시하는 바와 같이, COLU'에 있어서, p형 웰 PW와 n형 웰 NW가 Y축 방향에 있어서 교대로 나란히 배치되고, PW와 NW의 경계 라인이 X축 방향으로 연신하는 가로 줄무늬 구조의 웰 배치 방식을 사용하면, 레이아웃의 자유도가 저하하고, 결과적으로 반도체 장치의 소면적화가 곤란해질 우려가 있다. 도 26의 (a) 내지 도 26의 (c)는 도 24의 (b)의 웰 배치 방식을 사용한 경우의 문제점의 일례를 도시하는 설명도이다.
- [0113] 도 26의 (a), 도 26의 (b)에는, 2단 접속된 CMIS형 인버터 회로 IV1, IV2의 각각 상이한 레이아웃 구성예가 나타나 있다. 도 26의 (a)에서는 제1 메탈 배선층 M1로 형성되는 전원 배선(VDD, VSS)이 Y축 방향으로 연신하고 있고, 도 26의 (b)에서는 M1로 형성되는 전원 배선(VDD, VSS)이 X축 방향으로 연신하고 있다. 여기서, CMIS형 인버터 회로의 단수를 더욱 증가시키는 경우를 상정한다. 도 26의 (a)의 레이아웃을 사용한 경우, 후단의 IV2의 출력 노드 OT(여기서는 M1)로부터의 신호를 다음 단계 전송시킬 때, X축 방향은 전원 배선(여기서는 VDD)에 의해 차단되고, Y축 방향도 이 전원 배선(VDD, VSS)과 각 MIS 트랜지스터의 소스 노드를 접속하는 배선(X축 방향으로 연신하는 배선(M1))에 의해 차단된다.
- [0114] 한편, 도 26의 (b)의 레이아웃을 사용한 경우에는, 후단의 IV2의 출력 노드 OT(여기서는 M1)로부터의 신호를 다음 단계 전송시킬 때, X축 방향은 특별히 장벽이 없지만, Y축 방향은, 도 26의 (c)에 도시하는 바와 같이 전원 배선(여기서는 VDD)에 의해 차단되게 된다. 특히, 컬럼 제어 유닛 COLU' 등에서는, MARY에 수반하여 X축 방향의 크기에 제약이 가해지기 때문에, X축 방향으로 전송시키는 것보다도 Y축 방향으로 전송시키는 쪽이 바람직하다. 따라서, 도 26의 (a), (b)와 같은 레이아웃을 사용한 경우에는, 전술한 바와 같이 CMIS형 인버터 회로의 단수를 증가시킬 때에 M1의 상층 배선(제2 메탈 배선층)을 사용할 필요가 있어, 레이아웃의 자유도가 저하하고, 결과적으로 반도체 장치의 소면적화가 곤란해질 우려가 있다.
- [0115] 그래서, 도 24의 (a)에 도시하는 바와 같은 웰 배치 방식을 사용하는 것이 유익해진다. 도 24의 (a)에서는, COLU에 있어서, p형 웰 PW와 n형 웰 NW가 X축 방향에 있어서 교대로 나란히 배치되고, PW와 NW의 경계 라인이 Y축 방향으로 연신하는 세로의 줄무늬 구조의 웰 배치 방식이 사용된다. 도 25의 (a), 도 25의 (b)는, 도 24의 (a)의 웰 배치 방식을 사용한 경우의 효과의 일례를 도시하는 설명도이다. 도 25의 (a)에는, 2단 접속된 CMIS형 인버터 회로 IV1, IV2의 레이아웃 구성예가 나타나고, 도 25의 (b)에는, 4단 접속된 CMIS형 인버터 회로 IV1 내지 IV4의 레이아웃 구성예가 나타난다.
- [0116] 도 25의 (a), 도 25의 (b)에서는, 제1 메탈 배선층 M1로 형성되는 전원 배선(VDD, VSS)이 Y축 방향으로 연신하고 있고, IV1 내지 IV4가, Y축 방향으로 순차 배치되어 있다. 이와 같이, 도 24의 (a)의 웰 배치 방식을 사용하면, CMIS형 인버터 회로의 단수를 증가시킬 때에 M1의 상층 배선(제2 메탈 배선층)을 사용할 필요가 없어, M1까지의 배선으로 실현하는 것이 가능해진다. 또한, 각 게이트층 GT를 NW와 PW의 경계를 넘는 형태로 배치하고, 이것을 PMIS 트랜지스터와 NMIS 트랜지스터의 공통 게이트로 함으로써, 도 26의 (a) 내지 도 26의 (c)와 같이, PMIS 트랜지스터와 NMIS 트랜지스터의 게이트층을 개별적으로 설치하는 경우와 비교하여 각 CMIS형 인버터 회로를 높은 면적 효율로 실현할 수 있다. 이들의 결과, 레이아웃의 자유도가 향상하고, 결과적으로 반도체 장치

의 소면적화가 실현 가능해진다.

[0117] 《컬럼 제어 회로 블록의 웰 배치 방식》

[0118] 도 27은, 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 도 8 및 도 9의 컬럼 제어 회로 블록에 있어서의 개략적인 웰 배치의 구성예를 도시하는 평면도이다. 도 27의 구성예는, 전술한 도 10의 구성예와 거의 마찬가지로, 주로 도 10의 구성예에 대하여 게이트층 GT의 배치 방식을 명시한 것으로 되어 있다. 또한, 도 27의 구성예에서는, 도 10의 구성예에 있어서의 일부의 급전 영역(Y축 방향으로 연신하는 급전 영역)의 기제가 생략되어 있다. 도 27에 도시하는 바와 같이, 컬럼 제어 회로 블록에서는, 전체로서 가능한 한, X축 방향으로 연신하는 게이트층 GT에 대하여 전술한 세로의 줄무늬 구조의 웰 배치가 사용되고 있다. 그리고, 이 세로의 줄무늬 구조의 웰 배치에 대하여 보다 레이아웃의 자유도를 향상시키기 위해서, 지금까지의 각 실시 형태에서 설명한 바와 같은 X축 방향으로 연신하는 급전 영역(도 27의 WPA<sub>n</sub>, WPA<sub>p</sub>)을 형성하는 것이 유익해진다.

[0119] 《워드선 구동 회로 블록의 웰 배치 및 웰 급전 방식》

[0120] 도 28의 (a)는, 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 도 3의 워드선 구동 회로 블록의 웰 배치 및 웰 급전에 관한 개략적인 레이아웃 구성예를 도시하는 평면도이며, 도 28의 (b)는 도 28의 (a)에 있어서의 I-I' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다. 도 28의 (a)에 나타내는 워드선 구동 회로 블록 WLDBK에서는, X축 방향을 따라서 순서대로 복수의 p형 웰 PW와 복수의 n형 웰 NW가 교대로 배치되어 있다. 각 웰 상에는, PW와 NW의 경계를 넘어 X축 방향으로 연신하는 게이트층 GT가 적절히 배치된다. 또한, 각 PW 내에는 Y축 방향으로 연신하는 p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW)가 배치되고, 각 NW 내에는 Y축 방향으로 연신하는 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 배치된다.

[0121] 도 28의 (b)에는, 도 28의 (a)에 나타낸 웰 및 그 급전 부분 외에, 그 상부(Z축 방향)의 디바이스 구조도 아울러 나타나 있다. 도 28의 (b)에서는, p형 반도체 기판 SUBp 상에서, X축 방향을 따라서 PW와 NW가 교대로 연속하여 배치된다. 반도체 기판의 주면에 있어서, 각 PW 내에는 각각 P+(DFW)가 형성되고, 각 NW 내에는 각각 N+(DFW)가 형성된다. 또한, 반도체 기판의 주면에 있어서, PW, NW 내에는 매립 절연막(소자 분리막) STI가 형성되고, 당해 STI는, XY 평면 상에서, N+(DFW), P+(DFW) 각각을 둘러싸도록 형성된다.

[0122] 반도체 기판의 주면 상에는, 층간 절연막 ISL1이 퇴적되고, ISL1 내에는 복수의 콘택트층 CT가 형성된다. 복수의 CT의 일부는, 일단부가 전술한 각 PW 내의 P+(DFW)에 각각 접속되고, 복수의 CT의 다른 일부는, 일단부가 전술한 각 NW 내의 N+(DFW)에 각각 접속된다. ISL1 상에는, 제1 메탈 배선층 M1이 형성되고, 당해 ISL1, M1 상에는 층간 절연막 ISL2가 퇴적된다. ISL2 상에는, 제2 메탈 배선층 M2가 형성되고, 당해 ISL2, M2 상에는 층간 절연막 ISL3이 퇴적된다. ISL3 상에는, 제3 메탈 배선층 M3이 형성된다. 또한, ISL2 내에는 M1과 M2를 접속하기 위한 제1 비아층 V1이 형성되고, ISL3 내에는 M2와 M3을 접속하기 위한 제2 비아층 V2가 형성된다.

[0123] 여기서, 전술한 각 PW 내의 P+(DFW)에 일단부가 접속된 각 CT는, 타단부가 M1, V1, M2, V2를 순서대로 개재하여 M3에 접속되어 있다. 당해 M3은, 여기서는 X축 방향으로 연신하는 1개의 배선으로 되어 있고, 당해 M3에 대하여 전술한 각 PW 내의 P+(DFW)가 공통으로 접속된다. 당해 M3에는 접지 전원 전압 VSS가 공급된다. 한편, 전술한 각 NW 내의 N+(DFW)에 일단부가 접속된 각 CT는, 타단부가 M1, V1을 순서대로 개재하여 M2에 접속되어 있다. 당해 M2는, 여기서는 나란히 Y축 방향으로 연신하는 복수의 배선으로 되어 있다. 단, 당해 복수의 M2는, 도시하지 않은 영역에 있어서 공통으로 접속된다. 당해 M2에는 전원 전압 VDD가 공급된다.

[0124] 《전체 제어 회로 블록의 웰 배치 및 급전 방식》

[0125] 도 29의 (a)는 본 발명의 실시 형태 4에 따른 반도체 장치에 있어서, 도 3의 전체 제어 회로 블록의 웰 배치 및 웰 급전에 관한 개략적인 레이아웃 구성예를 도시하는 평면도이며, 도 29의 (b)는 도 29의 (a)에 있어서의 J-J' 사이의 개략적인 디바이스 구조예를 도시하는 단면도이다. 도 29의 (a)에 나타내는 전체 제어 회로 블록 CTLBK도, 도 28의 (a)의 경우와 마찬가지로, X축 방향을 따라서 순서대로 복수의 p형 웰 PW와 복수의 n형 웰 NW가 교대로 배치되어 있다. 각 웰 상에는, PW와 NW의 경계를 넘어 X축 방향으로 연신하는 게이트층 GT가 적절히 배치된다. 또한, 각 PW 내에는 Y축 방향으로 연신하는 p<sup>+</sup>형 반도체 영역(급전용 확산층) P+(DFW)가 배치되고, 각 NW 내에는 Y축 방향으로 연신하는 n<sup>+</sup>형 반도체 영역(급전용 확산층) N+(DFW)가 배치된다. 도 29의 (b)에는, 도 29의 (a)에 나타낸 웰 및 그 급전 부분 외에, 그 상부(Z축 방향)의 디바이스 구조도 아울러 나타나 있다. 도 29의 (b)의 디바이스 구조예는, 전술한 도 28의 (b)의 디바이스 구조예와 비교하여 교대로 배치되는 각 웰의 수

가 상이하고, 이것을 제외한 기본적인 구조는 도 11의 경우와 마찬가지로이다.

- [0126] 이상과 같이, 워드선 구동 회로 블록 WLDBK 및 전체 제어 회로 블록 CTLBK에서는, 도 24의 (a)에서 설명한 바와 같은 세로의 줄무늬 구조의 웰 배치가 사용되고 있고, 이에 의해 효율적인 레이아웃을 실현하고 있다. 단, 당해 블록 내의 각 웰은, Y축 방향의 크기가 커질 수 있기 때문에, 여기서는, Y축 방향으로 연신하는 급전 영역(급전용 확산층)이 사용되고 있다.
- [0127] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양한 변경이 가능하다.
- [0128] 예를 들어, 지금까지의 각 실시 형태에서는, 메모리 유닛으로서 SRAM을 예로 들어 설명을 행했지만, 물론, DRAM(Dynamic Random Access Memory)을 대표로 하는 각종 휘발성 메모리나, 플래시 메모리를 대표로 하는 각종 불휘발성 메모리에 대해서도 마찬가지로 적용 가능하다. 또한, 여기서는, 메모리 유닛을 탑재한 SOC 등의 반도체 장치를 예로 들어 설명을 행했지만, 메모리 유닛 단체를 포함하는 반도체 기억 장치에 대해서도 마찬가지로 적용 가능하고, 경우에 따라서는 메모리 유닛을 구비하지 않는 로직계의 반도체 장치에 대해서도 적용 가능하다.
- [0129] <산업상 이용 가능성>
- [0130] 본 실시 형태에 의한 반도체 장치는, 특히 SRAM 등의 메모리 유닛을 구비한 SOC 등의 LSI에 적용하여 유익한 것이며, 이에 한정하지 않고, LSI 전반에 대하여 널리 적용 가능하다.

**부호의 설명**

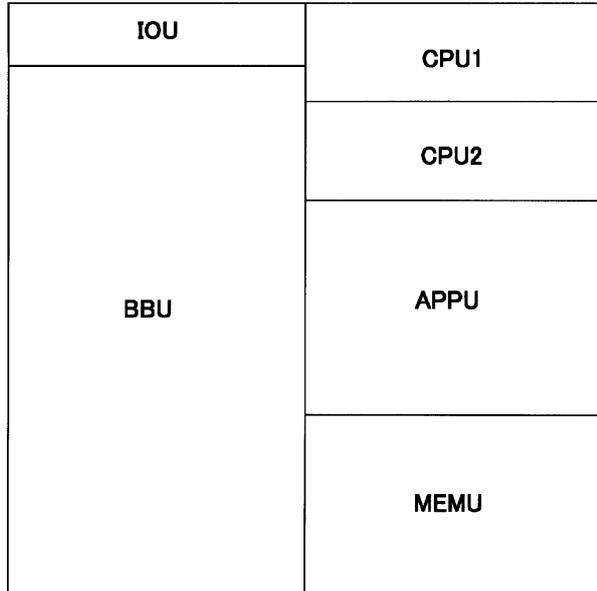
- [0131] ADRDEC : 어드레스 디코드 회로
- APPU : 어플리케이션 유닛
- AR, ARN, ARP 부분
- BBU : 기저 대역 유닛
- BL, ZBL : 비트선
- BLPRE : 비트선 프리차지 회로
- CCN : 캐쉬 컨트롤러
- COL : 램 회로
- COLBK : 컬럼 제어 회로 블록
- COLCTL : 컬럼 제어 회로
- COLU, COLU' : 컬럼 제어 유닛
- CPU : 프로세서 유닛
- CT : 콘택트층
- CTLBK : 전체 제어 회로 블록
- DF : 반도체 영역(확산층)
- DIBF : 입력 버퍼 회로
- DOBF : 출력 버퍼 회로
- Din : 데이터 입력 신호
- Dout : 데이터 출력 신호
- FF : 래치 회로
- GOX : 게이트 절연막

GT : 게이트층  
 GT\_DMY : 더미 게이트층  
 GTRE : 게이트 2회 절단 마스크 패턴  
 IOU : 입출력 유닛  
 ISL : 층간 절연막  
 IV CMIS형 : 인버터 회로  
 M1 : 제1 메탈 배선층  
 M2 : 제2 메탈 배선층  
 M3 : 제3 메탈 배선층  
 MARY : 메모리 어레이  
 MC : 메모리 셀  
 MEMU : 메모리 유닛  
 MN NMIS : 트랜지스터  
 MP PMIS : 트랜지스터  
 N+(DF) : n<sup>+</sup>형 반도체 영역(확산층)  
 N+(DFW) : n<sup>+</sup>형 반도체 영역(급전용 확산층)  
 NW : n형 웰  
 P+(DF) : p<sup>+</sup>형 반도체 영역(확산층)  
 P+(DFW) : p<sup>+</sup>형 반도체 영역(급전용 확산층)  
 PW : p형 웰  
 REP : 레플리카 회로  
 RSW : 관동용 스위치 회로  
 SA : 센스 앰프회로  
 SAPRE : 센스 앰프 프리차지 회로  
 STI : 매립 절연막(소자 분리막)  
 SUBp : 반도체 기판  
 V1 : 제1 비아층  
 V2 : 제2 비아층  
 VDD : 전원 전압  
 VSS : 접지 전원 전압  
 WAMP : 기입 앰프 회로  
 WL : 워드선  
 WLDBK : 워드선 구동 회로 블록  
 WPA : 급전 영역  
 WSW : 기입용 스위치 회로

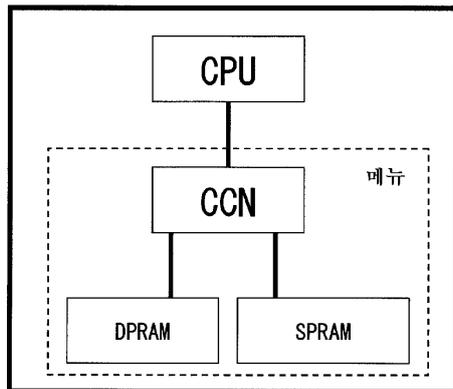
YSEL : 열 선택 회로

도면

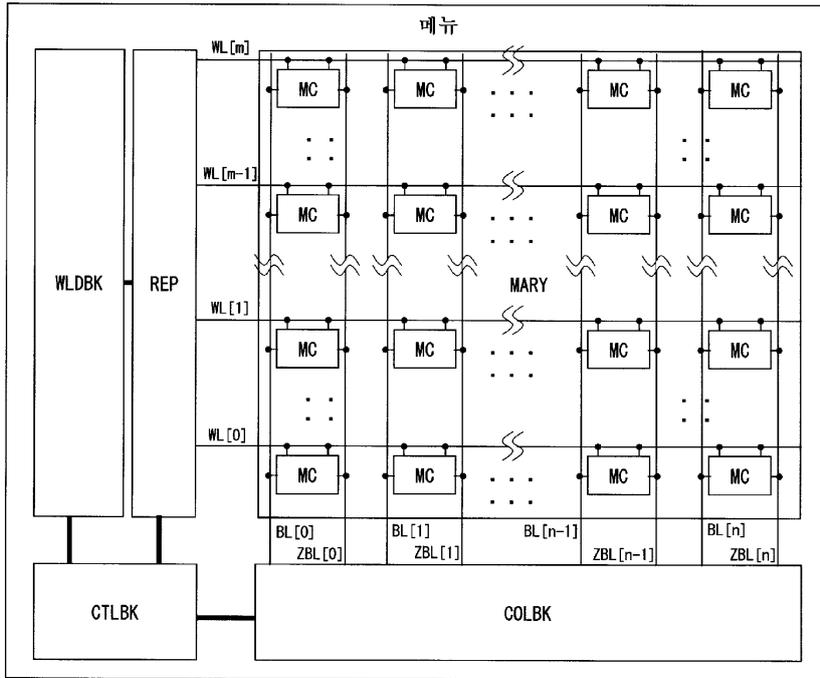
도면1



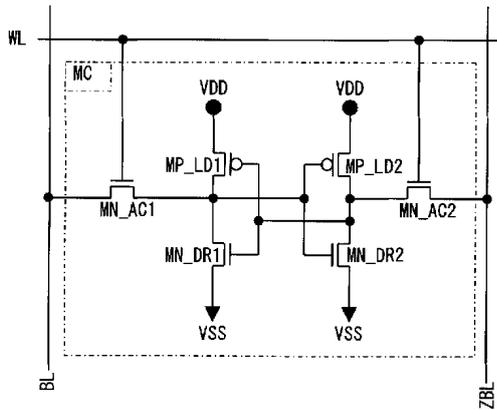
도면2



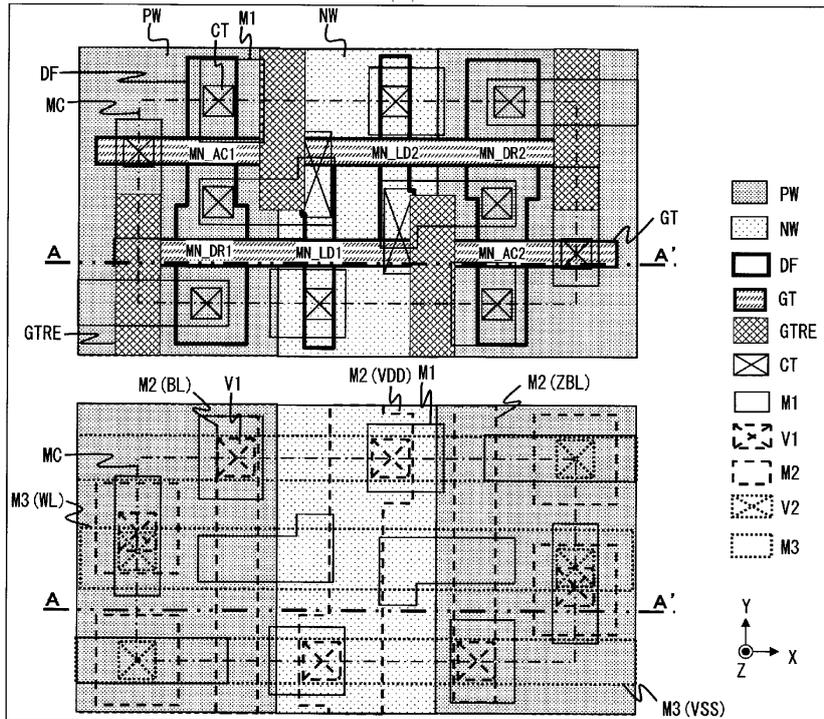
도면3



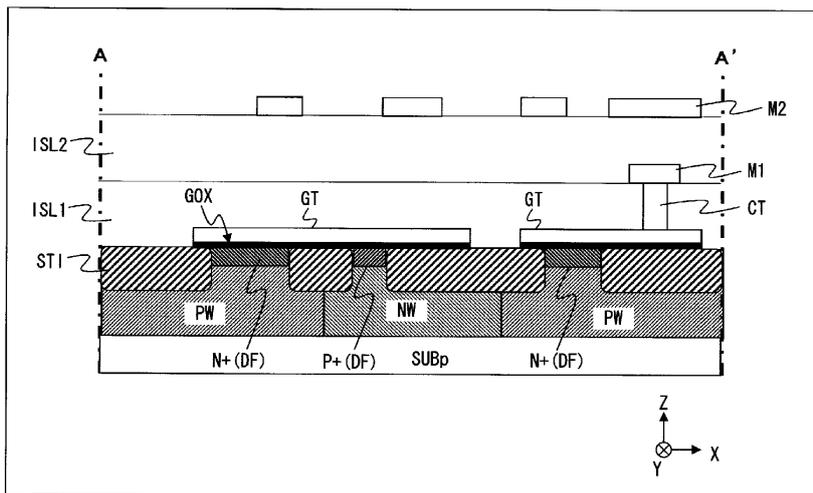
도면4



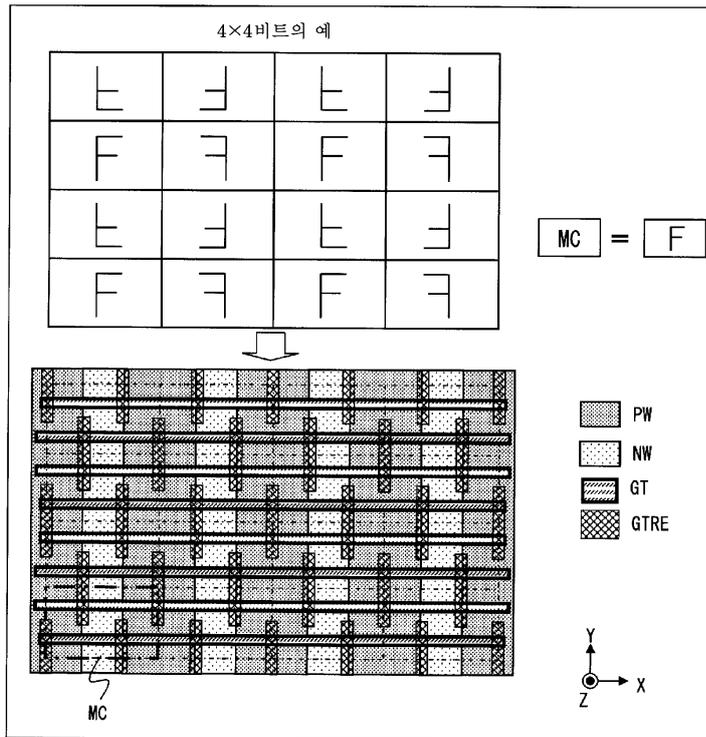
도면5



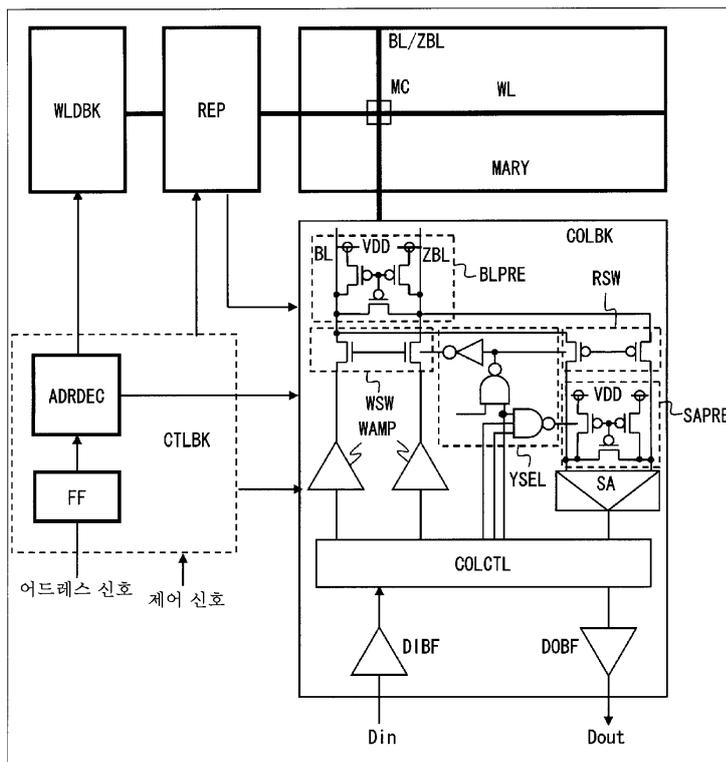
도면6



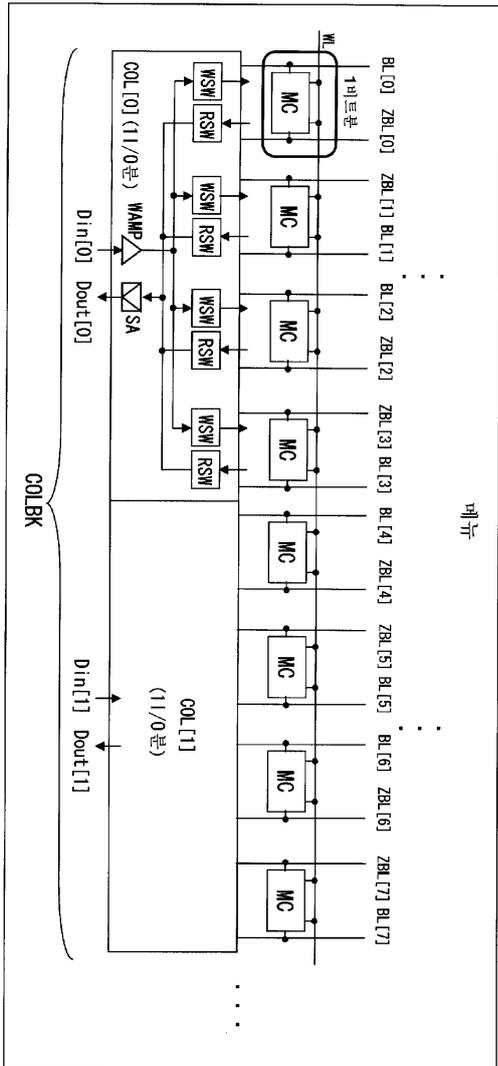
도면7



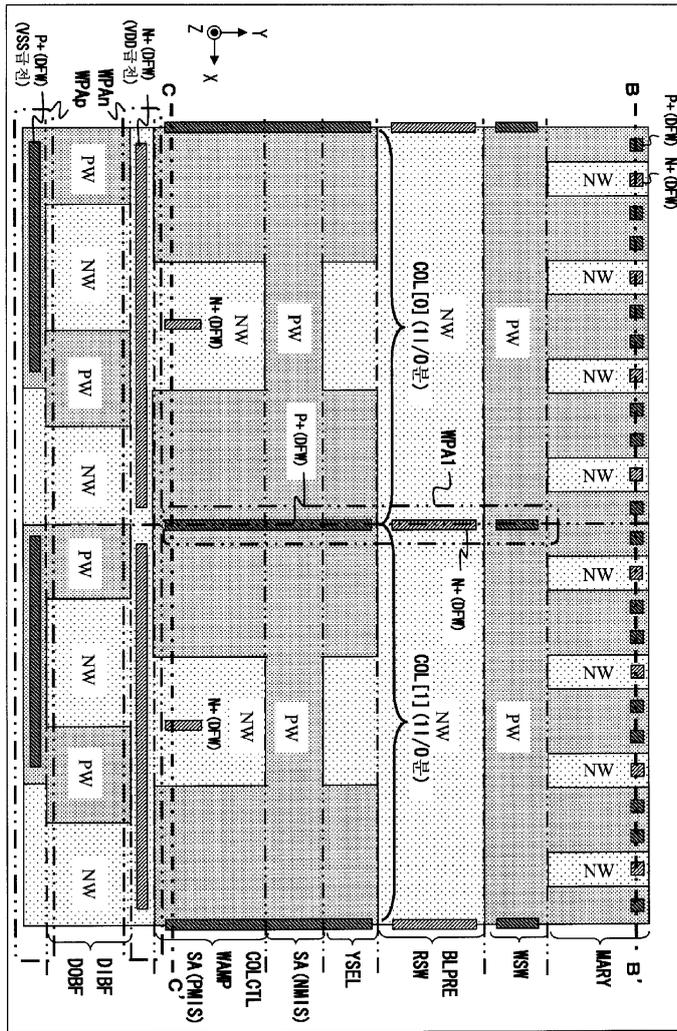
도면8



도면9

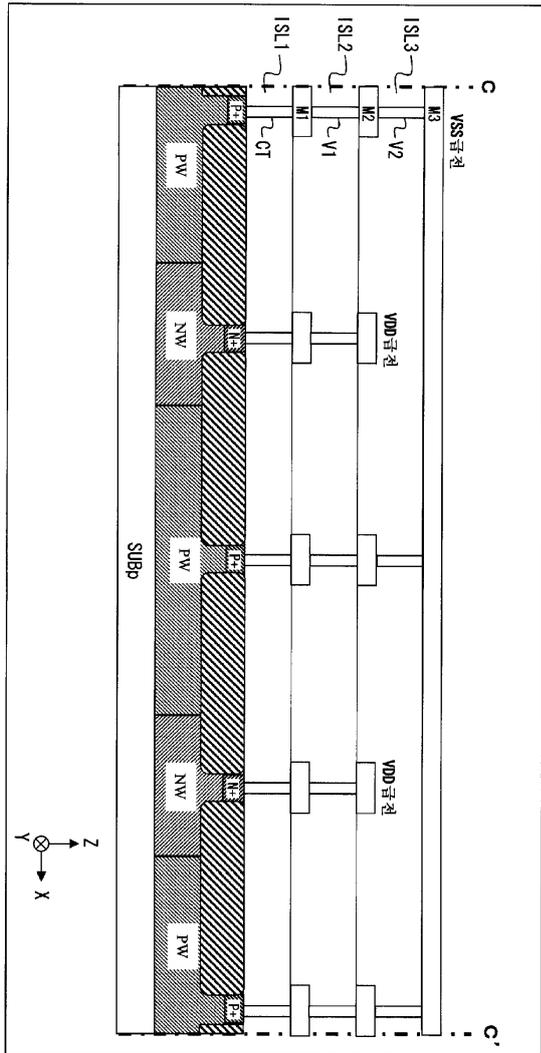


도면10

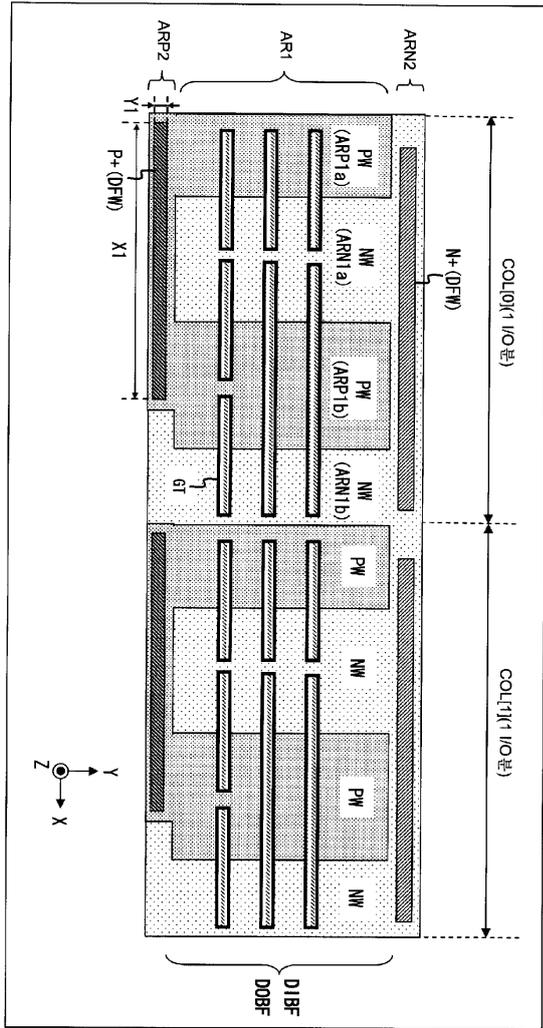




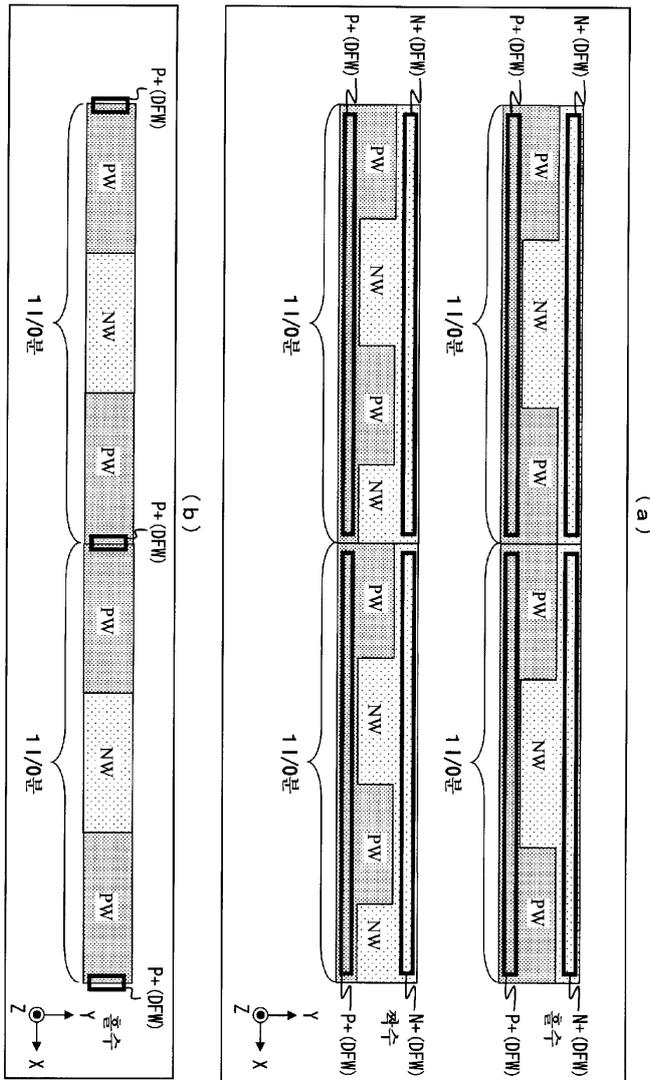
도면12



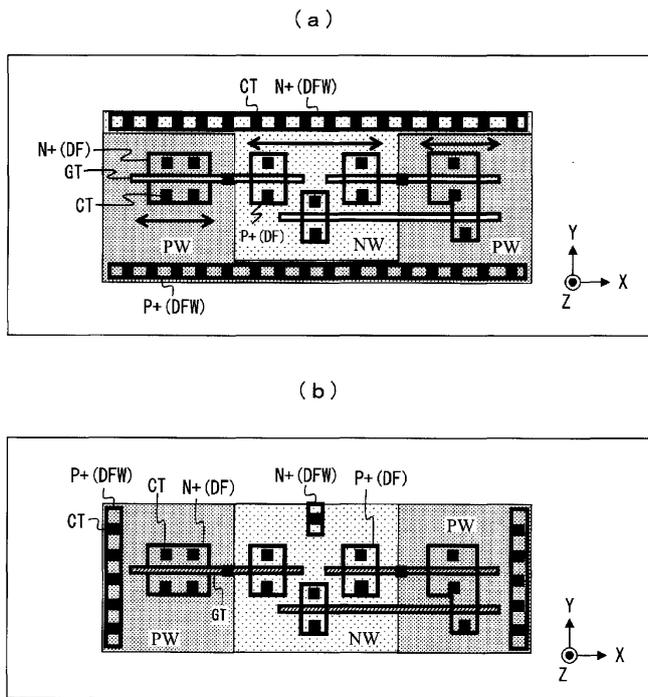
도면13



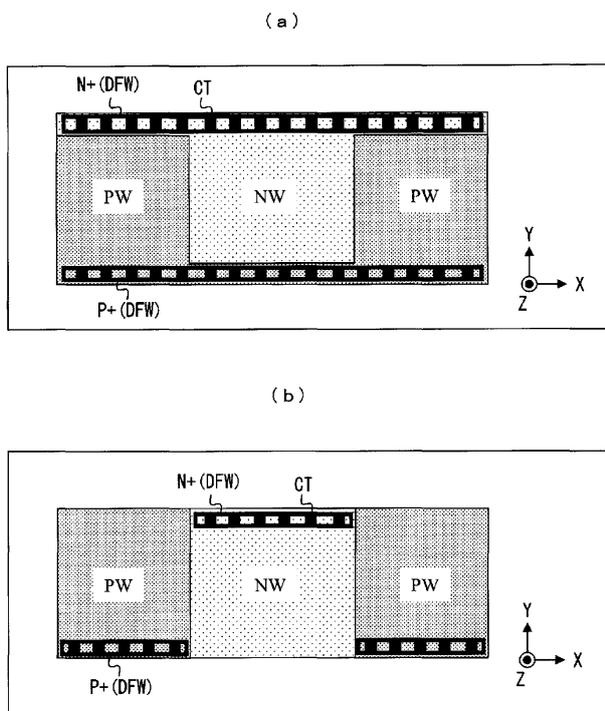
도면14



도면15



도면16



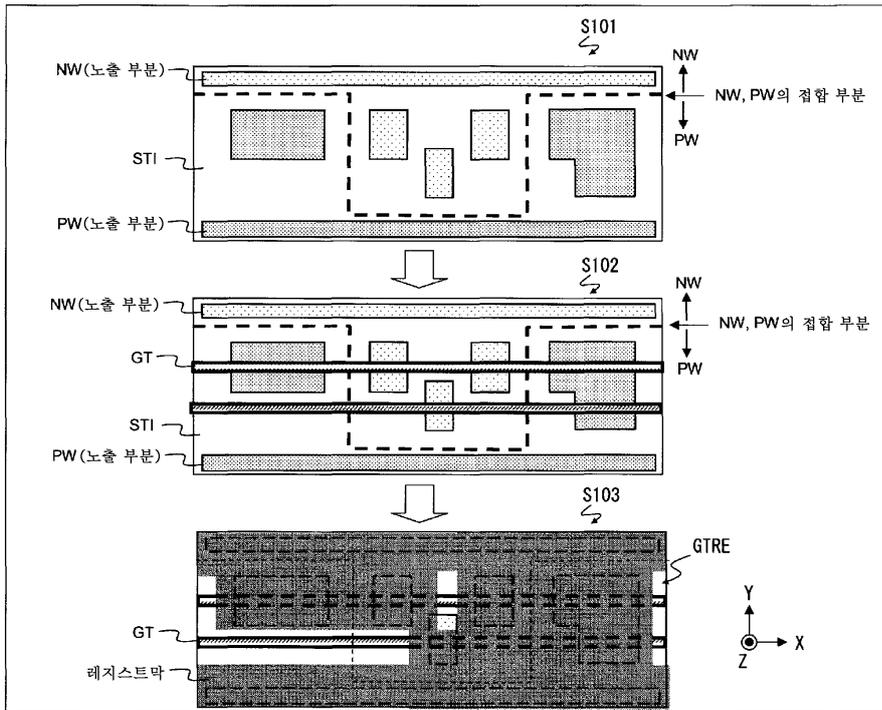




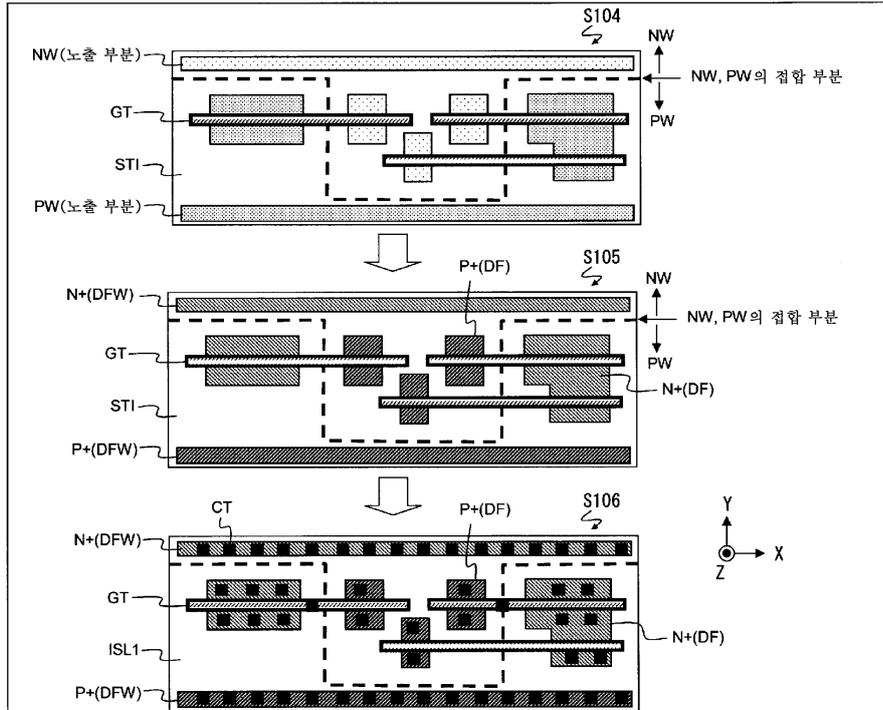




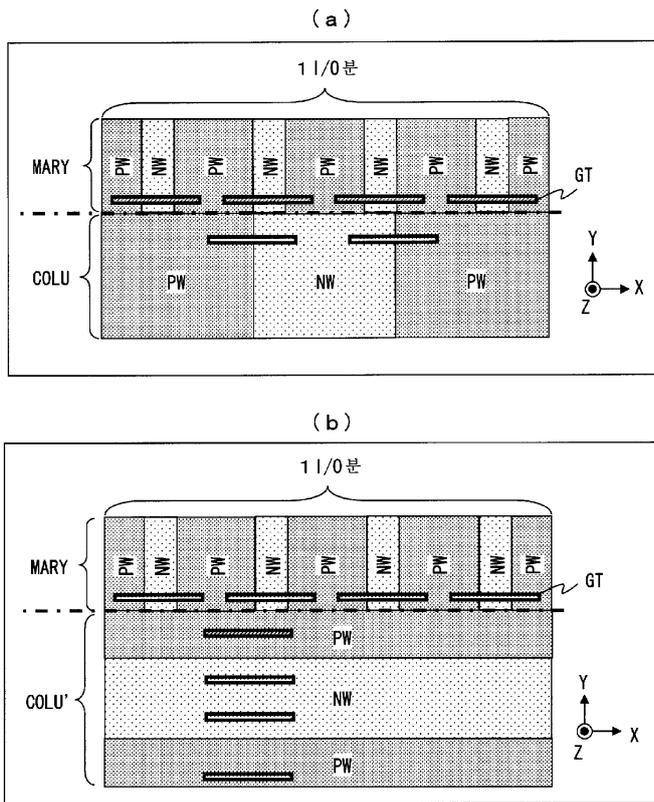
도면22



도면23

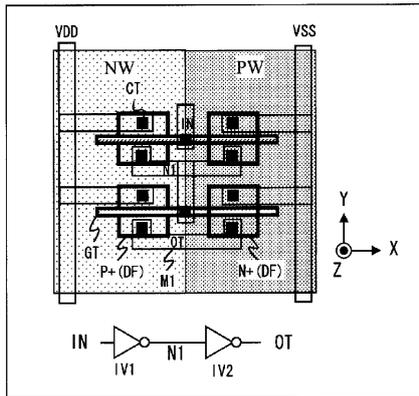


도면24

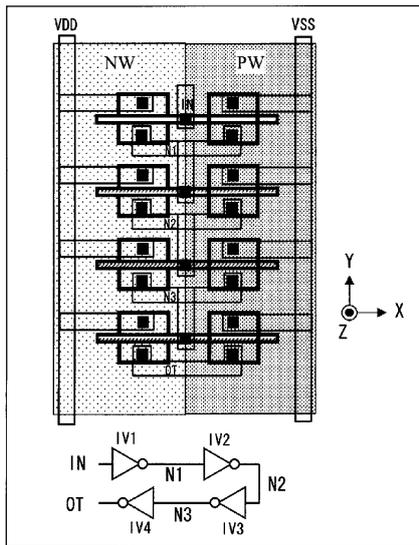


도면25

(a)

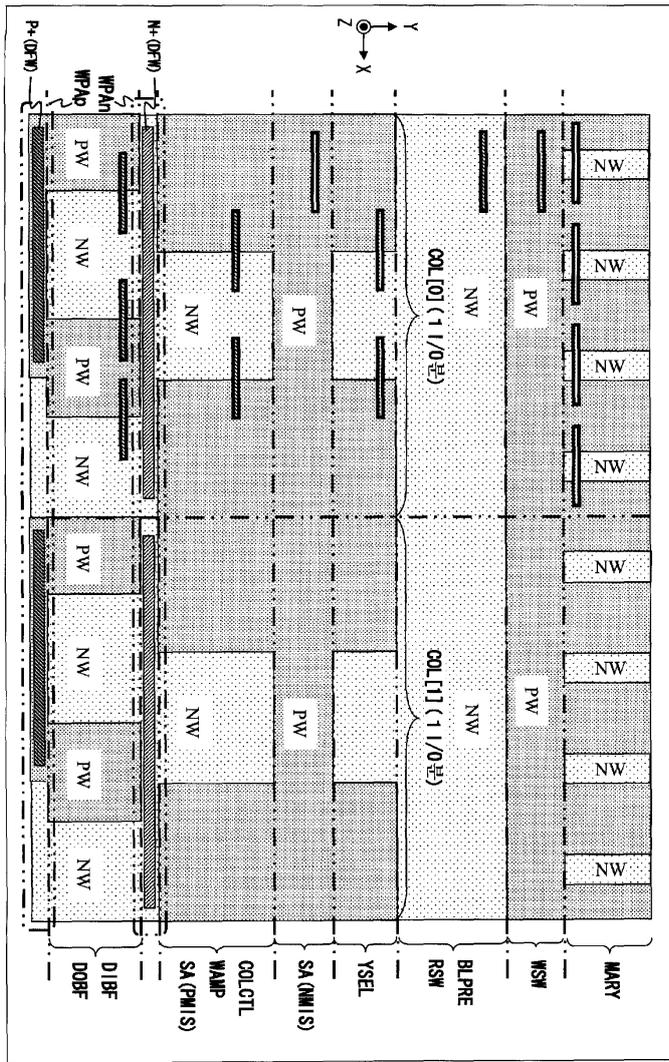


(b)

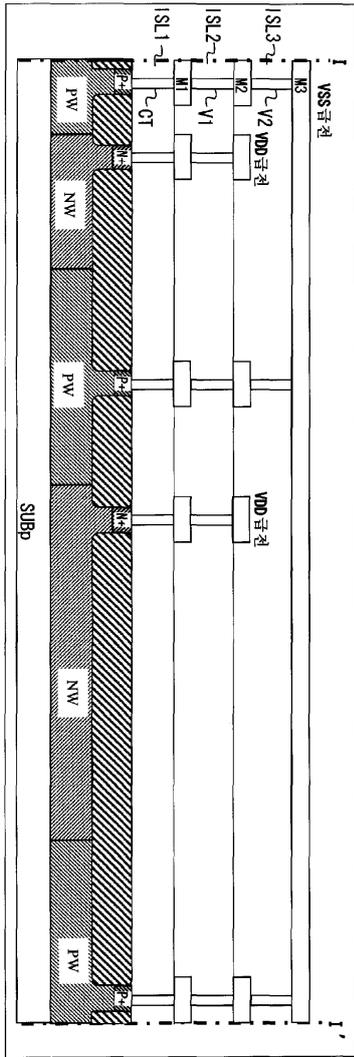




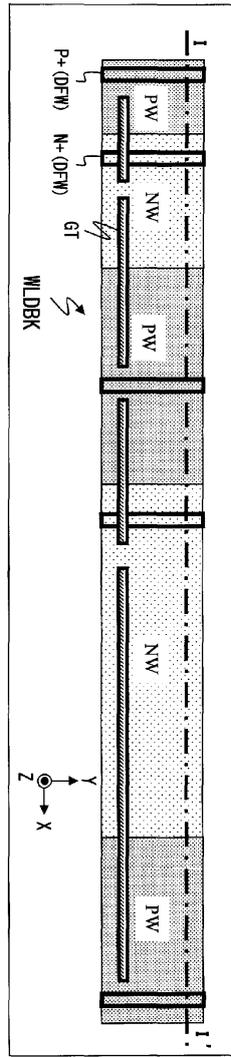
도면27



도면28



(b)



(a)

도면29

