



(19)  
 Bundesrepublik Deutschland  
 Deutsches Patent- und Markenamt

(10) **DE 197 33 396 B4 2007.05.03**

(12)

## Patentschrift

(21) Aktenzeichen: **197 33 396.6**  
 (22) Anmeldetag: **01.08.1997**  
 (43) Offenlegungstag: **26.03.1998**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **03.05.2007**

(51) Int Cl.<sup>8</sup>: **G11C 8/00 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:  
**40329/96 17.09.1996 KR**

(72) Erfinder:  
**Jeong, Jae-Hong, Seoul/Soul, KR**

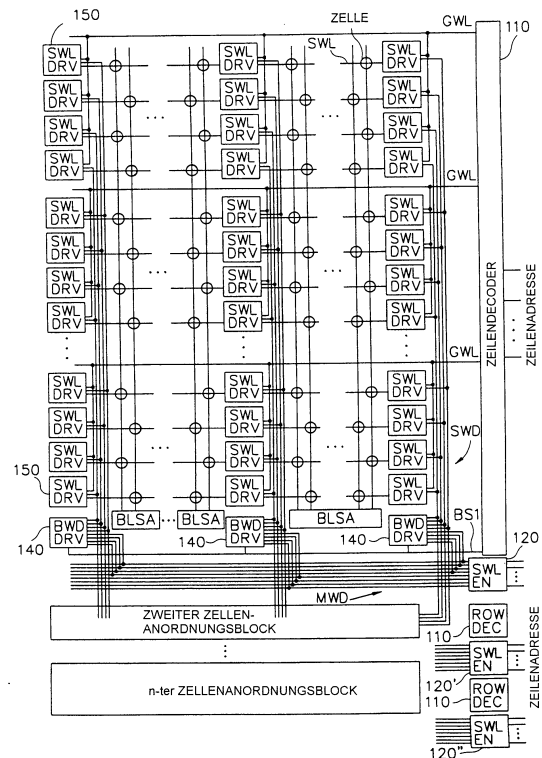
(73) Patentinhaber:  
**LG Semicon Co. Ltd., Cheongju,  
 Choongcheongbuk, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:  
**US 54 16 748 A**

(74) Vertreter:  
**WUESTHOFF & WUESTHOFF Patent- und  
 Rechtsanwälte, 81541 München**

(54) Bezeichnung: **Wortleitungstreiberschaltung für Halbleiterspeicherbauelement**

(57) Hauptanspruch: Wortleitungstreiber für ein Halbleiterspeicherbauelement mit einer Mehrzahl von Zellenanordnungsblöcken, der umfaßt:  
 einen Zeilendecoder (110) zum Erzeugen eines Blockauswahlsignals (BS1) zur Auswahl eines Zellenanordnungsblockes und Treiben einer Hauptwortleitung (GWL) entsprechend einem Adreßsignal;  
 eine Mehrzahl von Unterwortleitungsfreigabeeinheiten (SWLEN), wobei jeweils eine Unterwortleitungsfreigabeeinheit (SWLEN) einem Zellenanordnungsblock zugeordnet ist und jeweils aus dem Adreßsignal eine Mehrzahl von Hauptdecodiersignalen (MWD) freigibt;  
 eine Mehrzahl von Wortdecodertreibern (WDDRV) (130) zum Puffern zumindest eines Teils der Hauptdecodiersignale (MWD) und Übertragen dieser zu einem Speicherzellenblock;  
 eine Mehrzahl von Blockwortdecodertreibern (BWDDRV) (140) zum Freigeben eines Unterdecodiersignals (SWD) in einem entsprechenden Block mit einer Mehrzahl von Speicherzellen in dem Zellenanordnungsblock gemäß dem Blockauswahlsignal (BS1) und einem der Hauptdecodiersignale (MWD); und  
 eine Mehrzahl von Unterwortleitungstreibern (SWLDRV) (150) zum Treiben einer entsprechenden Unterwortleitung gemäß dem Unterdecodiersignal (SWD) und der Hauptwortleitung (GWL) von dem Zeilendecoder (110);  
 wobei die Unterwortleitungsfreigabeeinheit (SWLEN) (120) umfaßt:  
 eine Mehrzahl von Pegelschiebern...



**Beschreibung**

## HINTERGRUND DER ERFINDUNG

## 1. Bereich der Erfindung

**[0001]** Die vorliegende Erfindung betrifft ein Halbleiterspeicherbauelement und besonders eine verbesserte Wortleitungstreiberschaltung für ein Halbleiterspeicherbauelement, die in der Lage ist, durch Teilen einer Wortleitung Datenzugriffszeit und Stromverbrauch zu verringern.

## Stand der Technik

## 2. Beschreibung des Stands der Technik

**[0002]** Da Wortleitungen in frühen Halbleiterspeicherbauelementen aus Polysilizium bestanden, das einen verhältnismäßig hohen Widerstand hat, war deshalb die für die Übertragung eines Decodiersignals von einem Wortleitungsdecoder zu einer Speicherzelle erforderliche Zeit, d.h. die Datenzugriffszeit sehr lang.

**[0003]** Eine Technik zur Lösung des obigen Problems wurde im US Patent Nr. 4,542,486 beschrieben und ist in **Fig. 1** gezeigt, worin auf jeder Wortleitung eine Metallschicht geformt ist.

**[0004]** Das bedeutet, eine Speicherzellenanordnung (**1**) ist in eine Vielzahl von Blöcken (**1A, 1B, 1C**) unterteilt, und jede Wortleitung ist in Hauptwortleitungen (**15**) und Unterwortleitungen (**3A, 3B, 3C**), die aus einem Material mit geringem Widerstand sowie UND-Gattern geringer parasitischer Kapazität bestehen, unterteilt, wodurch nur eine Wortleitung in einem bestimmten Block entsprechend einem Zellenblockauswahlsignal betrieben wird.

**[0005]** Nun erfolgt schematisch eine Beschreibung der Arbeitsweise der obigen Wortleitungsstruktur.

**[0006]** Wird zunächst einer der in der y-Richtung angeordneten Spaltendecoder (nicht dargestellt) entsprechend einem Spaltenadresssignal freigegeben, wird eine entsprechende Hauptwortleitung high und damit aktiv, und dann wird durch eine Adresse in der x-Richtung ein bestimmter Block ausgewählt, und ein Blockauswahlsignal wird ebenfalls high. Dann wird eines von den UND-Gattern (**16A, 16B, 16C**) angeschaltet, um zur Vollendung der Operation eine entsprechende Unterwortleitung freizugeben.

**[0007]** Die oben beschriebene Konstruktion verursacht in einem Halbleiterspeicherbauelement geringer Kapazität kein Problem, aber in einem Bauelement von 64 Megabit oder größer wird, wenn auf jeder Wortleitung eine Metallschicht geformt ist, die Chipfläche dadurch notwendigerweise vergrößert,

was die praktische Anwendung auf das Halbleiterspeicherbauelement beinahe unmöglich macht. Da außerdem das Blockauswahlsignal als Gatter-Eingangssignal, das gleichzeitig in eine Vielzahl von UND-Gattern eingegeben wird, verwendet wird, wird die Lastkapazität des Blockauswahlsignals erhöht und die Freigabegeschwindigkeit der Unterwortleitungen wird langsamer, was, verursacht durch die große Lastkapazität, zur Erhöhung des Stromverbrauchs führt.

**[0008]** Folglich wird, wie in **Fig. 2** gezeigt, in einem Bauelement von 64 Megabit oder größer zur Verbesserung der Freigabegeschwindigkeit der Unterwortleitungen in den Anordnungen von **Fig. 1** eine Metallschicht einer Vielzahl von Wortleitungen mit hierarchischer Struktur zugeordnet, und eine Treibereinheit wird so angeordnet, das sie die Wortleitungen und die Metallschicht selektiv verbindet.

**[0009]** Die in **Fig. 2** gezeigte Struktur eines Halbleiterspeicherbauelements ist im US Patent Nr. 5,416,748 beschrieben, bei dem eine Metallschicht mit einer Vielzahl von Wortleitungen verbunden ist. Die Bauelementstruktur enthält eine Vielzahl von Hauptwortleitungen (MWL-1,..., MWL-n), die aus einem Metall bestehen, eine Vielzahl von Unterwortleitungen (SWL), die gemeinsam mit einer Hauptwortleitung verbunden sind, einen Spaltendecoder (**10**) zum Erzeugen einer Spaltenadresse, Unterwortleitungstreibereinheiten (SWD) (**20**) zum Auswählen einer bestimmten Unterwortleitung aus der Vielzahl von Unterwortleitungen, einen Leseverstärker (**30**) zum Verstärken eines Signals der ausgewählten Wortleitung, einen Blockdecoder (BD) (**40**) zum Ausgeben eines Blockauswahlsignals, Wortleitungstreiberdecoder (WDD) (**50**) zum Treiben der Wortleitungen, und Unterdecodiertreibereinheiten (SDD) (**60**) zum Auswählen eines der Wortleitungstreiberdecoder (WDD) (**50**).

**[0010]** Wie in **Fig. 3** gezeigt, enthält jeder Wortleitungstreiberdecoder (WDD) NICHT-UND-Gatter (**51, 511**), von denen jedes ein Blockauswahlsignal (AI1) und jeweils Hauptwortleitungsdecodiersignale (AI2, AI3) empfängt, Inverter (**52, 521**) zum jeweiligen Invertieren des Ausgangssignals der NICHT-UND-Gatter (**51, 511**), und einen Pegelschieber, der PMOS- und NMOS-Transistoren enthält, zum Umwandeln einer eingegebenen Spannung (V).

**[0011]** Die Arbeitsweise des Halbleiterspeicherbauelements mit der oben beschriebenen Wortleitungstreibereinheit wird nun ausführlich beschrieben.

**[0012]** Die Spaltenadresse gibt den Spaltendecoder (**10**), der sich in der y-Richtung befindet, frei, um eine Hauptwortleitung high und damit aktiv zu machen, welche das sich ergebende high-aktive Hauptwortleitungssignal an alle damit verbundenen Unterwortlei-

tungstreibereinheiten (SWD) überträgt. Dann wird die Spaltenadresse in die Unterdecodiertreibereinheit (SDD) eingegeben, die in der x-Richtung angeordnet ist, und die eines der Decodiersignale einer Spalte high und damit aktiv macht.

**[0013]** Das sich ergebende high-aktive Decodiersignal wird, wie in **Fig. 3** gezeigt, zusammen mit einem Decodiersignal von dem durch die Spaltenadresse freigegebenen Blockdecoder (**40**) an den Wortleitungstreiberdecoder (WDD) dieser Spalte übertragen, um einen ausgewählten Block zu treiben.

**[0014]** Im aktiven Wortleitungstreiberdecoder (WDD) wird das Decodiersignal zu einem Unterdecodiersignal zum Anlegen von Leistung an einen Unterleistungsknoten der Unterwortleitungstreibereinheit (SWD) im ausgewählten Block gemacht. Die Unterwortleitungstreibereinheit (SWD), die sich dort befindet, wo sich die high-aktive Hauptwortleitung und das Unterdecodiersignal kreuzen, wird aktiv gemacht, um eine Unterwortleitung zu treiben.

**[0015]** Gemäß der in **Fig. 3** gezeigten Struktur des Wortleitungstreiberdecoders werden jedoch das Blockauswahlsignal und das Unterdecodiersignal in die NICHT-UND-Gatter eingegeben, und eine Vielzahl von Unterwortleitungstreibereinheiten wird gleichzeitig freigegeben, was zu einer Erhöhung des Stromverbrauchs führt, und da in jedem Block eine Unterdecodiertreibereinheit vorhanden ist, ergibt sich daraus ein überlappender Stromverbrauch. Da ein Wortleitungstreiberdecoder außerdem das NICHT-UND-Gatter, den Inverter und einen Pegelschieber enthält und in jedem Block eine Unterdecodiertreibereinheit vorgesehen werden muß, wird die Layoutfläche bei der Herstellung eines Chips erhöht.

#### Aufgabenstellung

#### ZUSAMMENFASSUNG DER ERFINDUNG

**[0016]** Es ist folglich ein Ziel der vorliegenden Erfindung, ein verbessertes Halbleiterspeicherbauelement gemäß der vorliegenden Erfindung bereitzustellen, das in der Lage ist, die Datenzugriffszeit zu verringern ohne die Layoutfläche und den Stromverbrauch zu erhöhen.

**[0017]** Um das obige Ziel zu erreichen, wird ein verbessertes Halbleiterspeicherbauelement gemäß Anspruch 1 bereitgestellt. Die Unteransprüche beschreiben vorteilhafte Weiterbildungen. Ein beispielhaftes Halbleiterspeicherbauelement enthält: einen Zeilendecoder zum Erzeugen eines Blockauswahlsignals und zum Treiben einer Hauptwortleitung entsprechend einem Adreßsignal, eine Unterwortleitungsfreigabeeinheit zum Erzeugen eines Hauptdecodiersignals entsprechend dem Adreßsignal, einen Wortdecodertreiber zum Puffern des Hauptdecodier-

signals und zum Übertragen von diesem in einen Speicherzellenblock, einen Blockwortdecodertreiber zum Freigeben eines Unterdecodiersignals in einem entsprechenden Block gemäß dem Blockauswahlsignal und dem Hauptdecodiersignal, und einen Unterwortleitungstreiber zum Treiben einer entsprechenden Unterwortleitung gemäß dem Unterdecodiersignal und dem Treiben der Hauptwortleitung durch den Zeilendecoder.

#### Ausführungsbeispiel

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0018]** Die vorliegende Erfindung wird aus der im Folgenden gegebenen ausführlichen Beschreibung und den beigefügten Zeichnungen besser verständlich.

**[0019]** **Fig. 1** ist ein schematisches Blockschaltbild eines Halbleiterspeicherbauelements gemäß dem Stand der Technik;

**[0020]** **Fig. 2** ist ein schematisches Blockschaltbild, das den Aufbau eines weiteren Halbleiterspeicherbauelements gemäß dem Stand der Technik zeigt;

**[0021]** **Fig. 3** ist ein ausführlicher schematischer Schaltplan eines Wortleitungstreiberdecoders von **Fig. 2**;

**[0022]** **Fig. 4** ist ein Blockschaltbild, das den Aufbau eines Halbleiterspeicherbauelements gemäß einer Ausführungsform der vorliegenden Erfindung zeigt;

**[0023]** **Fig. 5** ist ein ausführlicher schematischer Schaltplan einer Unterwortleitungsfreigabeeinheit im Speicherbauelement von **Fig. 4**;

**[0024]** **Fig. 6** ist ein ausführlicher schematischer Schaltplan eines Wortdecodertreibers im Speicherbauelement von **Fig. 4**;

**[0025]** **Fig. 7** ist ein ausführlicher schematischer Schaltplan eines Unterwortleitungstreibers im Speicherbauelement von **Fig. 4**;

**[0026]** **Fig. 8** ist ein ausführlicher schematischer Schaltplan eines Blockwortdecodertreibers im Speicherbauelement von **Fig. 4** gemäß einer Ausführungsform der vorliegenden Erfindung;

**[0027]** **Fig. 9** ist ein ausführlicher schematischer Schaltplan eines Blockwortdecodertreibers im Speicherbauelement von **Fig. 4** gemäß einer anderen Ausführungsform der vorliegenden Erfindung; und

**[0028]** **Fig. 10** ist ein schematisches Blockschaltbild, das den Aufbau eines Halbleiterspeicherbauele-

ments gemäß einer anderen Ausführungsform der vorliegenden Erfindung zeigt.

#### AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

**[0029]** Das Halbleiterspeicherbauelement gemäß der vorliegenden Erfindung wird nun mit Bezug auf die beigefügten Zeichnungen ausführlich beschrieben.

**[0030]** **Fig. 4** ist ein schematisches Blockschaltbild einer internen Wortleitungstreiberschaltung in einem Halbleiterspeicherbauelement gemäß einer Ausführungsform der vorliegenden Erfindung, die enthält: einen Zeilendecoder (**110**), angeordnet in der y-Richtung, der ein Zeilenadresssignal empfängt, und zum Erzeugen eines Blockauswahlsignals (BS1), um einen Block mit einem bestimmten Unterwortleitungstreiber (**150**) (SWLDRV) freizugeben, eine Decodierung von diesem ausführt, eine Unterwortleitungsfreigabeeinheit (**120**) (SWLEN), die bezüglich des Zeilendecoders (**110**) in der x-Richtung angeordnet ist, zum Erzeugen eines Hauptdecodiersignals (MWD) durch Decodieren des Zeilenadresssignals für ein Decodiersignal des Unterwortleitungstreibers (**150**), eine Vielzahl von Wortdecodertreibern (**130**) (WDDRV) zum jeweiligen Durchführen einer Pufferung, um das Hauptdecodiersignal zu einem Zellengruppenblock zu treiben, eine Vielzahl von Blockwortdecodertreibern (**140**) (BWDDRV) zum jeweiligen Freigeben eines Unterdecodiersignals in einem bestimmten Block entsprechend dem Blockauswahlsignal (BS1) und dem Hauptdecodiersignal (MWD), und eine Vielzahl von Unterwortleitungstreibern (**150**) (SWLDRV) zum jeweiligen Treiben einer Unterwortleitung entsprechend einer high-aktiven Hauptwortleitung (GWL) und dem Unterdecodiersignal.

**[0031]** Nun erfolgt die ausführliche Beschreibung der Arbeitsweise eines Halbleiterspeicherbauelements mit einer Wortleitungstreiberschaltung gemäß der vorliegenden Erfindung.

**[0032]** Der Zeilendecoder (**110**) empfängt ein Zeilenadresssignal, um eine der Hauptwortleitungen (GWL) freizugeben und erzeugt das Blockauswahlsignal (BS). Die Unterwortleitungsfreigabeeinheit (**120**), die das Zeilenadresssignal empfängt, macht eines der Hauptdecodiersignale (MWD) high und damit aktiv und überträgt das sich ergebende high-aktive Signal über die Wortdecodertreiber (**130**) an die Blockwortdecodertreiber (**140**).

**[0033]** Das Hauptdecodiersignal (MWD) wird hier an einen Leistungsknoten der Blockwortdecodertreiber (**140**) angelegt, und der durch Empfang des Blockauswahlsignals (BS) und des Hauptdecodiersignals (MWD) freigegebenen Blockwortdecodertreiber (**140**) erzeugt ein Unterdecodiersignal (SWD), um es

an die Unterwortleitungstreiber (SWLDRV) (**150**) zu übertragen. Die Unterwortleitungstreiber (**150**) sind mit den Hauptwortleitungen (GWL) verbunden und empfangen das Unterdecodiersignal (SWD), um die Unterwortleitungen zu treiben, durch die die Freigabeoperation vollendet wird.

**[0034]** Die Unterwortleitungstreibereinheit (**120**), wie in **Fig. 5** gezeigt, enthält hier zu jeder Adreßleitung gehörende Schaltungen. Die Schaltung für die erste Adreßleitung enthält ein NICHT-UND-Gatter (**121A**), in das ein Zeilenadresssignal (A0) und ein Freigabesignal (ENABLE) eingegeben werden, einen ersten Inverter (**124A**) zum Invertieren einer Ausgabe des NICHT-UND-Gatters (**121A**), und einen Pegelschieber (**125**) zum Wandeln einer Ausgabe des NICHT-UND-Gatters (**121A**). Der Pegelschieber (**125**) enthält: einen PMOS-Transistor (**122A**), der zwischen eine Spannungsquelle (VPP) und einen Verbindungsknoten (N1) geschaltet ist, und dessen Gate mit einem Verbindungsknoten (N2) verbunden ist, einen NMOS-Transistor (**123A**), der zwischen den Verbindungsknoten (N1) und Vss geschaltet ist, und an dessen Gate eine Ausgabe des NICHT-UND-Gatters (**121A**) angelegt wird, einen PMOS-Transistor (**122B**), der zwischen die Spannungsquelle (VPP) und den Verbindungsknoten (N2) geschaltet ist, und dessen Gate mit dem Verbindungsknoten (N1) verbunden ist, einen NMOS-Transistor (**123B**), der zwischen den Verbindungsknoten (N2) und Vss geschaltet ist, und an dessen Gate das vom NICHT-UND-Gatter (**121**) ausgegebene und durch den ersten Inverter (**124A**) invertierte Signal angelegt wird, einen zweiten Inverter (**124B**) zum Invertieren eines Signals vom Verbindungspunkt (N2), und einen dritten Inverter (**124C**) zum Invertieren der Ausgabe des zweiten Inverters (**124B**). Sind das Zeilenadresssignal (A0) und das Freigabesignal, die in das NICHT-UND-Gatter (**121A**) eingegeben werden, beide "1" (high), wird durch das NICHT-UND-Gatter (**121A**) eine "0" ausgegeben, so daß der NMOS-Transistor (**123A**) abgeschaltet wird und der PMOS-Transistor (**122B**) angeschaltet wird. Der NMOS-Transistor (**123B**), in den das vom NICHT-UND-Gatter (**121A**) ausgegebene und in einem ersten Inverter (**124A**) invertierte Signal eingegeben wird, wird angeschaltet, und als Ergebnis davon wird das elektrische Potential des Verbindungsknotens (N2) zu low "0" gemacht, und dieses wird durch den zweiten und dritten Inverter (**124B**, **124C**) zweimal durch Puffer verzögert invertiert. Folglich wird auf der Hauptdecodiersignalleitung (MWDO) das ursprüngliche elektrische Potential low "0" des Verbindungspunkts (N2) ausgegeben. Der Aufbau und die Arbeitsweise der zu Zeilenadreßleitungen gehörenden Schaltungen von Unterwortleitungsfreigabeeinheiten ist identisch zu dem oben beschriebenen.

**[0035]** Die Wortdecodertreiber (**130**) (WDDRV) je-

des Blocks, wie in [Fig. 6](#) gezeigt, die als Verstärkungsschaltungen dienen, enthalten jeweils zwei Inverter (**131**, **132**), die zum Puffern der durch die Unterwortleitungsfreigabeeinheit (**120**) in jeweilige Blöcke eingespeisten Hauptdecodiersignale (MWD) mit jeder Hauptdecodiersignalleitung (MWD) in Reihe geschaltet sind.

**[0036]** Die Blockwortdecodertreiber (**140**) geben jeweils ein Unterdecodiersignal in einem durch das Blockauswahlsignal und das Hauptdecodiersignal ausgewählten Block frei. Das Hauptdecodiersignal legt hier Leistung an den Blockwortdecodertreiber (**140**) an.

**[0037]** Wie in [Fig. 7](#) gezeigt, enthält jeder Blockwortdecodertreiber: einen NMOS-Transistor (**142**), der zwischen jede Hauptdecodiersignalleitung (MWD) und einen Ausgabeknoten (N0) geschaltet ist, und an dessen Gate das Blockauswahlsignal (BS) angelegt wird, eine Schaltungsvorrichtung (**141**) (z.B. Durchlaßtransistor) zum Ausführen eines Schaltens, um das Blockauswahlsignal (BS) auf ein Signal (VBOOT) hin an das Gate des NMOS-Transistors (**142**) anzulegen oder zu verhindern, daß es daran angelegt wird, und einen NMOS-Transistor (**143**), der zwischen den Ausgangsverbindungsknoten (N0) und Massepotential (VSS) geschaltet ist, und an dessen Gate ein invertiertes Blockauswahlsignal (/BS) angelegt wird. Jeder Blockwortdecodertreiber (**140**) erzeugt entsprechend dem daran angelegten Blockauswahlsignal und Hauptdecodiersignal ein Unterdecodiersignal (SWD).

**[0038]** Die Unterwortleitungstreiber (**150**), wie in [Fig. 8](#) gezeigt, enthalten jeweils: einen NMOS-Transistor (**152**), der zwischen eine Unterdecodiersignalleitung (SWD) und einen Ausgabeknoten (N0') zu einer Unterwortleitung (SWL) geschaltet ist, und dessen Gate mit einer entsprechenden Hauptwortleitung (GWL) verbunden ist, eine Schaltungsvorrichtung (**151**) (z.B. ein Durchlaßtransistor) zum Ausführen eines Schaltens auf das Signal (VBOOT) hin, um das Gate des NMOS-Transistors (**152**) und die Hauptwortleitung (GWL) zu verbinden oder zu trennen, und einen NMOS-Transistor (**153**), der zwischen den Ausgangsverbindungsknoten (N0') und Massepotential (VSS) geschaltet ist, und dessen Gate mit der komplementären Hauptwortleitung (/GWL) verbunden ist. Die Unterwortleitungstreiber (**150**) führen durch Treiben der Unterwortleitungen entsprechend den Unterdecodiersignalen (SWD) und den Hauptwortleitungssignalen (GWL,/GWL) eine Wortleitungsfreigabeoperation durch.

**[0039]** [Fig. 9](#) ist ein ausführlicher Schaltplan eines Blockwortdecodertreibers (**140**) (BWDDR) in [Fig. 4](#) gemäß einer anderen Ausführungsform der vorliegenden Erfindung, bei dem zur Stabilisierung des Betriebs der Schaltung und zur Verbesserung der Ar-

beitsgeschwindigkeit ein CMOS-Inverter eingesetzt wird. Die Schaltung des Blockwortdecodertreibers enthält: einen PMOS-Lasttransistor (**144**), der zwischen die Hauptwortdecodiersignalleitung (MWD) und einen Ausgangsverbindungsknoten (N10) des Unterdecodiersignals (SWD) geschaltet ist, und an dessen Gate das Blockauswahlsignal (BS) angelegt wird, einen NMOS-Treibertransistor (**145**), der zwischen den Verbindungsknoten (N10) und Massepotential (VSS) geschaltet ist, und an dessen Gate ebenfalls das Blockauswahlsignal (BS) angelegt wird, und einen NMOS-Transistor (**146**), der zwischen die Hauptdecodiersignalleitung (MWD) und den Ausgangsverbindungsknoten (N10) geschaltet ist, und an dessen Gate ein invertiertes Blockauswahlsignal (/BS) angelegt wird.

**[0040]** [Fig. 10](#) ist ein Blockschaltbild eines Halbleiterspeicherbauelements mit einer Wortleitungstreiberstruktur gemäß einer anderen Ausführungsform der vorliegenden Erfindung, bei der die Unterwortleitungsfreigabeeinheiten (**120**) in derselben Richtung wie die Zeilendecoder (**110**) angeordnet sind.

**[0041]** Wie oben ausführlich beschrieben, kann die zum Freigeben einer Wortleitung erforderliche Zeit durch Anordnen der Wortleitungen und Unterwortleitungen in einer hierarchischen Struktur, Anlegen der Decodiersignale ebenfalls in einer hierarchischen Struktur, und Freigeben des Unterdecodiersignals nur in dem ausgewählten Block verringert werden, und das Überlappen von in einer Vielzahl von Decodierblöcken erzeugten Strömen kann verringert werden, da eine Decodieroperation in der Unterwortleitungsfreigabeeinheit ausgeführt werden kann. Da außerdem im Blockwortdecodertreiber keine Pegelschieberschaltung eingesetzt wird, kann die Überlappung des durch eine Vielzahl von Blockwortdecodertreibern fließenden Stroms bemerkenswert verringert werden. Da ferner jeder Blockwortdecodertreiber nur drei Transistoren enthält, kann die Layoutfläche vermindert werden und als Ergebnis davon kann die Chipfläche im Vergleich zum herkömmlichen Treiberbau, der einen Pegelschieber verwendet, verringert werden.

## Patentansprüche

1. Wortleitungstreiber für ein Halbleiterspeicherbauelement mit einer Mehrzahl von Zellenanordnungsblöcken, der umfaßt:  
einen Zeilendecoder (**110**) zum Erzeugen eines Blockauswahlsignals (BS1) zur Auswahl eines Zellenanordnungsblockes und Treiben einer Hauptwortleitung (GWL) entsprechend einem Adreßsignal;  
eine Mehrzahl von Unterwortleitungsfreigabeeinheiten (SWLEN), wobei jeweils eine Unterwortleitungsfreigabeeinheit (SWLEN) einem Zellenanordnungsblock zugeordnet ist und jeweils aus dem Adreßsignal eine Mehrzahl von Hauptdecodiersignalen



(MWD) freigibt;  
 eine Mehrzahl von Wortdecodertreibern (WDDRV) (**130**) zum Puffern zumindest eines Teils der Hauptdecodiersignale (MWD) und Übertragen dieser zu einem Speicherzellenblock;  
 eine Mehrzahl von Blockwortdecodertreibern (BWDDRV) (**140**) zum Freigeben eines Unterdecodiersignals (SWD) in einem entsprechenden Block mit einer Mehrzahl von Speicherzellen in dem Zellenanordnungsblock gemäß dem Blockauswahlsignal (BS1) und einem der Hauptdecodiersignale (MWD);  
 und  
 eine Mehrzahl von Unterwortleitungstreibern (SWLDRV) (**150**) zum Treiben einer entsprechenden Unterwortleitung gemäß dem Unterdecodiersignal (SWD) und der Hauptwortleitung (GWL) von dem Zeilendecoder (**110**);  
 wobei die Unterwortleitungsfreigabeeinheit (SWLEN) (**120**) umfaßt:  
 eine Mehrzahl von Pegelschiebern (**125**) zum Empfangen des Adreßsignals (A0, A1, A2, A3) und eines Freigabesignals (ENABLE) und Ausführen einer Pegelwandlung;  
 eine Mehrzahl von NICHT-UND-Gattern (**121**) zum jeweiligen NICHT-UND-Verknüpfen einer Leitung des Adreßsignals und des Freigabesignals und Ausgeben des NICHT-UND-verknüpften Ergebnisses an jeden entsprechenden Pegelschieber (**125**); und  
 eine Mehrzahl von Invertiern (**124**) zum jeweiligen Invertieren einer Ausgabe der NICHT-UND-Gatter (**121**).

2. Schaltung nach Anspruch 1, bei der der Wortdecodertreiber (WDDRV) (**130**) zwei in Reihe geschaltete Inverter (**131**, **132**) umfaßt.

3. Schaltung nach Anspruch 1, bei der der Blockwortdecodertreiber (BWDDRV) (**140**) umfaßt:  
 einen ersten NMOS-Transistor (**142**), der zwischen den Wortdecodertreiber (WDDRV) (**130**) und einen Ausgangsknoten (N0) geschaltet ist, und an dessen Gate das Blockauswahlsignal (BS) angelegt wird;  
 eine Schaltungsvorrichtung (**141**) zum Ausführen eines Schaltens, um das Blockauswahlsignal (BS) an das Gate des ersten NMOS-Transistors (**142**) anzulegen oder zu verhindern, daß dieses daran angelegt wird;  
 und  
 einen zweiten NMOS-Transistor (**143**), der zwischen den Ausgangsverbindungsknoten (N0) und der Massespannung (VSS) geschaltet ist, und an dessen Gate eine invertierte Version des Blockauswahlsignals (/BS) angelegt wird.

4. Schaltung nach Anspruch 1, bei der der Blockwortdecodertreiber (BWDDRV) (**140**) umfaßt:  
 einen CMOS-Inverter, der einen Lasttransistor (**144**) und einen Treibertransistor (**145**), die zwischen eine Hauptdecodiersignaleingangsseite (MWD) und der Massespannung (VSS) in Reihe geschaltet sind, und die an deren jeweiligen Gates das Blockauswahlsig-

nal (BS) empfangen, enthält; und  
 einen NMOS-Transistor (**146**), der zwischen einen Ausgangsknoten (N10) des CMOS-Inverters und die Hauptdecodiersignaleingangsseite (MWD) geschaltet ist, und der an dessen Gate eine invertierte Version des Blockauswahlsignals (/BS) empfängt.

5. Schaltung nach Anspruch 1, bei der der Unterwortleitungstreiber (SWLDRV) (**150**) umfaßt:  
 einen ersten NMOS-Transistor (**152**), der zwischen eine Unterwortdecodiersignalleitung (SWD) und einen Ausgang (N0') geschaltet ist, und dessen Gate mit einer ersten Hauptwortleitung (GWL) verbunden ist;  
 eine Schaltungsvorrichtung (**151**) zum Ausführen eines Schaltens, um das Gate des ersten NMOS-Transistors (**152**) und die Hauptwortleitung (GWL) zu verbinden oder zu trennen; und  
 einen zweiten NMOS-Transistor (**153**), der zwischen den Ausgangsknoten (N0') und die Massespannung (VSS) geschaltet ist, und dessen Gate mit einer zweiten Hauptwortleitung (/GWL) verbunden ist.

6. Schaltung nach Anspruch 1, bei der jeder Pegelschieber (**125**) umfaßt:  
 einen ersten PMOS-Transistor (**122A**), der zwischen eine Spannungsquelle (VPP) und einen ersten Knoten (N1) geschaltet ist, und dessen Gate mit einem zweiten Knoten (N2) verbunden ist;  
 einen ersten NMOS-Transistor (**123A**), der zwischen den ersten Knoten (N1) und die Massespannung (VSS) geschaltet ist, und an dessen Gate eine Ausgabe eines entsprechenden NICHT-UND-Gatters (**121A**) angelegt wird;  
 einen zweiten PMOS-Transistor (**122B**), der zwischen die Versorgungsspannung (VSS) und den zweiten Knoten (N2) geschaltet ist, und dessen Gate mit dem ersten Knoten (N1) verbunden ist;  
 einen zweiten NMOS-Transistor (**123B**), der zwischen den zweiten Knoten (N2) und die Massespannung (VSS) geschaltet ist, und an dessen Gate ein vom NICHT-UND-Gatter (**121A**) ausgegebenes und durch einen ersten Inverter (**124A**) invertiertes Signal angelegt wird;  
 einen zweiten Inverter (**124B**) zum Invertieren eines Signals aus dem zweiten Knoten (N2); und  
 einen dritten Inverter (**1240**) zum Invertieren eines Ausgangssignals des zweiten Inverters (**124B**).

Es folgen 8 Blatt Zeichnungen

FIG. 1  
STAND DER TECHNIK

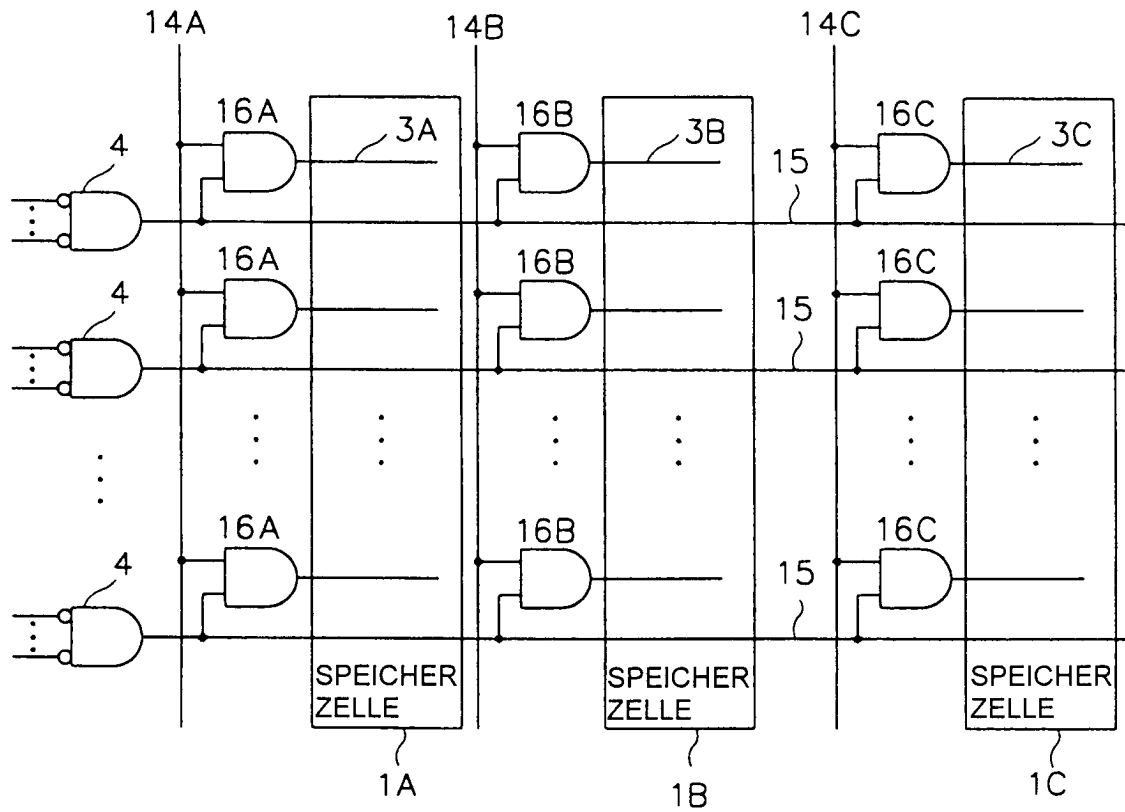


FIG.2  
STAND DER TECHNIK

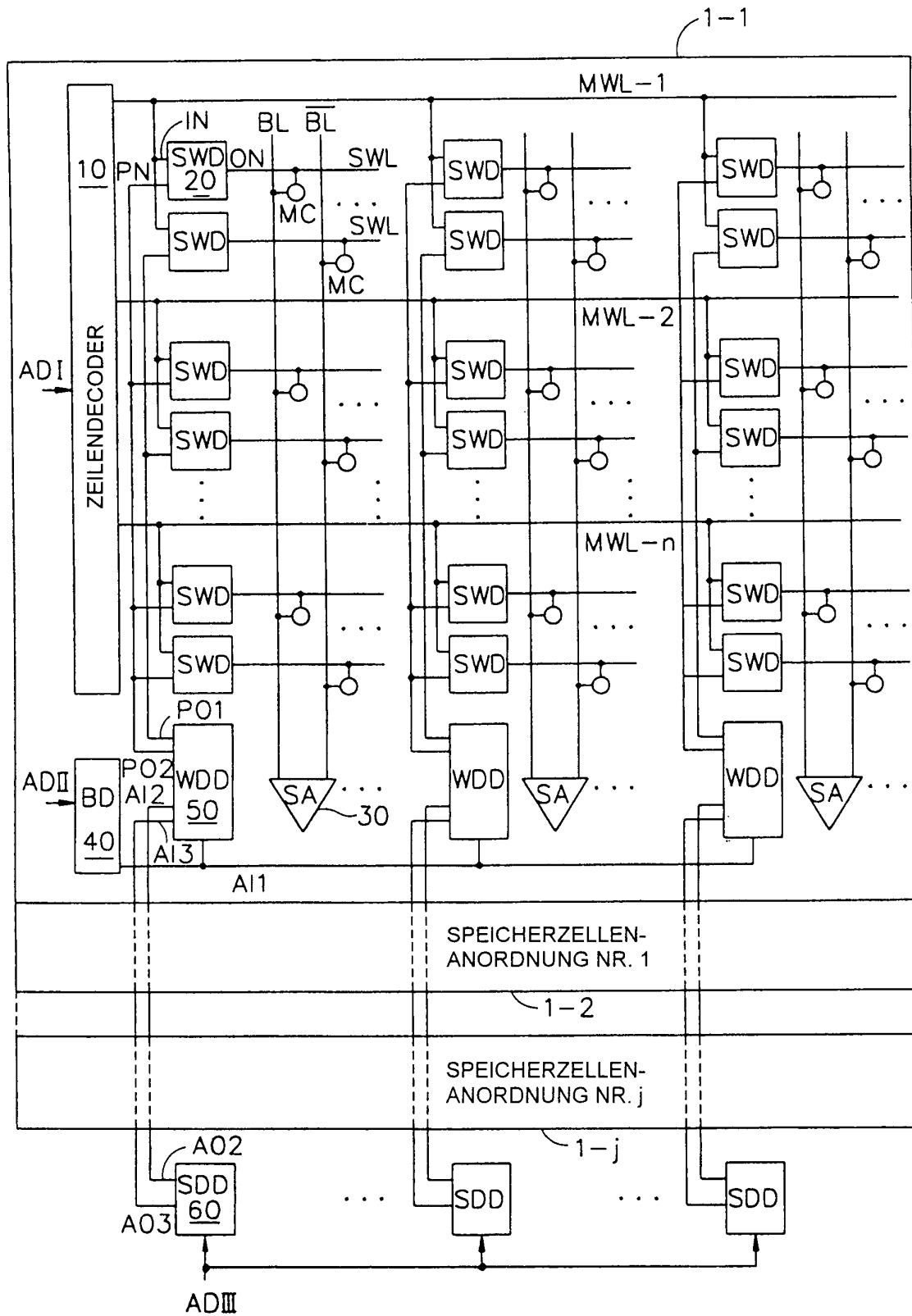




FIG.3  
STAND DER TECHNIK

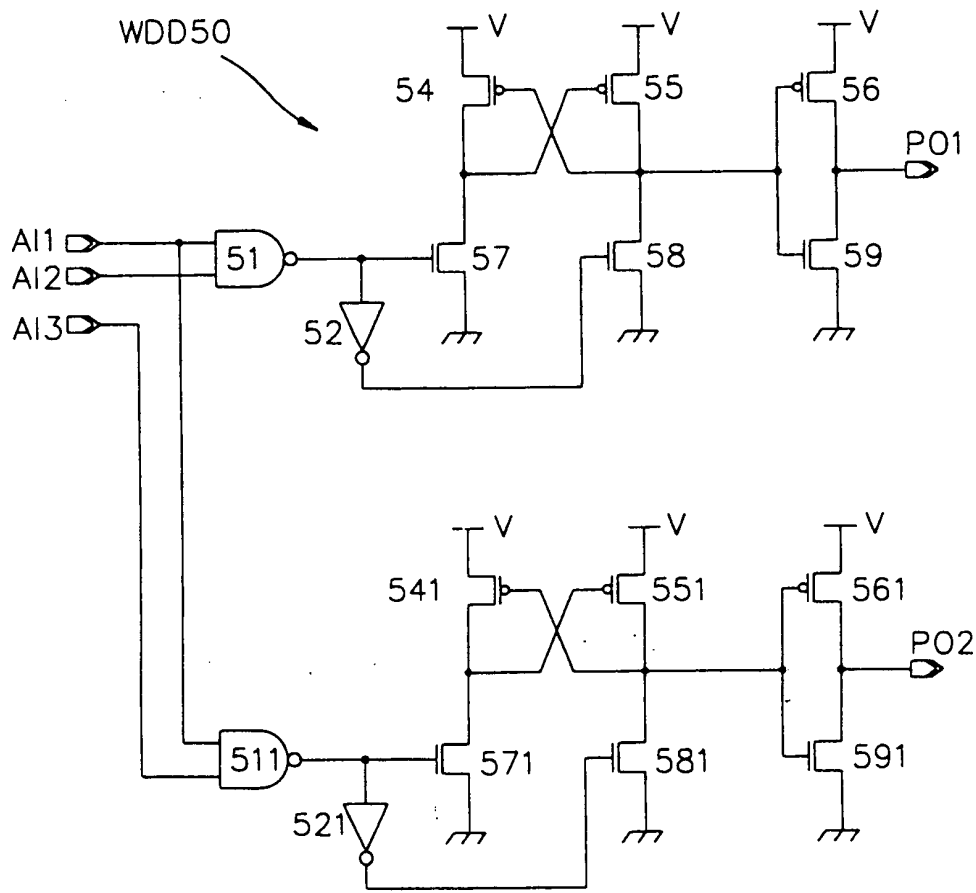


FIG.4

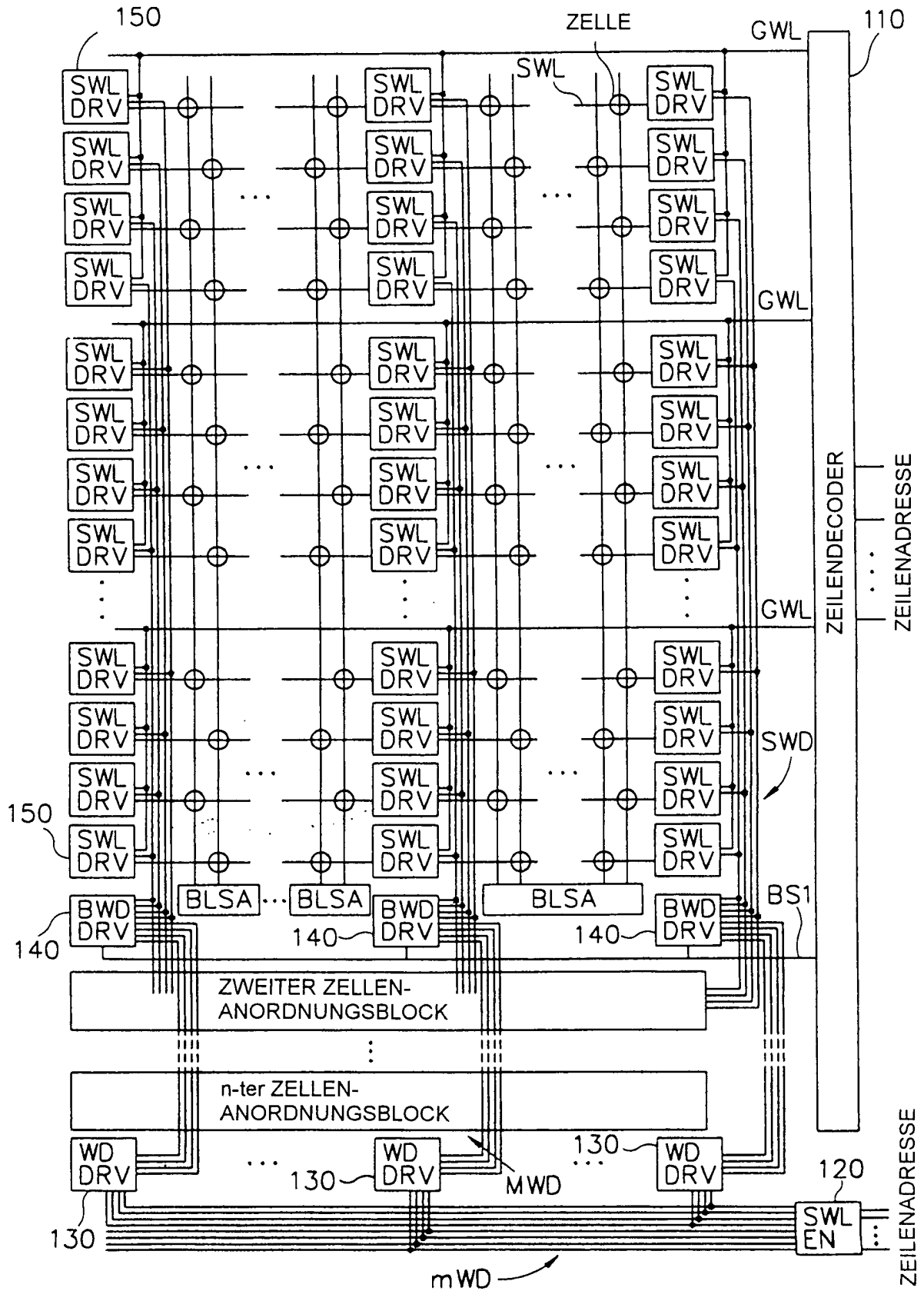


FIG. 5

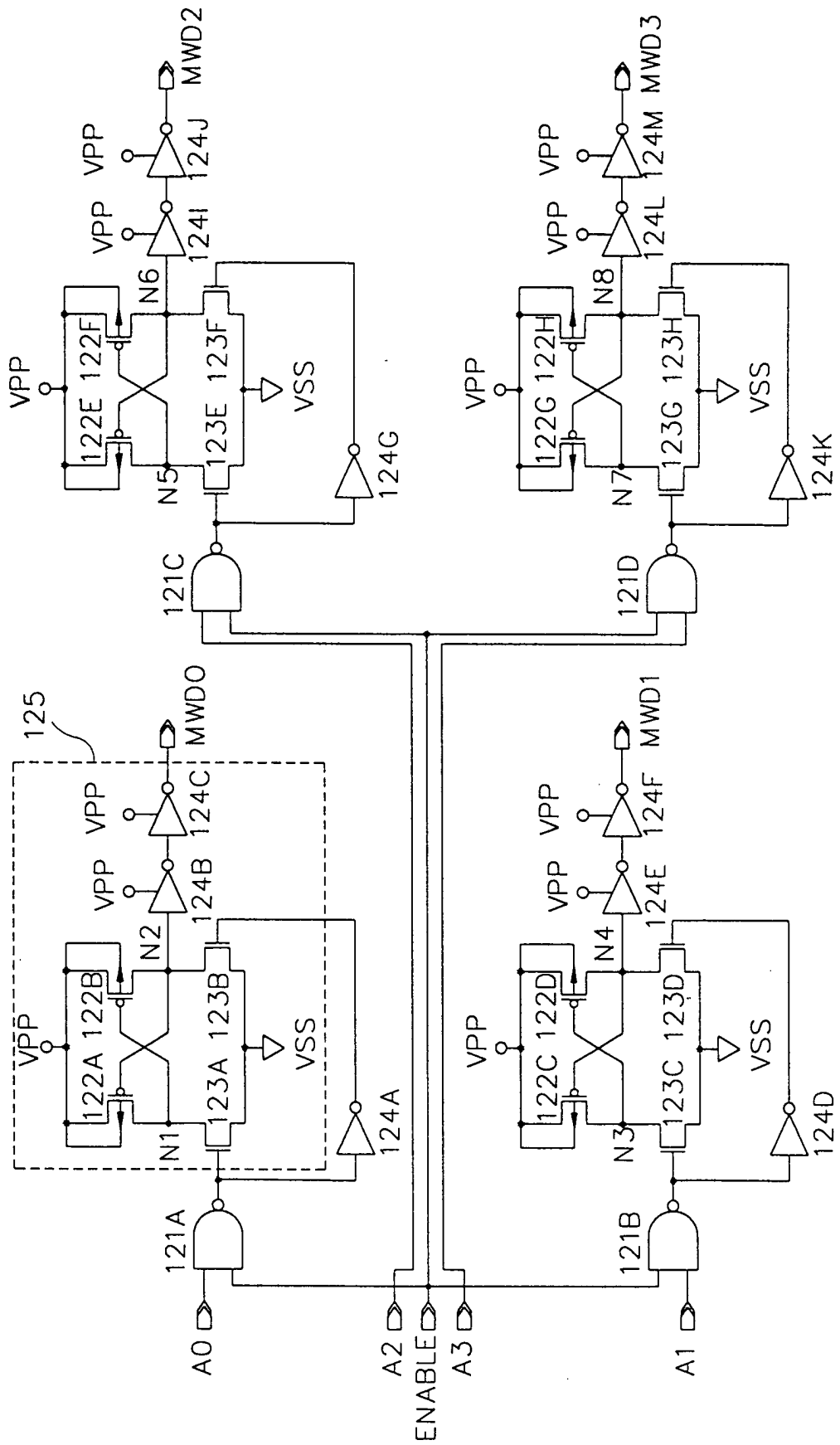


FIG.6

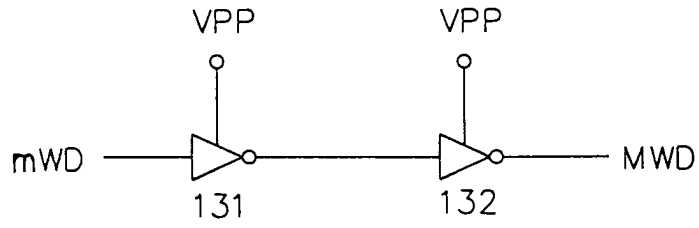


FIG.7

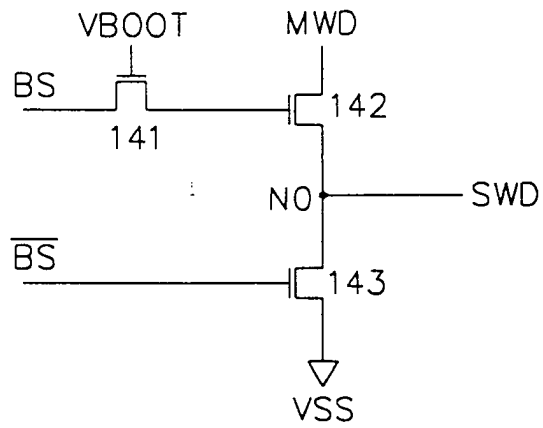


FIG.8

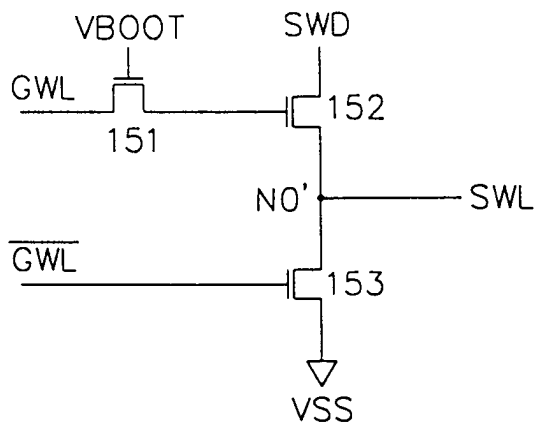


FIG.9

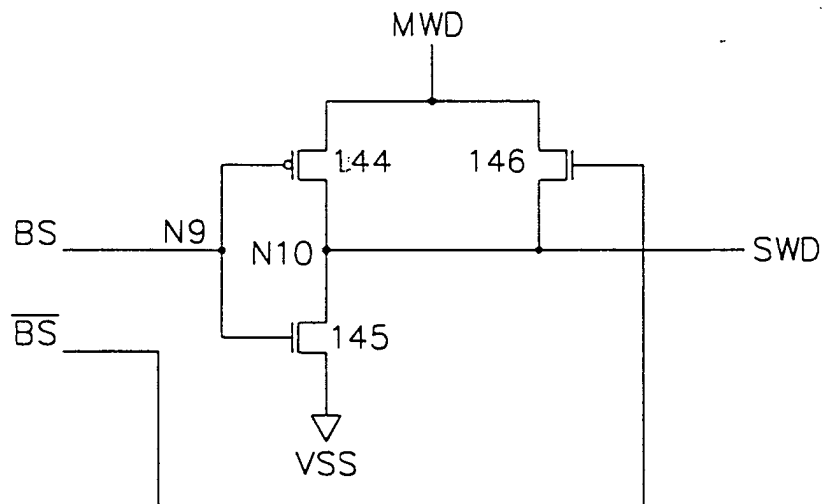


FIG.10

