



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2005 061 378 A1** 2006.06.29

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2005 061 378.0**

(22) Anmeldetag: **13.12.2005**

(43) Offenlegungstag: **29.06.2006**

(51) Int Cl.⁸: **H01L 29/78** (2006.01)

(30) Unionspriorität:
10-2004-0106393 15.12.2004 KR

(71) Anmelder:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:
Jang, Sung-Pil, Yongin, Kyonggi, KR; Kim, Han-Gu, Seongnam, Kyonggi, KR; Jeon, Chan-Hee, Suwon, Kyonggi, KR

Prüfungsantrag gemäß § 44 PatG ist gestellt.

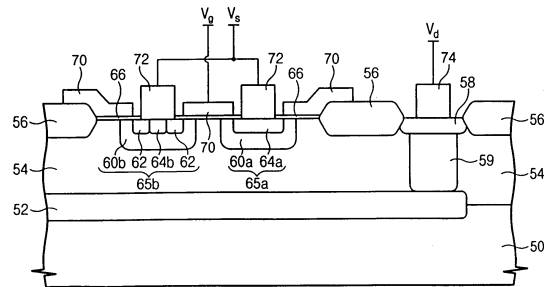
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **VDMOS-Bauelement**

(57) Zusammenfassung: Die Erfindung bezieht sich auf ein vertikales doppeldiffundiertes Metall-Oxid-Halbleiter(VDMOS)-Bauelement mit einem Drainbereich (58) eines ersten Leitfähigkeitstyps, der auf einer epitaxialen Schicht (54) des ersten Leitfähigkeitstyps ausgebildet ist, und einer Mehrzahl von Doppeldiffusions-Sourcebereichen (65a, 65b), die von dem auf der epitaxialen Schicht ausgebildeten Drainbereich isoliert sind.

Erfindungsgemäß beinhaltet ein erster Sourcebereich (65a) nahe des Drainbereichs eine erste Diffusionsstruktur, bei der eine stark dotierte Diffusionsschicht (64a) eines zweiten Leitfähigkeitstyps in einem Körperbereich (60a) des zweiten Leitfähigkeitstyps ausgebildet ist, und wenigstens ein zweiter Sourcebereich (65b) beinhaltet eine davon verschiedene zweite Diffusionsstruktur, bei der eine stark dotierte Diffusionsschicht (62) des ersten Leitfähigkeitstyps und eine stark dotierte Diffusionsschicht (64b) des zweiten Leitfähigkeitstyps in einem Körperbereich (60b) des zweiten Leitfähigkeitstyps ausgebildet sind.

Verwendung in der DMOS-Bauelementtechnik.



Beschreibung

[0001] Die Erfindung bezieht sich auf ein vertikales, doppeltdiffundiertes Metall-Oxid-Halbleiter-Bauelement, auch kurz als vertikales DMOS-Bauelement oder VDMOS-Bauelement bezeichnet.

[0002] Doppeltdiffundierte Metall-Oxid-Halbleiter-Bauelemente, d.h. DMOS-Bauelemente, sind Bauelemente mit geringem Leistungsverbrauch und hoher Betriebsgeschwindigkeit. Die DMOS-Bauelemente werden in laterale doppeltdiffundierte Metall-Oxid-Halbleiter(LDMOS)-Bauelemente und vertikale doppeltdiffundierte Metall-Oxid-Halbleiter(VDMOS)-Bauelemente klassifiziert. Das VDMOS-Bauelement belegt eine kleinere Fläche im Vergleich zum LDMOS-Bauelement, ist jedoch nicht so beständig gegenüber elektrischer Überlastung (EOS) und elektrostatischer Entladung (ESD).

[0003] Bei einem DMOS-Bauelement mit einer Betriebsspannung, die höher als mehrere Volt ist, wird eine Durchbruchspannung durch Dotieren eines Sourcebereichs und eines Drainbereichs mit einer geringen Konzentration erhöht. Als Ergebnis einer geringen Dotierkonzentration der Source- und Drainbereiche tritt eine Stromüberhöhung auf, die durch ein Basis-Austreibphänomen induziert wird, was einen thermischen Zusammenbruch des Bauelements mit sich bringen kann. Speziell wird ein lateraler Bipolartransistor zuerst zwischen einem Drainbereich und einem Teil des Sourcebereichs betrieben, der in enger Nachbarschaft zum Drainbereich liegt. Demzufolge tritt bei einer niedrigeren Spannung ein stärkerer Rückschlag ("snapback") auf als bei einer normalen Spannung, was zu einem VDMOS führt, dessen Beständigkeit gegenüber ESD und EOS abgeschwächt ist.

Stand der Technik

[0004] Fig. 1 stellt eine Struktur und einen Zusammenbruchmechanismus eines herkömmlichen DMOS-Bauelements dar. Speziell zeigt Fig. 1 ein herkömmliches VDMOS-Bauelement mit einer epitaxialen Schicht **14** eines ersten Leitfähigkeitstyps, die auf einem Halbleitersubstrat **10** ausgebildet ist, und einer vergrabenen Diffusionsschicht **12**, die an einer Grenze zwischen der epitaxialen Schicht **14** und dem Halbleitersubstrat **10** ausgebildet ist. Eine Bauelementisolationsschicht **16** ist auf der epitaxialen Schicht **14** ausgebildet, um einen Sourcebereich und einen Drainbereich lateral zu trennen, und ein Senkenbereich **19** des ersten Leitfähigkeitstyps ist in der epitaxialen Schicht **14** ausgebildet. Der Senkenbereich **19** des ersten Leitfähigkeitstyps erstreckt sich von dem Drainbereich **18** zu der vergrabenen Diffusionsschicht **12**.

[0005] Das DMOS-Bauelement beinhaltet eine

Mehrzahl von Sourcebereichen **25**, die lateral isoliert sind. Jeder Sourcebereich **25** beinhaltet einen Body- bzw. Körperbereich **20** eines zweiten Leitfähigkeitstyps an einem oberen Teil der epitaxialen Schicht **14**, eine stark dotierte Diffusionsschicht **22** des ersten Leitfähigkeitstyps, die in dem Körperbereich **20** ausgebildet ist, und eine stark dotierte Diffusionsschicht **24** des zweiten Leitfähigkeitstyps. Der obere Teil des Körperbereichs **20** zwischen der stark dotierten Diffusionsschicht **22** des ersten Leitfähigkeitstyps und der epitaxialen Schicht **14** ist als Kanal eines DMOS-Transistors vorgesehen.

[0006] Eine Gateelektrode **30** ist durch Zwischenfügen einer Gateisolationsschicht **26** auf der epitaxialen Schicht **14** gebildet. Die Gateelektrode **30** überlappt mit dem oberen Teil des Körperbereichs **20**, der als Kanal eines DMOS-Transistors vorgesehen ist. Ein Drain-Kontaktstift **34** und ein Source-Kontaktstift **32** sind mit dem Drainbereich **18** beziehungsweise dem Sourcebereich **25** verbunden.

[0007] Im normalen Betrieb wird eine Spannung über einen niederohmigen Pfad, der den Drainbereich **18**, den Senkenbereich **20** und die vergrabene Diffusionsschicht **12** beinhaltet, an die epitaxiale Schicht **14** in dem DMOS-Bauelement angelegt. Ein Kanal wird an dem oberen Teil des Körperbereichs **20** zwischen der ersten stark dotierten Diffusionsschicht **22** und der epitaxialen Schicht **14** gebildet. Da das DMOS-Bauelement eine Mehrzahl von Sourcebereichen **25** aufweist, sind mehrere DMOS-Transistorzellen parallel verbunden, so dass ein zugeführter Gesamtstrom des DMOS-Bauelements auf die Zellen aufgeteilt wird. Als Ergebnis kann ein Durchbruch des Bauelements verhindert werden.

[0008] Wenn eine an den Drainbereich angelegte Spannung erhöht wird, wird ein vertikaler Bipolartransistor so betrieben, dass Ladungen über die vergrabene Diffusionsschicht **12** und den Senkenbereich **19** zu dem Drainbereich **18** transferiert werden. Der vertikale Bipolartransistor beinhaltet die stark dotierte Diffusionsschicht **22** des ersten Leitfähigkeitstyps als einen Emitterbereich, den Körperbereich des zweiten Leitfähigkeitstyps als einen Basisbereich und die epitaxiale Schicht **14** des ersten Leitfähigkeitstyps als einen Kollektorbereich. Wenn ein horizontaler Abstand zwischen einem Sourcebereich **25a**, der in enger Nachbarschaft zu dem Drainbereich **18** liegt, nicht ausreichend ist und ein hoher Strom, wie im Fall von ESD oder EOS, in das DMOS-Bauelement fließt, wird ein lateraler Bipolartransistor T1 zuvor mit einer niedrigeren Spannung als der Einschaltspannung des vertikalen Bipolartransistors eingeschaltet. Demzufolge tritt ein stärkeres Rückschlagen bei einer niedrigeren Spannung als einer normalen ersten Snap-Spannung auf, so dass augenblicklich eine große Menge an Strom in den Basisbereich des horizontalen Bipolartransistors T1 fließt. In dem Fall,

dass eine Dotierkonzentration des Sourcebereichs niedrig ist, um einen großen Betriebsspannungsbereich zu haben, wird eine Stromüberhöhung durch ein Basis-Austreibphänomen induziert, und ein thermischer Durchbruch des DMOS-Bauelements kann auftreten.

Aufgabenstellung

[0009] Der Erfindung liegt als technisches Problem die Bereitstellung eines VDMOS-Bauelements der eingangs genannten Art zugrunde, mit dem sich die oben erwähnten Schwierigkeiten des Standes der Technik reduzieren oder eliminieren lassen.

[0010] Die Erfindung löst dieses Problem durch die Bereitstellung eines VDMOS-Bauelements mit den Merkmalen des Anspruchs 1.

[0011] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0012] VDMOS-Bauelemente gemäß der Erfindung sind in der Lage, einen Durchbruch aufgrund einer hohen Strombelastung durch ESD oder EOD zu verhindern. Insbesondere lässt sich eine hohe Stromkonzentration in einem Bereich vermeiden, der ihr eventuell nicht standhalten könnte, indem ein etwa momentan entstehender hoher Strom verteilt wird. Dazu können sie eine Sperrdiodenstruktur aufweisen.

[0013] Die Sourcebereiche in entsprechenden Ausführungsformen sind über Zwischenverbindungen miteinander verbunden, und es kann eine Massepotential angelegt werden. Ein Sourcebereich der ersten Diffusionsstruktur und der Drainbereich bilden eine Diode. Ein Sourcebereich einer zweiten Diffusionsstruktur und der Drainbereich bilden einen Bipolartransistor. So werden Bipolartransistoren in anderen Sourcebereichen, die von dem Drainbereich ausreichend isoliert sind, eingeschaltet, bevor ein Sperrdurchbruch der Diode in dem Sourcebereich in enger Nachbarschaft zu dem Drainbereich auftritt. Als Ergebnis kann ein Belastungsstrom neu verteilt werden.

[0014] Eine Gateelektrode des DMOS-Bauelements kann mit einem Teil des Sourcebereichs überlappen. Ein Kanal eines MOS-Transistors ist in dem Körperbereich des zweiten Leitfähigkeitstyps der zweiten Diffusionsstruktur durch die Gateelektrode definiert. Eine Schwellenspannung des MOS-Transistors ist niedriger als eine Einschaltspannung des Bipolartransistors, und eine Einschaltspannung des Bipolartransistors ist niedriger als eine Sperrdurchbruchspannung der Diode. Aufgrund dieser Charakteristika kann der Durchbruch des DMOS-Bauelements unter einer normalen Betriebsspannung und beim Auftreten eines hohen Stroms verhindert wer-

den, wie im Fall von ESD oder EOD, wenn zum Beispiel ein Hochleistungs-DMOS-Transistor mit einem im Körperbereich ausgebildeten Kanal betrieben wird und ein Bipolartransistor in dem Sourcebereich betrieben wird, der von dem Drainbereich ausreichend isoliert ist.

[0015] Eine Sperrdiode kann die epitaxiale Schicht des ersten Leitfähigkeitstyps und den Sourcebereich des zweiten Leitfähigkeitstyps beinhalten. Ein Bipolartransistor kann die epitaxiale Schicht des ersten Leitfähigkeitstyps, den zweiten Körperbereich des zweiten Leitfähigkeitstyps und eine stark dotierte Diffusionsschicht des ersten Leitfähigkeitstyps in dem zweiten Sourcebereich beinhalten. Der Bipolartransistor beinhaltet die stark dotierte Diffusionsschicht des ersten Leitfähigkeitstyps als Emitterbereich, den zweiten Körperbereich als Basisbereich und die epitaxiale Schicht als Kollektorbereich. Da eine Einschaltspannung des Bipolartransistors niedriger als eine Sperrdurchbruchspannung der Diode ist, können Bipolartransistoren eingeschaltet werden, bevor ein Durchbruch in der Diode auftritt, so dass ein Strom neu verteilt werden kann.

[0016] Das DMOS-Bauelement der Erfindung kann eine Gateisolationsschicht und eine Gateelektrode beinhalten, die auf der epitaxialen Schicht ausgebildet sind. Die Gateelektrode überlappt mit dem ersten und dem zweiten Körperbereich. Der erste Körperbereich befindet sich zwischen der ersten stark dotierten Diffusionsschicht des zweiten Leitfähigkeitstyps und der epitaxialen Schicht, und der zweite Körperbereich befindet sich zwischen der stark dotierten Diffusionsschicht des ersten Leitfähigkeitstyps und der epitaxialen Schicht. Ein Kanal eines Metall-Oxid-Halbleiter(MOS)-Transistors ist durch die Gateelektrode in dem zweiten Körperbereich zwischen der stark dotierten Diffusionsschicht des ersten Leitfähigkeitstyps und der epitaxialen Schicht definiert. Eine Schwellenspannung des MOS-Transistors ist niedriger als eine Einschaltspannung des Bipolartransistors. Daher ist unter einer normalen Betriebsspannung der MOS-Transistor in Betrieb, und unter einer hohen Spannung wird der Bipolartransistor eingeschaltet, bevor ein Durchbruch in der Diode auftritt. Als Ergebnis wird ein Strom neu verteilt.

Ausführungsbeispiel

[0017] Vorteilhafte, nachfolgend beschriebene Ausführungsformen sowie das zu deren besserem Verständnis oben erläuterte herkömmliche Ausführungsbeispiel sind in den Zeichnungen dargestellt. Hierbei zeigen:

[0018] [Fig. 1](#) eine schematische Querschnittansicht eines herkömmlichen VDMOS-Bauelements,

[0019] [Fig. 2](#) eine Querschnittansicht eines VD-

MOS-Bauelements gemäß der Erfindung,

[0020] [Fig. 3](#) eine Querschnittansicht entsprechend [Fig. 2](#) in einem Betriebszustand des VDMOS-Bauelements und

[0021] [Fig. 4](#) eine Querschnittansicht eines weiteren VDMOS-Bauelements gemäß der Erfindung.

[0022] Nunmehr werden exemplarische Ausführungsformen der Erfindung vollständiger unter Bezugnahme auf die [Fig. 2](#) bis [Fig. 4](#) beschrieben. In den Zeichnungen ist die Dicke von Schichten und Bereichen zwecks Klarheit übertrieben dargestellt. Gleiche Bezugszeichen beziehen sich überall auf identische oder funktionell äquivalente Elemente. Es versteht sich, dass wenn ein Element, wie eine Schicht, ein Bereich oder ein Substrat, als "auf" einem anderen Element liegend oder sich "auf" diesem erstreckend bezeichnet wird, es direkt auf dem anderen Element liegen oder sich direkt auf diesem erstrecken kann oder auch zwischenliegende Elemente vorhanden sein können. Außerdem bezieht sich der hierin verwendete Ausdruck "stark dotiert" auf eine höhere als eine durchschnittliche Konzentration.

[0023] [Fig. 2](#) zeigt ein VDMOS-Bauelement gemäß einer bevorzugten Ausführungsform der Erfindung, das eine epitaxiale Schicht **54** eines ersten Leitfähigkeitstyps auf einem Halbleitersubstrat **50** und eine vergrabene Diffusionsschicht **52** des ersten Leitfähigkeitstyps an einer Grenze zwischen der epitaxialen Schicht **54** des ersten Leitfähigkeitstyps und dem Halbleitersubstrat **50** beinhaltet. Die epitaxiale Schicht **54** ist vorzugsweise mit einer geringen Konzentration dotiert, d.h. geringer als eine durchschnittliche Konzentration, und die vergrabene Diffusionsschicht **52** ist mit einer hohen Konzentration dotiert, d.h. höher als eine durchschnittliche Konzentration, um so einen niederohmigen Pfad für das DMOS-Bauelement bereitzustellen. Eine Bauelementisolationsschicht **56** ist in der epitaxialen Schicht **54** ausgebildet, um einen Drainbereich und eine Mehrzahl von Sourcebereichen in einer Breitenrichtung zu trennen. Störstellen des ersten Leitfähigkeitstyps sind in die epitaxiale Schicht **54** implantiert, um einen Drainbereich **58** des ersten Leitfähigkeitstyps zu bilden. Ein Senkenbereich **59** des ersten Leitfähigkeitstyps erstreckt sich bis zu der vergrabenen Diffusionsschicht **52** unter dem Drainbereich **58**.

[0024] Auf einer Oberfläche der epitaxialen Schicht **54** ist isoliert von dem Drainbereich **58** eine Mehrzahl von Sourcebereichen ausgebildet. Die Sourcebereiche sind in zwei Strukturen klassifiziert. Ein erster Sourcebereich **65a** beinhaltet einen ersten Körperbereich **60a** eines zweiten Leitfähigkeitstyps, der in der epitaxialen Schicht **54** ausgebildet ist, und eine stark dotierte erste Diffusionsschicht **64a** des zweiten Leitfähigkeitstyps. Ein zweiter Sourcebereich **65b** bein-

haltet einen zweiten Körperbereich **60b** des zweiten Leitfähigkeitstyps, der in der epitaxialen Schicht **54** ausgebildet ist, eine stark dotierte Diffusionsschicht **62** des ersten Leitfähigkeitstyps, die in dem zweiten Körperbereich **60b** ausgebildet ist, und eine zweite, stark dotierte Diffusionsschicht **64b** eines zweiten Leitfähigkeitstyps. Zu der Mehrzahl von Sourcebereichen gehören der erste Sourcebereich **65a**, der in enger Nachbarschaft zu dem Drainbereich **58** liegt, und der zweite Sourcebereich **65b**, der von dem Drainbereich **58** isoliert ist.

[0025] Eine Gateelektrode **70** ist auf der epitaxialen Schicht **54** gebildet, wobei eine Gateisolationsschicht **66** zwischengefügt ist. Die Gateelektrode **70** überlappt mit einem Teil der Sourcebereiche. Wie in [Fig. 2](#) gezeigt, überlappt die Gateelektrode **70** mit einem oberen Bereich des zweiten Körperbereichs **60b** zwischen der stark dotierten Diffusionsschicht **62** des ersten Leitfähigkeitstyps und der epitaxialen Schicht **54**. Das DMOS-Bauelement beinhaltet eine Mehrzahl von DMOS-Transistorzellen, die parallel geschaltet sind. Ein Kanal des DMOS-Bauelements ist auf einer Oberfläche des zweiten Körperbereichs **60b** definiert. Ein Drain-Kontaktstift **74** ist mit dem Drainbereich verbunden. Ein Source-Kontaktstift **72** ist mit dem ersten beziehungsweise dem zweiten Sourcebereich **65a**, **65b** verbunden.

[0026] Der erste und der zweite Sourcebereich **65a**, **65b** sind über Zwischenverbindungen miteinander verbunden. Wenn zum Beispiel eine Lastspannung V_d an den Drain-Kontaktstift **74** angelegt wird, ein Steuersignal V_g an die Gateelektrode **70** angelegt wird und eine Massespannung V_s an den Source-Kontaktstift **72** unter einer normalen Betriebsspannung angelegt wird, wird ein Kanal auf der Oberfläche des zweiten Körperbereichs **60b** ausgebildet, wodurch die DMOS-Transistorzelle eingeschaltet wird.

[0027] [Fig. 3](#) stellt einen Betrieb des VDMOS gemäß einer bevorzugten Ausführungsform der Erfindung dar. Gemäß [Fig. 3](#) beinhaltet dieses DMOS-Bauelement eine Diode **D1** und einen vertikalen Bipolartransistor **T2**. Die Diode **D1** beinhaltet den ersten Sourcebereich **65a** und die epitaxiale Schicht **54**. Der vertikale Bipolartransistor **T2** beinhaltet den zweiten Sourcebereich **65b** und die epitaxiale Schicht **54**. Im Fall eines n-leitenden DMOS-Bauelements beinhaltet die Diode **D1** den ersten Sourcebereich **65a** des zweiten Leitfähigkeitstyps als Anodenbereich und die epitaxiale Schicht **54** des ersten Leitfähigkeitstyps als Kathodenbereich. Außerdem beinhaltet der Bipolartransistor **T2** die stark dotierte Diffusionsschicht **62** des ersten Leitfähigkeitstyps als Emitterbereich, den zweiten Körperbereich **60b** des zweiten Leitfähigkeitstyps als Basisbereich und die epitaxiale Schicht **54** des ersten Leitfähigkeitstyps als Kollektorbereich. Der erste und der zweite Sourcebe-

reich **65a**, **65b** sind über Zwischenverbindungen miteinander verbunden und werden demgemäß mit der gleichen Vorspannung beaufschlagt. So ist eine Ersatzschaltkreisstruktur gebildet, bei welcher der Emitterbereich des Bipolartransistors T2 mit dem Anodenbereich der Diode D1 elektrisch verbunden ist.

[0028] Unter einer normalen Betriebsspannung wird, wenn eine Lastspannung V_d , ein Steuersignal V_g und eine Massespannung V_s an den Drain-Kontaktstift **74**, die Gateelektrode **70** bzw. den Source-Kontaktstift **72** angelegt werden, die Lastspannung V_d durch einen niederohmigen Pfad, der den Senkenbereich **59** und die vergrabene Diffusionsschicht **53** beinhaltet, an die epitaxiale Schicht **54** angelegt. Ein Kanal wird an einer Oberfläche des zweiten Körperbereichs **60b** zwischen der stark dotierten Diffusionsschicht **62** des ersten Leitfähigkeitstyps und der epitaxialen Schicht **54** gebildet, so dass die DMOS-Transistorzelle eingeschaltet wird. Da eine Durchbruchsperrspannung der Diode D1 ausreichend höher als die Einschaltspannung des DMOS-Transistors ist, fließt ein Strom entlang eines niederohmigen Pfades, der mit dem Senkenbereich **59** und der vergrabenen Diffusionsschicht **52** verbunden ist. Außerdem wird ein Strompfad vertikal zu der epitaxialen Schicht **54** gebildet, und demgemäß fließt ein Strom durch den Kanal des DMOS-Transistors.

[0029] Wenn eine Spannung, die an den Drainbereich **58** angelegt ist, unabhängig davon, ob das Steuersignal V_g an die Gateelektrode **70** angelegt ist, über die Einschaltspannung des Bipolartransistors T2 hinaus angehoben wird, wird der Bipolartransistor T2 eingeschaltet. Als Ergebnis fließt der Strom, der durch den Kanal des DMOS-Transistors fließt, vertikal durch den zweiten Körperbereich **60b**. Da ein Strom entlang des niederohmigen Pfades unter einer hohen Spannung fließt, kann verhindert werden, dass eine Oberflächenstromdichte am Sourcebereich in der Nachbarschaft des Drainbereichs **58** erhöht wird. Es ist bevorzugt, dass die Durchbruchspannung der Diode D1 höher als die Einschaltspannung des Bipolartransistors T2 ist.

[0030] In einem herkömmlichen DMOS-Bauelement wird, wenn ein hoher Strom zufließt, wie im Fall von ESD oder EOS, ein horizontaler Bipolartransistor, siehe T1 von [Fig. 1](#), zwischen dem Drainbereich und dem benachbarten Sourcebereich im Voraus unter einer niedrigeren Spannung als der Einschaltspannung des vertikalen Bipolartransistors T2 eingeschaltet. Aus diesem Grund ist momentan eine große Menge an Strom auf dem Sourcebereich **25a** konzentriert, wodurch ein thermischer Zusammenbruch des Bauelements verursacht werden kann. Bei exemplarischen Ausführungsformen der Erfindung wird jedoch eine Sperrdiode zum Sourcebereich nahe des Drainbereichs **58** betrieben, so dass kein Strom auf

dem ersten Sourcebereich nahe des Drainbereichs konzentriert wird, sondern stattdessen ein Strompfad durch die vergrabene Diffusionsschicht **52** zu dem zweiten Sourcebereich **60b** gebildet ist.

[0031] Demgemäß kann ein ESD-Impuls kurzer Dauer aufgrund des Einschaltens des vertikalen Bipolartransistors T2 effektiv entladen werden. Bei einem EOS-Stoß, bei dem eine große Menge an Strom zufließt, wird ein Strom in den Bipolartransistor T2 und die Diode D1 aufgeteilt, und so kann eine Stromanhäufung unterdrückt werden. Mit anderen Worten wird ein Strom durch Erhöhen des Stroms des Bipolartransistors T2 und des Einschaltwiderstands begrenzt. Wenn dann eine Spannung durch die Strombegrenzung des Bipolartransistors T2 und das Inkrement des Widerstands wieder erhöht wird, bricht eine Diode durch, so dass ein Strompfad zu der Diode D1 geändert wird. Wenn der Einschaltwiderstand des Bipolartransistors T2 verringert und der Bipolartransistor T2 eingeschaltet wird, wird ein Strompfad von der Diode D1 zu dem Bipolartransistor T2 geändert. Mittels wiederholtem Durchführen dieser Prozesse kann eine Stromanhäufung durch den EOS-Stoß unterdrückt werden.

[0032] Die Durchbruchspannung der Diode D1 kann durch Absenken einer Dotierkonzentration verringert werden. Herkömmlicherweise gibt es eine Beschränkung für das Absenken einer Dotierkonzentration eines Körperbereichs als ein Basisbereich des Bipolartransistors aufgrund einer Stromanhäufung durch eine Basis-Austreibung ("base push-out"). Bei exemplarischen Ausführungsformen der Erfindung wird jedoch, da ein Sourcebereich, der gegenüber ESD oder EOS nicht beständig ist, als Diode betrieben wird, ein Strom aufgeteilt, obwohl eine Basiskonzentration des Bipolartransistors abgesenkt wird. Als Ergebnis ist eine ausreichende Beständigkeit gegenüber einem thermischen Zusammenbruch des Bauelements gegeben.

[0033] [Fig. 4](#) zeigt ein weiteres vertikales DMOS-Bauelement gemäß einer exemplarischen Ausführungsform der Erfindung, das ähnlich wie das DMOS-Bauelement von [Fig. 2](#) eine epitaxiale Schicht **154** eines ersten Leitfähigkeitstyps auf einem Halbleitersubstrat **150**, eine vergrabene Diffusionsschicht **152** des ersten Leitfähigkeitstyps, einen Drainbereich **158** des ersten Leitfähigkeitstyps und einen Senkenbereich **159**, die auf der epitaxialen Schicht **154** ausgebildet sind, sowie eine Mehrzahl von Sourcebereichen **165a** und **165b** umfasst, die durch eine Bauelementisolationsschicht **156** von dem Drainbereich **158** getrennt und auf der epitaxialen Schicht **154** ausgebildet sind. Die Sourcebereiche **165a** und **165b** sind in einem Teil der epitaxialen Schicht **154** ausgebildet, der durch den Drainbereich **158** und den Senkenbereich **159** definiert ist. Die Sourcebereiche **165a** und **165b** sind zweidimensio-

nal in einem von dem Drainbereich umgebenen Bereich angeordnet.

[0034] Der erste Sourcebereich **156a**, der sich in enger Nachbarschaft zu dem Drainbereich befindet, weist eine Struktur auf, bei der eine erste stark dotierte Diffusionsschicht eines zweiten Leitfähigkeitstyps in einem ersten Körperbereich des zweiten Leitfähigkeitstyps ausgebildet ist. Der zweite Sourcebereich **156b**, der von dem Drainbereich **158** isoliert ist, weist ähnlich wie ein herkömmliches DMOS-Bauelement eine Struktur auf, bei der eine stark dotierte Diffusionsschicht **162** des ersten Leitfähigkeitstyps und eine zweite, stark dotierte Diffusionsschicht **164b** des zweiten Leitfähigkeitstyps in einem zweiten Körperbereich **160b** des zweiten Leitfähigkeitstyps ausgebildet sind. Zum Beispiel können bei der Herstellung eines DMOS-Bauelements mit einer Source-Zellenstruktur mit einer Matrix- oder einer Honigwabenstruktur randseitige Sourcezellen nahe des Drainbereichs in einer Struktur ähnlich dem ersten Sourcebereich **156a** gebildet werden, und mittige Sourcezellen können in einer Struktur ähnlich dem zweiten Sourcebereich **156** gebildet werden.

[0035] Eine Gateelektrode **170** ist unter Zwischenfügen einer Gateisolationsschicht **166** auf der epitaxialen Schicht **154** gebildet. Ähnlich einer Gateelektrode eines herkömmlichen DMOS-Bauelements kann die Gateelektrode eine gitterförmige Struktur aufweisen, bei welcher die Sourcebereiche freiliegen.

[0036] Die Gateelektrode **170** überlappt mit dem zweiten Körperbereich **160**, der aus einer Mehrzahl von DMOS-Transistoren mit einem Kanal auf einer Oberfläche des zweiten Körperbereichs **160** des zweiten Leitfähigkeitstyps zwischen der stark dotierten Diffusionsschicht **162** des ersten Leitfähigkeitstyps und der epitaxialen Schicht des ersten Leitfähigkeitstyps besteht. Da das DMOS-Bauelement eine Mehrzahl von Bipolartransistoren beinhaltet, wird ein hoher Belastungsstrom auf die Mehrzahl von Bipolartransistoren und die Diode aufgeteilt. Demgemäß kann ein thermischer Zusammenbruch des DMOS-Bauelements verhindert werden.

[0037] Wie zuvor erwähnt, wird die Diode in dem DMOS-Bauelement mit einer Mehrzahl von Sourcebereichen, die von dem Drainbereich isoliert sind, durch Ändern einer Störstellendiffusionsstruktur eines Sourcebereichs benachbart zu dem Drainbereich betrieben. Daher wird im Fall von ESD oder EOS ein starker Strompfad gebildet, so dass der Durchbruch bzw. Zusammenbruch des Bauelements verhindert werden kann.

[0038] Das heißt, ein Strompfad zu dem Sourcebereich in enger Nachbarschaft zu dem Drainbereich, der gegenüber EOS oder ESD nicht beständig ist, wird durch eine Diode abgeschnitten, und ein Strom

fließt vertikal durch einen niederohmigen Pfad über eine vergrabene Diffusionsschicht in einem Sourcebereich, der von dem Drainbereich isoliert ist. Als Ergebnis wird der Strom nicht konzentriert, sondern verteilt, wodurch der Durchbruch des Bauelements verhindert wird.

Patentansprüche

1. Vertikales, doppeltdiffundiertes Metall-Oxid-Halbleiter(VDMOS)-Bauelement mit
 – einem Drainbereich (**58**) eines ersten Leitfähigkeitstyps, der auf einer epitaxialen Schicht (**54**) des ersten Leitfähigkeitstyps ausgebildet ist, und
 – einer Mehrzahl von Doppeldiffusions-Sourcebereichen (**65a**, **65b**), die von dem auf der epitaxialen Schicht ausgebildeten Drainbereich isoliert sind,
 – einem ersten Sourcebereich (**65a**) nahe des Drainbereichs (**58**) mit einer ersten Diffusionsstruktur und
 – wenigstens einem zweiten Sourcebereich (**65b**) mit einer zweiten Diffusionsstruktur, bei der eine stark dotierte Diffusionsschicht (**62**) des ersten Leitfähigkeitstyps und eine stark dotierte Diffusionsschicht (**64b**) des zweiten Leitfähigkeitstyps in einem Körperbereich (**60b**) des zweiten Leitfähigkeitstyps ausgebildet sind,

dadurch gekennzeichnet, dass

– die erste Diffusionsstruktur des ersten Sourcebereichs (**65a**) von der zweiten Diffusionsstruktur verschieden ist und eine stark dotierte Diffusionsschicht (**64a**) eines zweiten Leitfähigkeitstyps beinhaltet, die in einem Körperbereich (**60a**) des zweiten Leitfähigkeitstyps ausgebildet ist.

2. VDMOS-Bauelement nach Anspruch 1, gekennzeichnet durch eine Gateelektrode (**70**), die einen oberen Bereich eines Sourcebereichsteils überlappt.

3. VDMOS-Bauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der erste Sourcebereich und der zweite Sourcebereich durch eine Zwischenverbindung verbunden sind.

4. VDMOS-Bauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der Drainbereich und der erste Sourcebereich als Diode fungieren und/oder der Drainbereich und der zweite Sourcebereich als Bipolartransistor fungieren, wenn eine elektrostatische Entladung (ESD) oder eine elektrische Überlastung (EOS) den Drainbereich betreffen.

5. VDMOS-Bauelement nach Anspruch 4, dadurch gekennzeichnet, dass eine Durchbruchspannung der Diode höher als eine Einschaltspannung des Bipolartransistors ist.

6. VDMOS-Bauelement nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, dass ein Kanal

eines MOS-Transistors in dem Körperbereich des zweiten Leitfähigkeitstyps der zweiten Diffusionsstruktur gebildet wird, wenn ein Steuersignal an die Gateelektrode angelegt wird.

7. VDMOS-Bauelement nach Anspruch 6, dadurch gekennzeichnet, dass die Einschaltspannung des Bipolartransistors höher als eine Schwellenspannung des MOS-Transistors ist und eine Durchbruchspannung der Diode höher als die Einschaltspannung des Bipolartransistors ist.

8. VDMOS-Bauelement nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass
 – die epitaxiale Schicht des ersten Leitfähigkeitstyps auf einem Substrat (**50**) ausgebildet ist,
 – eine vergrabene Diffusionsschicht (**52**) des ersten Leitfähigkeitstyps an einem Grenzbereich der epitaxialen Schicht und des Substrats ausgebildet ist,
 – der Drainbereich des ersten Leitfähigkeitstyps in einem oberen Teil der epitaxialen Schicht ausgebildet ist und
 – die Mehrzahl von Sourcebereichen in einem oberen Teil der epitaxialen Schicht ausgebildet ist.

9. VDMOS-Bauelement nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass der Drainbereich, die epitaxiale Schicht und der erste Sourcebereich als Diode fungieren, wenn eine elektrostatische Entladung (ESD) oder eine elektrische Überlastung (EOS) den Drainbereich beaufschlagen.

10. VDMOS-Bauelement nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass der Drainbereich, die epitaxiale Schicht und der zweite Sourcebereich als Diode fungieren, wenn eine elektrostatische Entladung (ESD) oder eine elektrische Überlastung (EOS) den Drainbereich beaufschlagen.

11. VDMOS-Bauelement nach einem der Ansprüche 4 bis 10, dadurch gekennzeichnet, dass der Bipolartransistor die stark dotierte Diffusionsschicht des ersten Leitfähigkeitstyps als Emitterbereich, den zweiten Körperbereich als Basisbereich und die epitaxiale Schicht als Kollektorbereich beinhaltet.

12. VDMOS-Bauelement nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass die epitaxiale Schicht und der erste Sourcebereich als Diode fungieren und die epitaxiale Schicht und der zweite Sourcebereich als Bipolartransistor fungieren, wenn eine elektrostatische Entladung (ESD) oder eine elektrische Überlastung (EOS) auftreten, wobei eine Einschaltspannung des Bipolartransistors niedriger als eine Durchbruchspannung in Sperrrichtung der Diode ist.

13. VDMOS-Bauelement nach einem der Ansprüche 8 bis 12, gekennzeichnet durch
 – eine auf der epitaxialen Schicht ausgebildete Gatei-

solationsschicht und

– eine Gateelektrode, die auf der Gateisolationschicht ausgebildet ist und mit einem ersten Körperbereich und einem zweiten Körperbereich überlappt,
 – wobei sich der erste Körperbereich zwischen der ersten stark dotierten Diffusionsschicht des zweiten Leitfähigkeitstyps und der epitaxialen Schicht befindet und

– wobei sich der zweite Körperbereich zwischen der stark dotierten Diffusionsschicht des ersten Leitfähigkeitstyps und der epitaxialen Schicht befindet.

14. VDMOS-Bauelement nach Anspruch 13, dadurch gekennzeichnet, dass ein Kanal eines Metall-Oxid-Halbleiter(MOS)-Transistors in dem zweiten Körperbereich zwischen der stark dotierten Diffusionsschicht des ersten Leitfähigkeitstyps und der epitaxialen Schicht gebildet wird, wenn ein Steuersignal an die Gateelektrode angelegt wird.

Es folgen 3 Blatt Zeichnungen

Fig. 1

(STAND DER TECHNIK)

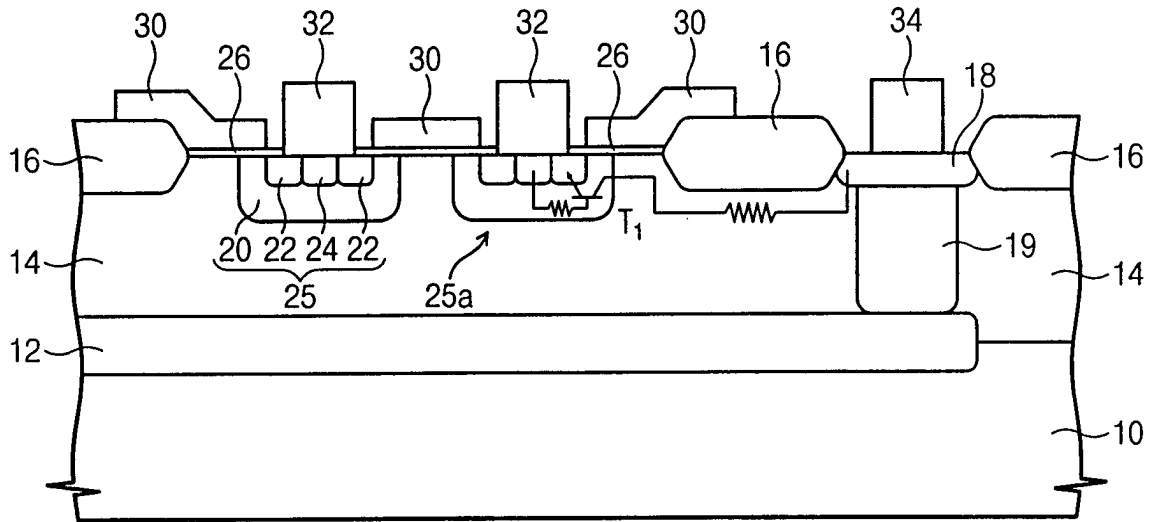


Fig. 2

