



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0008316  
(43) 공개일자 2015년01월22일

(51) 국제특허분류(Int. Cl.)  
H01L 21/336 (2006.01) H01L 29/786 (2006.01)  
H01L 21/324 (2006.01)  
(21) 출원번호 10-2013-0082442  
(22) 출원일자 2013년07월12일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
한지원  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
김태웅  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(뒷면에 계속)  
(74) 대리인  
리앤목특허법인

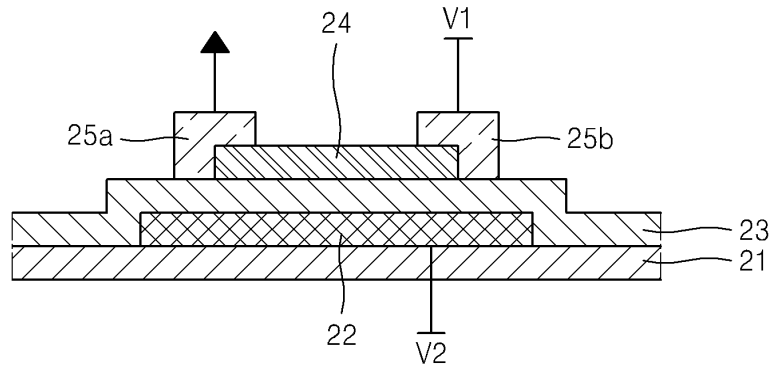
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 장치, 이의 제조 방법 및 시스템.

(57) 요약

반도체 장치 및 이의 제조 방법 및 시스템에 관한 것으로, 상세히 열처리된 산화물 반도체층을 포함하는 반도체 장치 및 산화물 반도체층의 열처리 공정을 포함하는 반도체 장치 제조 방법 및 반도체 장치 제조 시스템에 관한 것이다. 반도체 장치 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮도록 상기 기판 상에 제1 절연층을 형성하는 단계; 상기 제1 절연층 상에, 상기 게이트 전극과 대응되도록 산화물 반도체층을 형성하는 단계; 상기 제1 절연층 상에 상기 산화물 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계; 상기 소스전극 또는 상기 드레인전극에 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule)열로 상기 산화물 반도체층을 열처리하는 단계;를 포함한다.

대표도 - 도7



(72) 발명자

**임성일**

서울 마포구 도화길 28, 109동 801호 (도화동, 삼성아파트)

**이영택**

서울 강서구 양천로63길 42-36, 그린테라스 901호 (엽창동)

**전표진**

인천 남동구 석정로461번길 42, 104동 402호 (간석동, 범양아파트)

## 특허청구의 범위

### 청구항 1

기관 상에 게이트 전극을 형성하는 단계;  
상기 게이트 전극을 덮도록 상기 기관 상에 제1 절연층을 형성하는 단계;  
상기 제1 절연층 상에, 상기 게이트 전극과 대응되도록 산화물 반도체층을 형성하는 단계;  
상기 제1 절연층 상에 상기 산화물 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계;  
상기 소스전극 또는 상기 드레인전극에 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule)열로 상기 산화물 반도체층을 열처리하는 단계;  
를 포함하는 반도체 장치 제조 방법.

### 청구항 2

제1 항에 있어서,  
상기 열처리하는 단계는 상기 산화물 반도체층의 적어도 일부가 노출된 상태에서 상기 산화물 반도체층을 열처리하는  
반도체 장치 제조 방법.

### 청구항 3

제2 항에 있어서,  
상기 반도체 장치 제조 방법은  
상기 산화물 반도체층이 노출된 분위기(atmosphere)를 제어하는 단계; 를 더 포함하고,  
상기 열처리하는 단계는 상기 분위기에 노출된 상기 산화물 반도체층을 열처리하는  
반도체 장치 제조 방법.

### 청구항 4

제3 항에 있어서,  
상기 제어하는 단계는 상기 분위기를 진공, 대기, 산소, 또는 질소 분위기로 제어하는  
반도체 장치 제조 방법.

### 청구항 5

제1 항에 있어서,  
상기 게이트 전극, 상기 산화물 반도체층, 상기 소스전극 및 상기 드레인 전극을 포함하는 트랜지스터는 상기 기관 상에 복수 개 형성되고,  
상기 열처리하는 단계는 상기 트랜지스터 중 일부 트랜지스터의 상기 소스전극 또는 상기 드레인전극에 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄열로 상기 일부 트랜지스터의 산화물 반도체층을 열처리하는

반도체 장치 제조 방법.

**청구항 6**

제1 항에 있어서,

상기 열처리하는 단계는 상기 산화물 반도체층을 탈수화(dehydration) 또는 탈수소화(dehydrogenation)하는 반도체 장치 제조 방법.

**청구항 7**

제1 항에 있어서,

상기 반도체 장치의 성질은 상기 열처리에 의해 공핍형(depletion type)에서 증강형(enhancement type)으로 개질되는

반도체 장치 제조 방법.

**청구항 8**

제1 항에 있어서,

상기 열처리된 산화물 반도체층, 상기 소스전극 및 상기 드레인전극을 덮도록 상기 제1 절연층 상에 제2 절연층을 형성하는 단계;

를 더 포함하는 반도체 장치 제조 방법.

**청구항 9**

제1 항에 있어서,

상기 열처리하는 단계는

상기 소스전극 및 상기 드레인전극에 인가되는 전압을 제어하는 단계;를 포함하고,

상기 전압의 제어에 따라 상기 열처리의 온도가 제어되는

반도체 장치 제조 방법.

**청구항 10**

제1 항에 있어서,

상기 열처리하는 단계는 상기 소스전극 또는 상기 드레인전극에 제1 전압을 인가하고, 상기 게이트 전극에 제2 전압을 인가하는

반도체 장치 제조 방법.

**청구항 11**

반도체 장치는,

게이트 전극 ;

상기 게이트 전극을 덮는 제1 절연층;  
상기 게이트 전극과 대응되도록 상기 제1 절연층 상에 형성된 산화물 반도체층; 및  
상기 산화물 반도체층의 일부와 접하도록 상기 제1 절연층 상에 형성되는 소스전극 및 드레인전극;을 포함하고,  
상기 산화물 반도체층은 상기 소스전극 또는 상기 드레인전극에 전압을 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule) 열에 의해 열처리된 반도체 장치.

#### 청구항 12

제11 항에 있어서,  
상기 산화물 반도체층은 상기 열처리에 의해 탈수화(dehydration) 또는 탈수소화(dehydrogenation)된 반도체 장치.

#### 청구항 13

제11 항에 있어서,  
상기 반도체 장치의 성질은 증강형인 반도체 장치.

#### 청구항 14

제11 항에 있어서,  
상기 기판 상에 게이트 전극, 산화물 반도체층, 소스 전극 및 드레인 전극을 포함하는 복수 개의 트랜지스터가 구비되며,  
상기 트랜지스터 중 일부는 증강형이고, 다른 일부는 공핍형인 반도체 장치.

#### 청구항 15

제11 항에 있어서,  
열처리된 상기 산화물 반도체층, 상기 소스전극, 및 상기 드레인전극을 덮으며 상기 제1 절연층 상에 형성된 제2 절연층;을 더 포함하는 반도체 장치.

#### 청구항 16

게이트 전극;  
상기 게이트 전극을 덮으며 형성된 제1 절연층;  
상기 게이트 전극과 대응되도록 상기 제1 절연층 상에 형성된 산화물 반도체층; 및  
상기 산화물 반도체층의 일부와 접하도록 상기 제1 절연층 상에 형성되는 소스전극 및 드레인전극;  
을 포함하는 반도체 장치를 제조하기 위한 반도체 장치 제조 시스템은,  
상기 산화물 반도체층이 노출된 분위기(atmosphere)를 제어하는 분위기제어장치;를 포함하고  
상기 산화물 반도체층은 상기 분위기에 적어도 일부가 노출된 상태로 상기 소스전극 또는 상기 드레인전극에 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule) 열에 의해 열처리되는

반도체 장치 제조 시스템.

**청구항 17**

제16항에 있어서,

상기 제어장치는 상기 분위기를 진공, 대기, 산소, 또는 질소 분위기로 제어하는 반도체 장치 제조 시스템.

**청구항 18**

제16 항에 있어서,

상기 소스전극 및 상기 드레인전극에 인가되는 전압을 제어하는 전압제어장치;를 더 포함하고,

상기 전압의 제어에 따라 상기 열처리의 온도가 제어되는

반도체 장치 제조 시스템.

**명세서**

**기술분야**

[0001]

반도체 장치, 이의 제조 방법 및 시스템에 관한 것으로, 상세히 열처리된 산화물 반도체층을 포함하는 반도체 장치, 산화물 반도체층의 열처리 공정을 포함하는 반도체 장치 제조 방법 및 반도체 장치 제조 시스템에 관한 것이다.

**배경기술**

[0002]

반도체 소자는 집적회로와 같은 디바이스 제조 시, 다양한 목적을 위해 고온의 열처리를 필요로 한다. 예를 들어, 불순물 도핑을 위한 열처리, 반도체의 결정화 및 재결정화를 위한 열처리, 반도체의 결정 결함의 복구를 위한 열처리, 불순물 제거를 위한 열처리, 문턱전압(voltage threshold) 조절을 위한 열처리, 트랜지스터의 개질을 위한 열처리 등이 있다.

[0003]

이와 같은 반도체층의 열처리 방식으로는 퍼니스(Furnace) 방식, 급속열처리(RTA: Rapid Thermal Annealing) 방식 등이 있다. 퍼니스 방식은 200-300개의 웨이퍼를 한꺼번에 처리하는 일괄 처리공정이 가능하며, 챔버 내부 전체가 열적 평형 상태를 유지하여 웨이퍼를 반복적으로 교체하더라도 긴 시간 안정적인 공정이 가능하다. 급속 열처리 방식은 단일 웨이퍼 처리 방식으로, 처리량은 매우 낮으나 처리 순환시간이 빠르고 열처리 환경의 여러 변수들을 쉽게 제어할 수 있다. 또한 할로겐 램프를 이용하여 단시간 가열이 가능하여 열처리 시간이 짧아야 하는 공정에서 유용하게 사용된다.

[0004]

다만, 상기와 같은 반도체층의 열처리 방식은 모두 웨이퍼 단위의 대면적 열처리이므로 웨이퍼 내의 트랜지스터 단위에 대하여 선택적 열처리 공정이 불가능하다. 또한, 별도의 열처리 장비를 필요로 하며 가열에 필요한 에너지 소비가 크고, 열처리 온도를 제어하는 것이 용이하지 않을 수 있다.

**발명의 내용**

**해결하려는 과제**

[0005]

본 발명의 일 측면은 전기적 줄 히팅 방법(electrical joule heating method)을 이용하여 열처리 공정을 수행하는 반도체 장치 제조 방법 및 시스템, 상기 방법에 따라 제조된 반도체 장치를 제공하는 데 있다. 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 이하의 실시예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

**과제의 해결 수단**

[0006]

본 발명의 일 측면에 따른 반도체 장치 제조 방법은 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극을 덮도록 상기 기판 상에 제1 절연층을 형성하는 단계, 상기 제1 절연층 상에, 상기 게이트 전극과 대응되도록

산화물 반도체층을 형성하는 단계, 상기 제1 절연층 상에 상기 산화물 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계, 상기 소스전극 또는 상기 드레인전극에 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule)열로 상기 산화물 반도체층을 열처리하는 단계를 포함할 수 있다.

- [0007] 본 발명의 다른 측면에 따라 상기 산화물 반도체층은 도전성 물질을 포함할 수 있다.
- [0008] 본 발명의 다른 측면에 따라 상기 열처리하는 단계는 상기 산화물 반도체층의 적어도 일부가 노출된 상태에서 상기 산화물 반도체층을 열처리할 수 있다.
- [0009] 본 발명의 다른 측면에 따른 반도체 장치 제조 방법은 상기 산화물 반도체층이 노출된 분위기(atmosphere)를 제어하는 단계를 더 포함할 수 있고, 상기 열처리하는 단계는 상기 분위기에 노출된 상기 산화물 반도체층을 열처리할 수 있다.
- [0010] 본 발명의 다른 측면에 따라 상기 제어하는 단계는 상기 분위기를 진공, 대기, 산소, 또는 질소 분위기로 제어할 수 있다.
- [0011] 본 발명의 다른 측면에 따라 상기 게이트 전극, 상기 산화물 반도체층, 상기 소스전극 및 상기 드레인 전극을 포함하는 트랜지스터는 상기 기판 상에 복수 개 형성될 수 있고, 상기 열처리하는 단계는 상기 트랜지스터 중 일부 트랜지스터의 상기 소스전극 또는 상기 드레인전극에 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄열로 상기 일부 트랜지스터의 산화물 반도체층을 열처리할 수 있다.
- [0012] 본 발명의 다른 측면에 따라 상기 열처리하는 단계는 상기 산화물 반도체층을 탈수화(dehydration) 또는 탈수소화(dehydrogenation)할 수 있다.
- [0013] 본 발명의 다른 측면에 따라 상기 반도체 장치의 성질은 상기 열처리에 의해 공핍형(depletion type)에서 증강형(enhancement type)으로 개질될 수 있다.
- [0014] 본 발명의 다른 측면에 따른 반도체 장치 제조 방법은 상기 열처리된 산화물 반도체층, 상기 소스전극 및 상기 드레인전극을 덮도록 상기 제1 절연층 상에 제2 절연층을 형성하는 단계를 더 포함할 수 있다.
- [0015] 본 발명의 다른 측면에 따라 상기 열처리하는 단계는 상기 소스전극 및 상기 드레인전극에 인가되는 전압을 제어하는 단계를 포함할 수 있고, 상기 전압의 제어에 따라 상기 열처리의 온도가 제어될 수 있다.
- [0016] 본 발명의 다른 측면에 따라 상기 열처리하는 단계는 상기 소스전극 또는 상기 드레인전극에 제1 전압을 인가하고, 상기 게이트 전극에 제2 전압을 인가할 수 있다.
- [0017] 본 발명의 다른 측면에 따른 반도체 장치는 게이트 전극, 상기 게이트 전극을 덮는 제1 절연층, 상기 게이트 전극과 대응되도록 상기 제1 절연층 상에 형성된 산화물 반도체층 및 상기 산화물 반도체층의 일부와 접하도록 상기 제1 절연층 상에 형성되는 소스전극 및 드레인전극을 포함하고, 상기 산화물 반도체층은 상기 소스전극 또는 상기 드레인전극에 전압을 인가된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule) 열에 의해 열처리된 것일 수 있다.
- [0018] 본 발명의 다른 측면에 따라 상기 산화물 반도체층은 도전성 물질을 포함할 수 있다.
- [0019] 본 발명의 다른 측면에 따라 상기 산화물 반도체층은 상기 열처리에 의해 탈수화(dehydration) 또는 탈수소화(dehydrogenation)된 것일 수 있다.
- [0020] 본 발명의 다른 측면에 따라 상기 반도체 장치의 성질은 증강형일 수 있다.
- [0021] 본 발명의 다른 측면에 따라 상기 기판 상에 게이트 전극, 산화물 반도체층, 소스 전극 및 드레인 전극을 포함하는 복수 개의 트랜지스터가 구비되며, 상기 트랜지스터 중 일부는 증강형이고, 다른 일부는 공핍형일 수 있다.
- [0022] 본 발명의 다른 측면에 따른 반도체 장치는 열처리된 상기 산화물 반도체층, 상기 소스전극, 및 상기 드레인전극을 덮으며 상기 제1 절연층 상에 형성된 제2 절연층을 더 포함할 수 있다.
- [0023] 본 발명의 다른 측면에 따라, 게이트 전극, 상기 게이트 전극을 덮으며 형성된 제1 절연층, 상기 게이트 전극과 대응되도록 상기 제1 절연층 상에 형성된 산화물 반도체층 및 상기 산화물 반도체층의 일부와 접하도록 상기 제1 절연층 상에 형성되는 소스전극 및 드레인전극을 포함하는 반도체 장치를 제조하기 위한 반도체 장치 제조 시스템은, 상기 산화물 반도체층이 노출된 분위기(atmosphere)를 제어하는 분위기제어장치를 포함할 수 있고, 상기 산화물 반도체층은 상기 분위기에 적어도 일부가 노출된 상태로 상기 소스전극 또는 상기 드레인전극에 인가

된 전압에 의해 드레인 전류가 흐름에 따라 발생하는 줄(Joule) 열에 의해 열처리될 수 있다.

[0024] 본 발명의 다른 측면에 따라 상기 제어장치는 상기 분위기를 진공, 대기, 산소, 또는 질소 분위기로 제어할 수 있다.

[0025] 본 발명의 다른 측면에 따른 반도체 장치 제조 시스템은 상기 소스전극 및 상기 드레인전극에 인가되는 전압을 제어하는 전압제어장치를 더 포함할 수 있고, 상기 전압의 제어에 따라 상기 열처리의 온도가 제어될 수 있다.

**발명의 효과**

[0026] 이상과 같은 본 발명의 일 실시예에 따르면, 통전에 의해 발생하는 줄열을 이용하여 반도체층을 열처리함으로써 별도의 열처리 장비 없이 자가 열처리가 가능하며, 트랜지스터 단위의 선택적 열처리가 가능하고, 열처리 조건을 쉽게 제어할 수 있다.

**도면의 간단한 설명**

[0027] 도 1은 본 발명의 일 실시예에 따른 반도체 장치 제조 시스템을 개략적으로 나타내는 도면이다.  
 도 2 내지 도 8은 본 발명의 일 실시예에 따른 반도체 장치 제조 공정을 개략적으로 나타내는 단면도이다.  
 도 9는 본 발명의 일 실시예에 따른 반도체 장치를 도시한 것이다.  
 도 10은 트랜지스터의 열처리 시간에 따른 드레인 전류의 실험 예를 나타낸 것이다.  
 도 11은 본 발명의 일 실시예에 따른 열처리 공정 전후의 트랜지스터의 전기적 특성을 나타낸 것이다.  
 도 12는 본 발명의 일 실시예에 따른 선택적 열처리 후, 동일 기판 상의 트랜지스터들의 전기적 특성을 나타낸 것이다.  
 도 13은 퍼니스(Furnace) 방식에 의해 열처리된 트랜지스터들의 전기적 특성을 나타낸 것이다.

**발명을 실시하기 위한 구체적인 내용**

[0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0029] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0032] 도 1은 본 발명의 일 실시예에 따른 반도체 장치 제조 시스템을 개략적으로 나타내는 도면이다. 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치 제조 시스템(10)은 챔버(11), 분위기(atmosphere) 제어장치(12), 전압제어장치(13), 가스(gas) 공급수단(14), 진공 펌프(15)를 포함할 수 있다.

[0033] 챔버(11)는 내부에 반도체 장치를 탑재할 수 있고, 반도체 장치를 열처리하기 위한 환경을 조성할 수 있다. 챔버(11)의 내부에 탑재된 반도체 장치는 챔버(11) 내부, 또는 외부의 전력 공급원과 전기적으로 연결될 수 있다. 도 1의 실시예를 참조하면, 챔버(11) 내부에 탑재된 반도체 장치는 전압제어장치(13)와 전기적으로 연결될 수 있다.

[0034] 분위기제어장치(12)는 반도체 장치를 열처리할 때에 반도체 장치가 노출되는 분위기(atmosphere)를 제어할 수 있다. 예를 들어, 분위기제어장치(12)는 반도체 장치의 산화물 반도체층이 노출된 분위기(atmosphere)를 제어할



수 있다.

- [0035] 예를 들어, 분위기제어장치(12)는 진공펌프(15)를 제어하여 챔버(11) 내의 분위기를 진공으로 제어할 수도 있고, 가스공급수단(14)을 제어하여 챔버(11) 내의 분위기를 대기분위기, 또는 산소 분위기로 제어할 수도 있다. 분위기제어장치(12)가 챔버(11) 내의 분위기를 제어하는 방법은 이에 한정하지 않으며, 분위기제어장치(12)는 반도체 장치의 열처리의 목적에 따라 챔버(11) 내의 분위기를 다양하게 조성할 수 있다.
- [0036] 가스 공급수단(14)은 수소, 질소, 산소 등의 다양한 가스 또는 이들의 혼합물을 공급할 수 있다. 진공펌프(15)는 챔버(11) 내의 기체를 흡입하여 챔버(11) 내의 분위기를 진공 상태에 가깝도록 할 수 있다.
- [0037] 전압제어장치(13)는 챔버(11) 또는 챔버(11)의 내부에 탑재된 반도체 장치에 전기적으로 연결되어 전압을 인가할 수 있다. 예를 들어, 전압제어장치(13)는 반도체 장치에 포함된 트랜지스터의 소스전극 및 드레인전극에 인가되는 전압을 제어할 수 있다. 이와 관련된 자세한 실시예는 후술한다.
- [0038] 한편, 도 1에 도시된 분위기제어장치(12), 가스공급수단(14), 진공펌프(15)는 챔버(11) 내의 분위기를 제어하기 위한 수단이므로, 만일 반도체 장치의 열처리가 대기 분위기에서 진행된다면 상기 수단들은 생략될 수 있다. 나아가, 반도체 장치의 열처리가 대기 분위기에서 진행되고 반도체 장치가 전압제어장치(13)에 직접 연결된다면, 챔버(11) 역시 생략될 수 있다.
- [0039] 도 2 내지 도 8은 본 발명의 일 실시예에 따른 반도체 장치 제조 공정을 개략적으로 나타내는 단면도이다. 이하에서는, 도 2 내지 도 8을 참조하여 반도체 장치 제조 공정을 개략적으로 설명한다.
- [0040] 먼저, 도 2에 도시된 바와 같이 기판(10)이 구비된다. 기판(21)은 SiO<sub>2</sub>를 주성분으로 하는 투명 재질의 글라스 재로 형성될 수 있다. 그러나 반드시 이에 한정되는 것은 아니며 불투명 재질도 가능하고 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0041] 한편, 기판(21) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(미도시)이 구비될 수 있다. 보조층(미도시)은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0042] 다음으로 도 3을 참조하면, 기판(21) 상에 도전층을 증착하고, 이를 패터닝하여 게이트전극(22)을 형성할 수 있다. 게이트전극(22)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 또는 Cu 중 선택된 하나 이상의 물질을 포함할 수 있다. 그러나, 게이트전극(22)의 재료는 이에 한정되지 않으며 금속 등을 포함한 도전성 물질이라면 어느 것이든 무방하다.
- [0043] 다음으로, 도 4를 참조하면 도 3의 구조물 상에 제1 절연층(23)을 형성할 수 있다. 상세히, 게이트 전극(22)을 덮도록 기판(21) 상에 제1 절연층(23)을 형성할 수 있다
- [0044] 다음으로, 도 5를 참조하면, 도 4의 구조물 상에 산화물 반도체층(24)을 패터닝하여 형성할 수 있다. 상세히, 제1 절연층(23) 상에, 게이트 전극(22)과 대응되도록 산화물 반도체층(24)을 형성할 수 있다. 도 5를 참조하면, 본 발명의 일 실시예에 따라 산화물 반도체층(24)은 게이트 전극(22)이 패터닝된 영역에 완전히 포함되도록 패터닝될 수 있다. 즉, 산화물 반도체층(24)은 게이트 전극(22)과 완전히 대응되도록 형성될 수 있다.
- [0045] 산화물 반도체층(24)은 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 하프늄(Hf)과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다. 그러나 이는 예시에 불과하므로 산화물 반도체층(24)의 물질은 이에 한정되는 것이 아니다.
- [0046] 다음으로, 도 6을 참조하면, 도 5의 구조물 상에 도전층을 증착하고, 이를 패터닝하여 소스전극(25a)과 드레인전극(25b)을 형성할 수 있다. 상세히, 제1 절연층(23) 상에 산화물 반도체층(24)의 일부와 접촉하는 소스전극(25a) 및 드레인전극(25b)을 형성할 수 있다.
- [0047] 도 6을 참조하면, 산화물 반도체층(24)의 상면은 소스전극(25a) 및 드레인전극(25b)에 의하여 완전히 덮이지 않으며, 이에 따라 산화물 반도체층(24)의 적어도 일부는 노출될 수 있다. 도 6에서는 산화물 반도체층(24)의 상면이 완전히 노출된 예를 도시하였다. 산화물 반도체층(24)의 노출된 영역은 열처리 공정시 외부(진공, 대기, 과산화 환경 등)에 노출될 수 있다.
- [0048] 소스전극(25a)과 드레인 전극(25b)을 형성하기 위하여 도 5의 구조물 상에 금속층을 적층하고, 금속층을 선택적으로 식각할 수 있다. 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행 가능하다. 금속층은

Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 또는 Cu 중 선택된 하나 이상의 물질을 포함할 수 있다. 그러나, 소스전극(25a)과 드레인전극(25b)의 재료는 이에 한정되지 않으며 금속 등을 포함한 도전성 물질이라면 어느 것이든 무방하다.

[0049] 소스전극(25a)과 드레인전극(25b)을 형성하는 방법은 상기 방법에 한정하지 않는다. 예를 들어, 소스전극(25a)과 드레인전극(25b)은 리프트오프(lift-off) 공정을 사용한 마스크 공정에 의해 패터닝될 수도 있다.

[0050] 리프트오프 공정이란, 박막이 형성되지 않아야 할 곳에 마스크층을 잔존하게 한 후 박막을 전체적으로 증착하고, 마스크층을 제거하면 기판상에 형성된 박막만 남고 마스크층상에 형성된 박막은 제거되는 방법을 말한다. 즉, 마스크층을 미리 원하는 패턴의 역으로 형성해 놓고, 그 위에 박막을 증착한 후, 마스크층을 없애버리면 마스크층 위에 덮여진 박막도 사라져서 원하는 패턴을 얻게 되는 원리이다.

[0051] 다음으로, 도 7을 참조하면, 도 6의 구조물이 형성된 상태에서 산화물 반도체층(24)을 열처리할 수 있다. 열처리 공정은 다양한 목적을 위해 수행될 수 있다.

[0052] 열처리 공정의 목적은 산화물 반도체층(24)의 성질을 변화시키는 것일 수 있다. 예를 들어, 열처리 공정의 목적은 트랜지스터의 성질을 공핍형(delpletion type)에서 증강형(enhancement type)으로 개질하는 것일 수 있다.

[0053] 공핍형 트랜지스터는 전압을 인가하지 않아도 채널이 형성되는 트랜지스터로써 역전압을 인가하면 전류가 차단되며, 증강형 트랜지스터는 채널이 형성되어 있지 않은 트랜지스터로써, 순전압을 인가하면 전류가 흐를 수 있다. 즉, 공핍형 트랜지스터는 채널이 형성되는 문턱전압(voltage threshold)이 0보다 작은 값을 가질 수 있고, 증강형 트랜지스터는 채널이 형성되는 문턱전압이 0 이상의 값을 가질 수 있다. 이와 같은 트랜지스터의 성질은 열처리에 의해 개질될 수 있다. 열처리 공정은 트랜지스터의 문턱전압을 이동시킬 수 있다.

[0054] 또는, 열처리 공정의 목적은 산화물 반도체층(24)의 탈수화(dehydration) 또는 탈수소화(dehydrogenation)일 수 있다. 일반적으로 산화물 반도체층(240) 내의 수소 함량이 높은 경우 캐리어 농도가 증가하게 되어 산화물 트랜지스터의 문턱전압이 음의 방향으로 이동하게 된다. 그런데, 탈수화(dehydration) 또는 탈수소화(dehydrogenation) 처리를 하는 경우 산화물 반도체층(240) 내의 수소 함량을 낮추는 것이기 때문에 산화물 트랜지스터의 문턱전압을 양의 방향으로 인가시킬 수 있게 된다. 따라서, 공핍형 트랜지스터를 증강형 트랜지스터로 변화시킬 수 있게 되는 것이다.

[0055] 그러나 열처리 공정의 목적은 이에 한정하지 않으며, 본 발명의 일 실시예에 따른 열처리 방법은 다양한 목적을 위하여 사용될 수 있다. 산화물 반도체층(24)을 열처리하기 위해서는 산화물 반도체층(24)에 고온의 환경을 제공하여야 한다.

[0056] 이를 위하여 본 발명의 일 실시예에서는 소스전극(25a) 또는 드레인전극(25b)에 제1 전압(V1)을 인가하여, 소스전극(25a)과 드레인 전극(25b) 간의 전압차에 의해 산화물 반도체층(24)이 통전되어 전류가 흐르게 하고, 이에 의해 발생하는 줄(Joule)열로 산화물 반도체층(24)을 열처리할 수 있다.

[0057] 도 7을 참조하면, 소스전극(25a)은 접지되고 드레인전극(25b)에는 제1 전압(V1)이 인가될 수 있다. 제1 전압(V1)의 인가에 의해 소스전극(25a)과 드레인 전극(25b) 사이에 높은 전압차가 발생하면 드레인 전류가 산화물 반도체층(24)을 통과하여 흐를 수 있다. 이 때, 전류가 산화물 반도체층(24)을 통과하면서 높은 줄열이 발생할 수 있다. 이와 같은 줄열 히팅에 의해 1000℃ 이상의 발열이 가능하고, 산화물 반도체층(24)의 자가 열처리가 가능하다.

[0058] 또한, 본 발명의 일 실시예에서는 게이트 전극(22)에 제2 전압(V2)을 인가할 수 있다. 게이트 전극에 인가되는 제2 전압(V2)은 산화물 반도체층(24)에 더 많은 전류가 흐를 수 있게 한다.

[0059] 도 1의 전압제어장치(13)는 제1 전압(V1) 및 제2 전압(V2)의 크기를 제어함으로써 드레인 전류의 크기를 제어하고, 이에 따라 발생하는 줄열을 제어함으로써 열처리 온도를 제어할 수 있다. 예를 들어, 전압제어장치(13)는 제1 전압(V1) 또는 제2 전압(V2)을 높여서 열처리 온도를 높일 수 있다. 반대로 전압제어장치(13)는 제1 전압(V1) 또는 제2 전압(V2)을 낮추어 열처리 온도를 낮출 수 있다.

[0060] 본 발명의 일 실시예에 따르면, 산화물 반도체층(24)의 열처리가 도 6의 구조물이 형성된 상태에서 진행됨에 따라, 산화물 반도체층(24)의 적어도 일부가 노출된 상태에서 산화물 반도체층(24)이 열처리될 수 있다. 예를 들어, 산화물 반도체층(24)은 상면이 완전히 노출된 상태에서 열처리 될 수 있다.

[0061] 전술한 바와 같이, 도 1의 분위기제어장치(12)는 산화물 반도체층(24)이 노출된 분위기를 제어할 수 있다. 예를

들어, 분위기제어장치(12)는 산화물 반도체층(24)이 노출된 분위기를 진공, 대기, 산소 분위기, 소정의 조성비를 갖는 기체 분위기 등으로 제어할 수 있다. 이를 위하여 분위기 제어장치(12)는 진공펌프(15)를 이용하거나, 다양한 가스를 제공하는 가스제공수단(14)을 이용할 수 있다. 분위기제어장치(12)는 가스제공수단(14)으로부터 수소, 질소, 산소, 공기 등을 공급받을 수 있고, 각 기체의 조성비는 분위기제어장치(12)에 의해 제어될 수 있다.

[0062] 산화물 반도체층(24)은 분위기제어장치(12)에 의해 제어된 분위기에 노출된 상태에서 열처리될 수 있다. 예를 들어, 공기 및 산소 분위기에서 열처리된 산화물 반도체층(24)은 산소 조성이 높아져서 증강형 트랜지스터가 될 수 있고, 질소 및 진공 분위기에서 열처리된 산화물 반도체층(24)은 수소 도핑의 효과에 의해 증강형 트랜지스터가 될 수 있다.

[0063] 다음으로, 도 8을 참조하면, 열처리된 도 7의 구조물 상에 제2 절연층(26)을 형성할 수 있다. 상세히, 제2 절연층(26)은 열처리된 산화물 반도체층(24), 소스전극(25a), 및 드레인전극(25b)을 덮도록 제1 절연층(23) 상에 형성될 수 있다. 필요에 따라 제2 절연층(26)은 패터닝되어, 소스전극(25a) 또는 드레인전극(25b)의 일부를 노출시키는 홀(미도시)을 포함할 수 있다.

[0064] 제2 절연층(26)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제2 절연층(26)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO<sub>2</sub>, SiN<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub>, CuO<sub>x</sub>, Tb<sub>4</sub>O<sub>7</sub>, Y<sub>2</sub>O<sub>3</sub>, Nb<sub>2</sub>O<sub>5</sub>, Pr<sub>2</sub>O<sub>3</sub> 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 제2절연층(26)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 또한, 제2 절연층(26)을 형성하는 단계는 필요에 따라 생략될 수도 있다.

[0065] 제2 절연층(26)은 충분한 두께로 형성되어, 예컨대 전술한 제1 절연층(23)보다 두껍게 형성되어, 반도체 장치의 상면을 평탄하게 하는 평탄화막 또는 소스/드레인 전극(25a, 25b)을 보호하는 패시베이션막(passivation layer)의 기능을 수행할 수도 있다.

[0066] 도 9는 본 발명의 일 실시예에 따른 반도체 장치를 도시한 것이다. 도 9를 참조하면, 반도체 장치는 기판(90) 상에 게이트 전극, 산화물 반도체층, 소스전극 및 드레인 전극을 포함하는 복수 개의 트랜지스터(Tr)를 포함할 수 있다. 트랜지스터는 전계효과 트랜지스터(FET; Field Effect Transistor)일 수 있으나, 이에 한정하지 않는다.

[0067] 도 9를 참조하면, 반도체 장치의 복수 개의 트랜지스터(Tr)는 데이터 신호 공급기(91)와 스위칭 신호 공급기(92)로부터 각각 신호를 공급받을 수 있다. 신호 제어기(93)는 데이터 신호 공급기(91)와 스위칭 신호 공급기(92)의 신호 공급 및 타이밍을 제어할 수 있다.

[0068] 각 트랜지스터(Tr)의 드레인전극에는, 데이터 신호 공급기(91)와 스위칭 신호 공급기(92)의 구동에 의해 제1 전압(V1)이 인가될 수 있다. 도 9에 도시되지는 않았으나, 본 발명의 일 실시예에 따라 반도체 장치는 게이트 신호 공급기를 더 포함할 수 있다. 게이트 신호 공급기는 트랜지스터(Tr)에 제1 전압(V1)이 인가될 때, 트랜지스터(Tr)의 게이트전극에 제2 전압(V2)을 인가함으로써 트랜지스터에 더 많은 드레인 전류가 흐르게 할 수 있다.

[0069] 도 9를 참조하면, 데이터 신호 공급기(91)와 스위칭 신호 공급기(92)의 제어에 따라, 반도체 장치에 포함된 복수 개의 트랜지스터(Tr)에 선택적으로 제1 전압(V1)을 공급할 수 있다. 즉, 열처리하고자 하는 일부 트랜지스터(Tr)의 소스전극 또는 드레인전극에만 제1 전압(V1)을 공급하여 일부 트랜지스터(Tr)의 산화물 반도체층을 열처리할 수 있다.

[0070] 이와 같은 트랜지스터의 선택적 열처리는 웨이퍼 단위의 열처리 공정에서는 불가능하지만, 트랜지스터의 전극에 선택적으로 전압을 공급함으로써 열처리 공정을 수행하는 본 발명의 일 실시예에 따르면 가능하다.

[0071] 상기와 같은 선택적 열처리에 의해, 반도체 장치는 기판(90) 상에 열처리된 트랜지스터와 열처리되지 않은 트랜지스터를 동시에 포함할 수 있다. 열처리 공정이 트랜지스터의 개질을 위한 것이었다면, 반도체 장치는 기판(90) 상에 공핍형 트랜지스터와 증강형 트랜지스터를 동시에 포함할 수 있다. 즉, 반도체 장치에 포함된 복수개의 트랜지스터 중 일부는 증강형이고, 일부는 공핍형일 수 있다. 이와 같이 다른 성질을 가진 트랜지스터를 이용하여 인버터 소자와 같은 논리회로, 또는 SRAM과 같은 메모리 소자를 기판(90) 상에 구현할 수 있다.

[0072] 데이터 신호 공급기(91) 및 게이트 신호 공급기(미도시)는 도 1의 전압제어장치(13)와 전기적으로 연결된 것일 수 있으며, 제1 전압(V1)과 제2 전압(V2)의 크기를 제어함으로써 트랜지스터(Tr)의 열처리 공정을 제어할 수 있다.

- [0073] 도 10은 열처리 시간에 따른 드레인 전류의 실험 예를 나타낸 것이다. 도 10은 60V의 제1 전압(V1)을 드레인 전극에 인가하였을 때 산화물 반도체층을 통과하여 흐르는 드레인전류의 값을, 열처리 시간의 경과에 따라 나타낸 것이다. 본 실험예에서는 직경 100nm, 전기전도도 약 266.4S/m의 나노선이 포함된 반도체층을 사용하였다.
- [0074] 도 10을 참조하면, 열처리 공정이 진행됨에 따라 반도체층의 성질이 변화되어 드레인 전류가 증가함을 볼 수 있다.
- [0075] 도 11은 본 발명의 일 실시예에 따른 열처리 공정 전후의 트랜지스터의 전기적 특성을 나타낸 것이다. 도 11의 그래프 111은 열처리 공정 전의 트랜지스터의 전기적 특성을, 그래프 112는 열처리 공정 후의 트랜지스터의 전기적 특성을 나타낸 것이다.
- [0076] 도 11을 참조하면, 트랜지스터에 흐르는 드레인 전류가 급격하게 커지는 전압인 문턱전압(Voltage Threshold)은, 그래프 111에서 약 -20V 내지 -15V였으나, 그래프 112에서 약 0V 내지 5V임을 확인할 수 있다. 즉, 트랜지스터의 열처리에 의해 문턱전압이 양의 방향으로 이동하였음을 알 수 있다.
- [0077] 도 12는 본 발명의 일 실시예에 따른 선택적 열처리 후, 동일 기판 상의 트랜지스터들의 전기적 특성을 나타낸 것이다. 상세히, 본 발명의 일 실시예에 따른 선택적 열처리 후, 동일 기판 상의 열처리되지 않은 트랜지스터와 열처리된 트랜지스터의 전기적 특성을 나타낸 것이다. 도 12의 그래프 121은 도 9의 데이터 신호 공급기(91), 스위칭 신호 공급기(92), 및 게이트 신호 공급기(미도시)의 제어에 의해 제1 전압 및 제2 전압을 공급받지 못함으로써 열처리되지 않은 트랜지스터의 전기적 특성을 나타낸 것이다. 그래프 122는 도 9의 데이터 신호 공급기(91), 스위칭 신호 공급기(92), 및 게이트 신호 공급기(미도시)의 제어에 의해 제1 전압 및 제2 전압을 공급받음으로써 열처리된 트랜지스터의 전기적 특성을 나타낸 것이다.
- [0078] 도 12를 참조하면, 열처리되지 않은 트랜지스터의 문턱전압은 약 -15V이고, 열처리된 트랜지스터의 문턱전압은 약 0~5V임을 알 수 있다. 즉, 열처리된 트랜지스터만이 증강형 트랜지스터의 성질을 가지며, 열처리되지 않은 트랜지스터는 공핍형 트랜지스터의 성질을 갖는 것을 확인할 수 있다. 또한, 일부 트랜지스터의 선택적 열처리가 진행되는 동안 나머지 트랜지스터에는 열처리가 일어나지 않음으로써 선택적 열처리가 실현되었음을 확인할 수 있다.
- [0079] 도 13은 퍼니스(Furnace) 방식에 의해 열처리된 트랜지스터들의 전기적 특성을 나타낸 것이다. 상세히, 도 13은 기존의 퍼니스 시스템을 이용하여 반도체 장치에 포함된 모든 트랜지스터를 600℃에서 30분동안 열처리한 후, 여러 트랜지스터들의 전기적 특성을 나타낸 것이다.
- [0080] 도 13을 참조하면, 퍼니스 시스템을 이용한 열처리 공정에 의해 트랜지스터의 특성이 변화되었음을 알 수 있으나, 기판 상의 모든 트랜지스터에 열처리 효과가 나타남으로써 선택적 열처리가 불가능함을 알 수 있다.
- [0081] 상기된 바와 같은 본 발명의 실시예들에 따르면, 반도체 장치에 전압을 인가하여 발생하는 줄열을 이용하여 반도체 장치를 열처리함으로써, 별도의 장비 없이 반도체 장치의 자가 열처리가 가능하다. 또한 동일 기판 상에 포함된 복수개의 트랜지스터 중 일부에 선택적으로 전압을 인가하여 일부 트랜지스터를 열처리하는 것이 가능하다. 하나의 기판 상에 다양한 성질을 가진 트랜지스터를 포함함으로써 AND, OR, NOT, NOR, NAND 등의 복잡한 논리회로 또는 SRAM과 같은 메모리 소자를 구현할 수 있다.
- [0082] 또한, 상기된 바와 같은 본 발명의 실시예들에 따르면, 반도체 장치에 인가되는 전압의 크기를 제어함에 따라 반도체 장치의 열처리 온도를 제어함으로써, 챔버의 온도를 전체적으로 가열하거나 외부에서 생성된 열에너지를 직접 전달하는 다른 방법들에 비하여 쉽게 열처리 온도를 제어할 수 있다.
- [0083] 또한, 반도체층이 노출된 상태로 열처리를 진행함으로써, 노출 분위기를 다양하게 제어하여 다양한 종류의 열처리를 수행할 수 있다.
- [0084] 전술된 반도체 장치를 제조하기 위한 각 마스크 공정 시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다. 또는, 전술한 반도체 장치를 제조하기 위한 각 마스크 공정은 리프트오프(lift-off) 방식으로 수행될 수 있다. 마스크 공정을 수행하는 방식은 이에 한정하지 않는다.
- [0085] 또한, 본 발명에 따른 반도체 장치 제조 방법의 일 실시예를 설명하기 위한 도면들에는 하나의 트랜지스터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 트랜지스터가 포함될 수 있음은 물론이다.
- [0086] 전술된 트랜지스터는 TFT(Thin Film Transistor)로 형성될 수 있다.

[0087]

본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

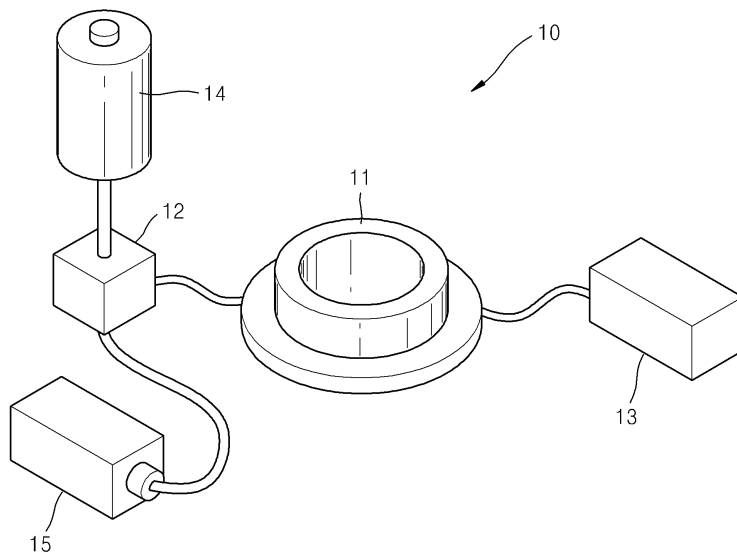
**부호의 설명**

[0088]

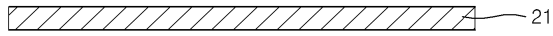
- 10: 반도체 장치 제조 시스템
- 11: 챔버
- 12: 분위기제어장치
- 13: 전압제어장치
- 14: 가스공급수단
- 15: 진공펌프
- 21: 기관
- 22: 게이트 전극
- 23: 제1 절연층
- 24: 산화물 반도체층
- 25a, 25b: 소스전극, 드레인전극
- 26: 제2 절연층
- 90: 기관
- 91: 데이터 신호 공급기
- 92: 스위칭 신호 공급기
- 93: 신호 제어기

**도면**

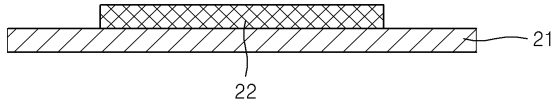
**도면1**



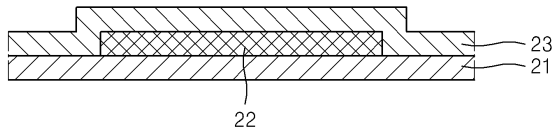
도면2



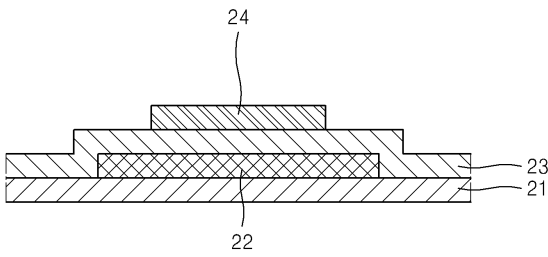
도면3



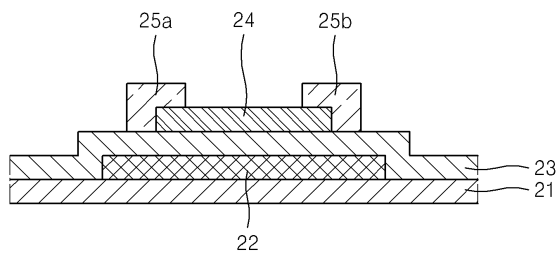
도면4



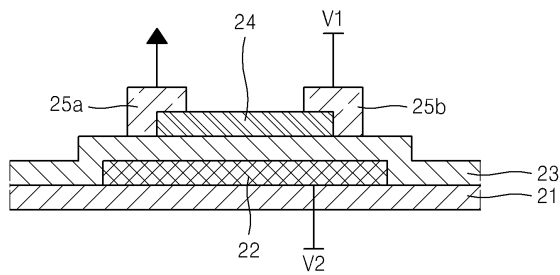
도면5



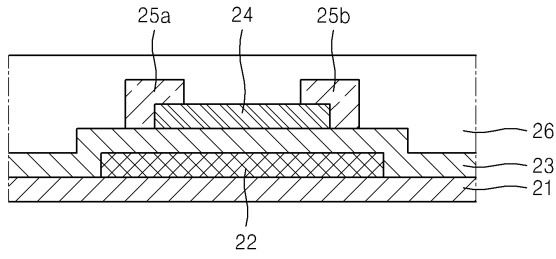
도면6



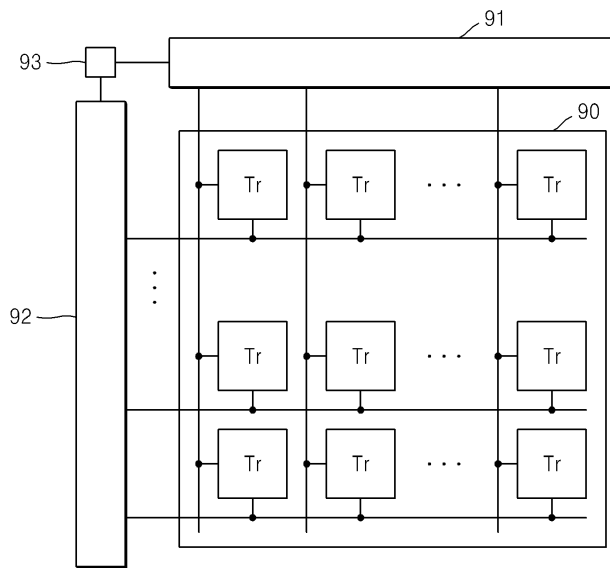
도면7



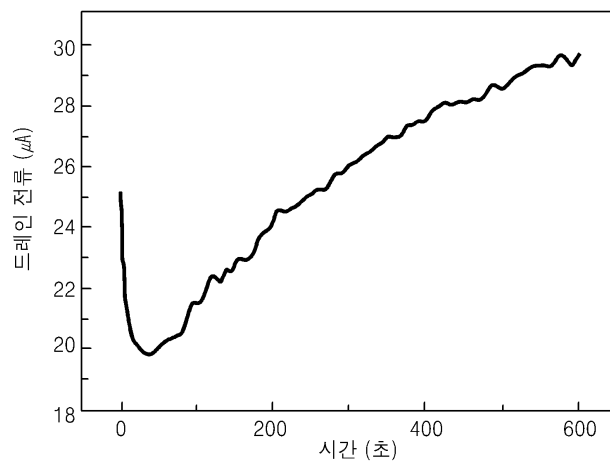
도면8



도면9

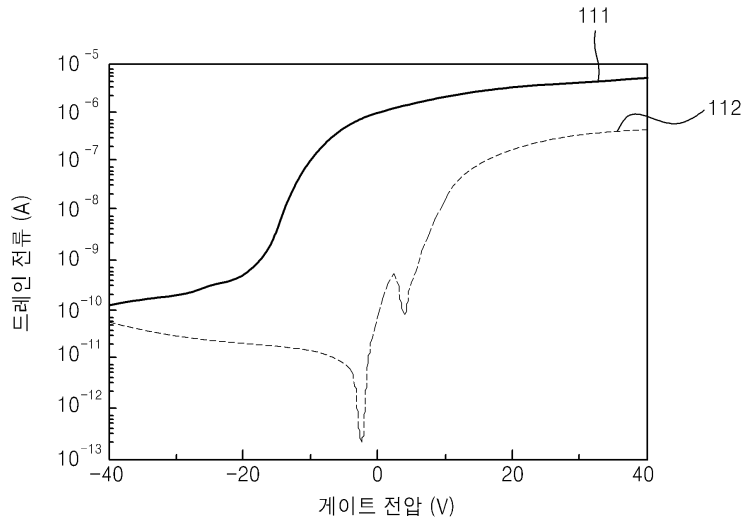


도면10

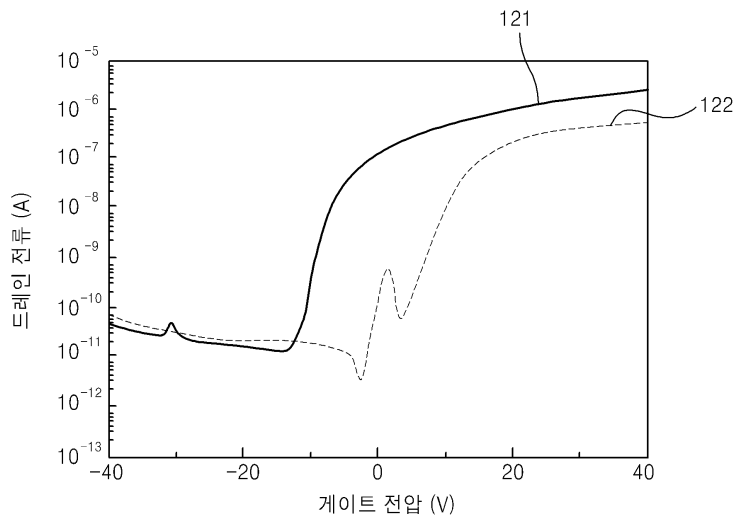




도면11



도면12





도면13

