

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-299313

(P2008-299313A)

(43) 公開日 平成20年12月11日(2008.12.11)

(51) Int.Cl.	F I	テーマコード (参考)
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H092
<b>HO1L 29/786 (2006.01)</b>	HO1L 29/78 612A	5C094
<b>HO1L 21/336 (2006.01)</b>	HO1L 29/78 612D	5F110
<b>GO9F 9/30 (2006.01)</b>	HO1L 29/78 627C	
	HO1L 29/78 616T	

審査請求 有 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2008-97546 (P2008-97546)  
 (22) 出願日 平成20年4月3日(2008.4.3)  
 (31) 優先権主張番号 200710099778.2  
 (32) 優先日 平成19年5月30日(2007.5.30)  
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京經濟技術開發區西環中  
 路8號  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 趙 繼剛  
 中華人民共和国北京經濟技術開發區西環中  
 路8號

最終頁に続く

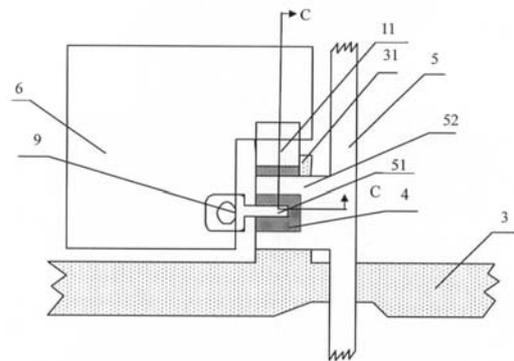
(54) 【発明の名称】 薄膜トランジスタアレイパネル

(57) 【要約】

【課題】 薄膜トランジスタアレイパネルを提供する。特に、修復可能な画素構造及びそれを製造するマスクを提供する。

【解決手段】 該画素構造は、ゲートラインと、データラインと、を備え、ゲートラインとデータラインとは交差して1つの画素ユニットを画成し、各画素ユニットは、薄膜トランジスタデバイスと、画素電極と、を備え、薄膜トランジスタのチャンネルの側に予備ソース電極と、予備ドレイン電極と、予備チャンネルと、が形成された。従来のTFTに故障が発生する場合、予備TFTを発動でき、それによって、アレイ基板の歩留まりと優等品率を向上させ、コストを更に低減する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

薄膜トランジスタアレイパネルであって、  
 ゲートラインと、  
 データラインと、を備え、  
 ゲートラインとデータラインとは交差して画素ユニットを画成し、  
 前記画素ユニットは、  
 薄膜トランジスタデバイスと、  
 画素電極と、を備え、  
 前記薄膜トランジスタのチャンネルの側に予備ソース電極と、予備ドレイン電極と、予  
 備チャンネルと、が形成され、それによって、予備薄膜トランジスタが構成されることを  
 特徴とする薄膜トランジスタアレイパネル。

10

## 【請求項 2】

前記予備ソース電極は前記ソース電極と同じであり、又は前記ソース電極の一部である  
 ことを特徴とする請求項 1 に記載の薄膜トランジスタアレイパネル。

## 【請求項 3】

前記予備ドレイン電極の一部が前記画素電極の下に位置することを特徴とする請求項 1  
 に記載の薄膜トランジスタアレイパネル。

## 【請求項 4】

前記薄膜トランジスタのチャンネルは U 字形チャンネルであることを特徴とする請求項  
 1 に記載の薄膜トランジスタアレイパネル。

20

## 【請求項 5】

前記予備チャンネルは「一」字形チャンネルであることを特徴とする請求項 4 に記載の  
 薄膜トランジスタアレイパネル。

## 【請求項 6】

前記予備ソース電極及び予備ドレイン電極と、前記薄膜トランジスタのソース電極及び  
 予備ドレイン電極とは、同一のフォトリソグラフィ工程で形成されることを特徴とする  
 請求項 1 に記載の薄膜トランジスタアレイパネル。

## 【請求項 7】

前記データラインと前記薄膜トランジスタのソース電極とは一体構造となることを特徴  
 とする請求項 6 に記載の薄膜トランジスタアレイパネル。

30

## 【請求項 8】

薄膜トランジスタを形成するためのマスクであって、  
 透光部と、半透光部と、完全透光部と、を備え、  
 前記半透光部は該薄膜トランジスタのチャンネル領域と予備チャンネル領域の形成部分  
 に対応し、不透光部は該薄膜トランジスタのソース電極と予備ソース電極、ドレイン電極  
 と予備ドレイン電極の形成部分に対応し、  
 前記予備ソース電極と、予備ドレイン電極と、予備チャンネル領域とは、予備薄膜トラ  
 ンジスタを形成することを特徴とするマスク。

## 【発明の詳細な説明】

40

## 【技術分野】

## 【0001】

本発明は、薄膜トランジスタ液晶ディスプレイ (TFT LCD) のアレイパネル、特  
 に修復可能な画素構造を有する TFT LCD のアレイ基板に関する。

## 【背景技術】

## 【0002】

LCD 生産の絶え間ない拡大につれ、各メーカーの間の競争も日増しに激しくなっている  
 。各メーカーは製品の性能を向上すると共に、製品のコストの低減にも努力し、市場におけ  
 る競争力を高めている。製品コストの低減方法において、工程数量の減少 (主にフォトリ  
 ソグラフィの回数の減少) によって生産の速度を向上させ、コストを低減するのは、今

50

、各メーカーが普遍的に努力する方向である。

【0003】

近年、エンジニアの努力により、TFT LCD製造工程におけるフォトリソグラフィ工程の回数が減少し続けており、最初は7回のフォトリソグラフィ工程（7Mask工程、製造過程においてフォトリソグラフィ工程毎に1回のマスクが必要である）であったが、現在、普遍的に5回のフォトリソグラフィ工程（5Mask工程）が採用されている。マスク（Mask）製造技術からグレーンマスク（gray tone mask）技術が誕生した後、フォトリソグラフィの回数を更に減少させることが可能になった。今、一部のLCDメーカーは既に進んだ4回のフォトリソグラフィ工程（4mask工程）を使用している。4回のフォトリソグラフィ工程技術の使用によって、生産速度と効率の何れもが向上される。

10

【0004】

図1は従来技術における4mask工程が完成した後の画素構造の概略図である。図2は図1のA-A部分の断面図である。

【0005】

図1と図2に示すように、該画素構造は、ゲートライン3と、データライン5と、を備え、ゲートライン3とデータライン5とは交差して画素ユニットを画成する。各画素ユニットは、薄膜トランジスタデバイスと、画素電極6と、を備え、前記薄膜トランジスタは、ゲート電極31と、順次にゲート電極31の上方に形成されたゲート電極絶縁層2と、半導体層4と、ドープ半導体層7と、ソース電極52と、ドレイン電極51と、を備える。前記ドレイン電極51はパッシベーション層8のピアホール9によって画素電極6と連結され、ソース電極52とデータライン5とは一体連結の構造となり、ソース電極51とドレイン電極52との間は薄膜トランジスタのチャンネル部である。

20

【0006】

しかし、4mask工程に固有の欠陥と不足も存在している。グレーンマスク技術が使用されたため、5maskにおける活性層に対するフォトリソグラフィ（Active mask）と、ソース電極、ドレイン電極に対するフォトリソグラフィ（SD mask）とは同一のフォトリソグラフィにおいて完成されるため、工程の許容性が悪くなり、それと同時に、生産工程の条件も複雑になって把握し難くなる。特にグレーンマスク（Gray-Tone mask）のフォトリソグラフィ工程において、パラメーターと条件に対する要求が非常に厳しい。これらの理由で、4mask技術で生産された製品の歩留まりは、伝統的な5mask技術で生産された製品のよりも普遍的に低くなる。4maskで製造された薄膜トランジスタ（TFT）アレイ基板の諸不良問題において、画素TFTチャンネル部の活性層の断線と、ソース電極及びドレイン電極（SD）の短絡がよく現れる。4mask技術の特徴はこれらの問題の主要原因となる。通常、この2種類の不良問題に対して採用される修理方法は、不良画素のTFTを切断し、対応の画素をダックドットにさせることである。しかし、この修理方法によってTFT LCDの良品率が低下する。

30

【発明の開示】

【発明が解決しようとする課題】

40

【0007】

従来技術の欠陥に対して、本発明の実施の態様は、修復可能な画素構造を有する薄膜トランジスタアレイパネルを提供し、それによって、アレイ基板の歩留まりと優等品率を向上させ、更にコストを低減する。

【課題を解決するための手段】

【0008】

本発明の第1局面は薄膜トランジスタアレイパネルを提供し、該薄膜トランジスタアレイ基板は、ゲートラインと、データラインと、を備え、ゲートラインとデータラインとは交差して1つの画素ユニットを画成し、各画素ユニットは、薄膜トランジスタデバイスと、画素電極と、を備え、前記薄膜トランジスタのチャンネルの側に予備ソース電極と、予

50

備ドレイン電極と、予備チャンネルと、が形成され、それによって、予備薄膜トランジスタを構成する。

【0009】

本発明の第2局面は、薄膜トランジスタの形成に用いられるマスクを提供する。該マスクは、透光部と、半透光部と、完全透光部と、を備え、且つ前記半透光部はチャンネル領域と予備チャンネル領域の形成部分に対応し、不透光部はソース電極と予備ソース電極、ドレイン電極と予備ドレイン電極の形成部分に対応し、前記予備ソース電極と、予備ドレイン電極と、予備チャンネル領域とは予備薄膜トランジスタを形成する。

【発明の効果】

【0010】

従来技術に対して、本発明は現存のTFTの側に予備TFTを加えるため、グレートンマスクによってソース電極と、ドレイン電極と、チャンネルと、を形成すると同時に、主TFTチャンネルの側に予備TFTチャンネル構造を形成できる。該予備TFTのソース電極部と主TFTのソース電極とは連結し、ドレイン電極は画素電極の下に位置する。LCDのレイ工程が完成した後、もし、ある画素のTFTで部分的な断線、又は短絡などの故障が発生し、修復が不可能である場合、故障チャンネルを切断すると共に、レーザーなどで予備TFTのドレイン電極と画素電極とを直接に連結させ、故障画素を修復する。それによって、レイ基板の歩留まりと優等品率が向上され、コストも更に低減される。

【発明を実施するための最良の形態】

【0011】

本発明の主な趣旨は、伝統的なTFTの側に予備TFTを加えることである。グレートンマスクによって主TFTのソース電極と、ドレイン電極と、チャンネルと、を形成する時、主TFTチャンネルの側に予備ソース電極と、予備ドレイン電極と、予備チャンネル構造を形成し、それによって予備TFTを形成する。該予備TFTのソース電極部は主TFTのソース電極と連結し、又は主TFTのソース電極の一部になり、ドレイン電極の一部は画素電極の下に位置する。

【0012】

添付図面を参照しながら本発明の例示的な実施例を説明する。

【0013】

図3は本発明の実施例にかかる画素構造の概略図であり、図4は図3におけるC-C部の断面図である。

【0014】

図3と図4に示すように、本発明の実施例にかかる画素構造は、ガラス基板1と、ガラス基板1に形成されたゲートライン3及びデータライン5と、を備える。ゲートライン3とデータライン5とは交差して画素ユニットを画成する。各画素ユニットは、薄膜トランジスタデバイスと、例えば透明画素電極である画素電極6と、を備える。薄膜トランジスタは、ゲート電極31と、順次にゲート電極31の上方に形成されたゲート電極絶縁層2と、半導体層4と、ドープ半導体層7と、ソース電極52と、ドレイン電極51と、を備え、前記ドレイン電極51はパッシベーション層8のピアーホール9を介して画素電極6と連結され、ソース電極52とデータライン5とは一体に連結する構造となる。

【0015】

しかし、本発明の前記実施例において、ソース電極52の画素電極に近くの片側に、予備ドレイン電極11が形成されて、予備ドレイン電極11の一部が画素電極6の下方に位置し、該予備ドレイン電極11とソース電極52との間に予備導電チャンネルが形成される。この時、予備ソース電極もソース電極52である。

【0016】

LCDのレイ工程が完成した後、もしある画素のTFTで部分的な断線、又は短絡などの故障が発生し、修復が不可能である場合、故障したチャンネルを切断すると共に、レーザーなどで予備TFTのドレイン電極11と画素電極6とを直接に連結させ、故障した画素を修復する。それによって、レイ基板の歩留まりと優等品率が向上され、コストが更

10

20

30

40

50

に低減され、製品の競争力が強められる。

【0017】

図5は該画素構造を形成するために採用されたグレーンマスクの概略図である。

【0018】

図5に示すように、該グレーンマスクは主に透光部と、半透光部と、完全透光部と、を備える。図5において、半透光部は主に主薄膜トランジスタを形成するチャンネル部の半透光部12と、予備薄膜トランジスタを形成する予備チャンネル部の半透光部22と、を備える。不透光部は、データラインを形成する不透光部41と、主薄膜トランジスタのソース電極を形成する不透光部42と、主薄膜トランジスタのドレイン電極を形成する不透光部43と、予備薄膜トランジスタの予備ドレイン電極を形成する不透光部44と、を備える。前記グレーンマスクを採用すれば、ソース電極と、ドレイン電極と、チャンネルと、を形成すると同時に、TFTチャンネルの側に予備ドレイン電極と予備チャンネル構造とを形成できる。

10

【0019】

図5に示された主薄膜トランジスタのソース電極はU部を有し、ドレイン電極の一部は該ソース電極のU部に延在し、それによってU字形のチャンネル領域を得る。勿論、主薄膜トランジスタのチャンネル領域の外形はこれに限らず、例えばソース電極とドレイン電極がチャンネル領域に対して相互に対向する「一」字形であってもよい。この時、ソース電極のドレイン電極に対する他の側に同様に予備ドレイン電極を形成でき、それによって予備チャンネル領域を得られる。更に、該ソース電極は同時に予備ソース電極として使わ

20

【0020】

前記マスクによってフォトレジストパターンを得、更に主薄膜トランジスタと予備薄膜トランジスタの活性層とソース・ドレイン金属層に対してパターンニングをする工程について、以下のように簡単に説明する。例えば、基板に順次に活性層とソース・ドレイン金属層を堆積した後、ソース・ドレイン金属層にフォトレジスト層を塗布し、前記構造を有するマスクによって、形成しようとする薄膜トランジスタのチャンネル領域に塗布されたフォトレジスト層に対して露光を行い、そして現像し、主薄膜トランジスタのチャンネル領域と予備薄膜トランジスタの予備チャンネル領域を形成するためのエッチングマスクとして使われるグレーンフォトレジストパターンを得る。まず、該エッチングマスクでソ

30

【0021】

しかし、本発明にかかる薄膜トランジスタアレイパネルは、前記グレーンマスクによって形成されるとは限らず、同様に2枚の通常のマスクによって2つのステップで対応のチャンネル領域を形成してもよい。簡潔化のため、ここでは詳細を省略する。

40

【0022】

上記実施例は本発明の技術案を説明するものであり、限定するものではない。最良な実施形態を参照して本発明を詳細に説明したが、当業者にとって、必要に応じて異なる材料や設備などをもって本発明を実現できる。即ち、その要旨を逸脱しない範囲内において種々の形態で実施しうるものである。

【図面の簡単な説明】

【0023】

【図1】従来技術における画素構造の概略図。

【図2】図1におけるA-A部の断面図。

【図3】本発明にかかる画素構造の概略図。

50

【図4】図3におけるC-C部の断面図。

【図5】本発明に使用されたグレートーンマスクの概略図。

【符号の説明】

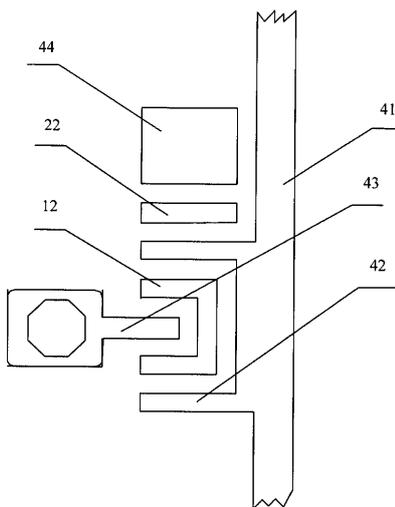
【0024】

- 1 ガラス基板
- 2 ゲート絶縁層
- 3 ゲートライン
- 3 1 ゲート電極
- 4 半導体層
- 5 データライン
- 5 1 ドレイン電極
- 5 2 ソース電極
- 6 画素電極
- 7 ドープ半導体層
- 8 パッシベーション層
- 9 ピアホール
- 1 1 予備ドレイン電極
- 1 2 チャンネル部の半透光部
- 2 2 予備チャンネル部の半透光部
- 4 1 データラインの不透光部
- 4 2 ソース電極の不透光部
- 4 3 ドレイン電極の不透光部
- 4 4 予備ドレイン電極の不透光部

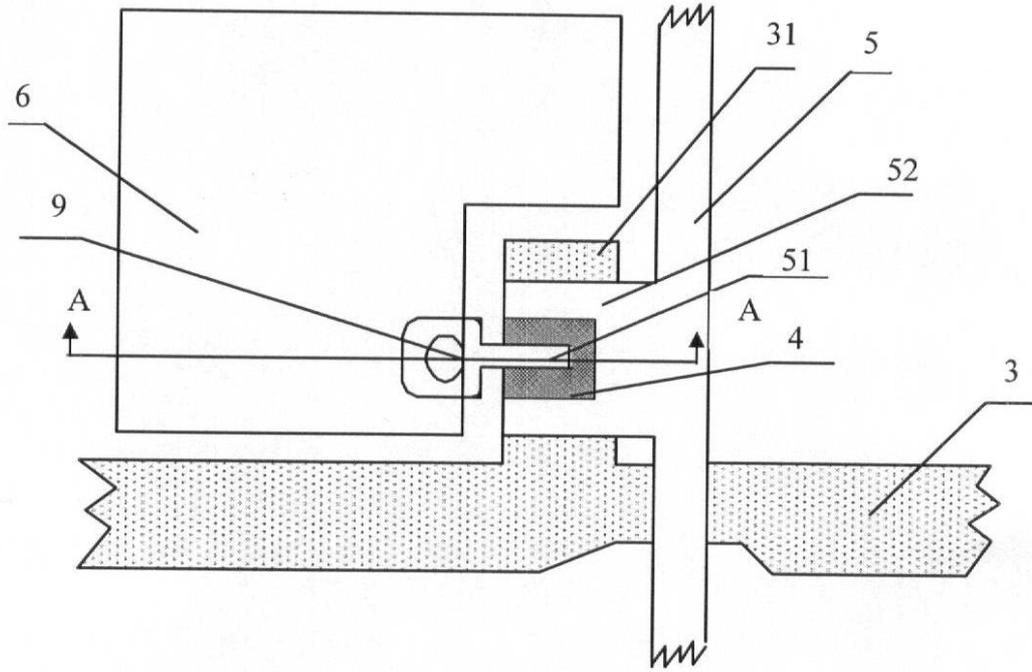
10

20

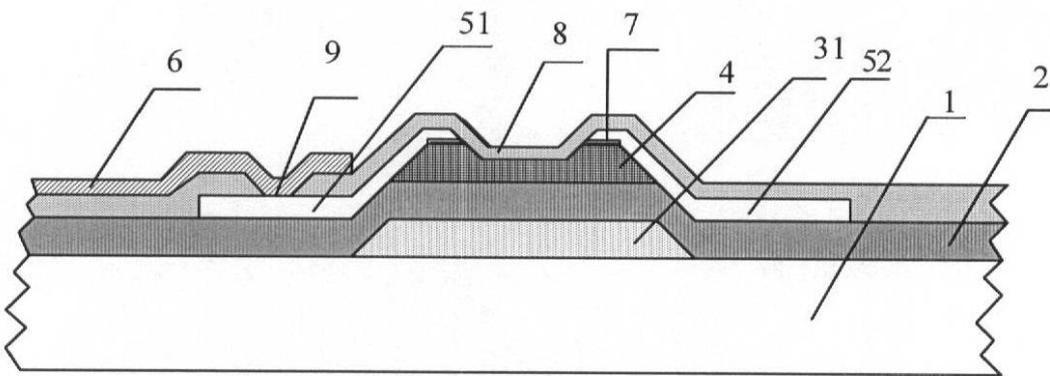
【図5】



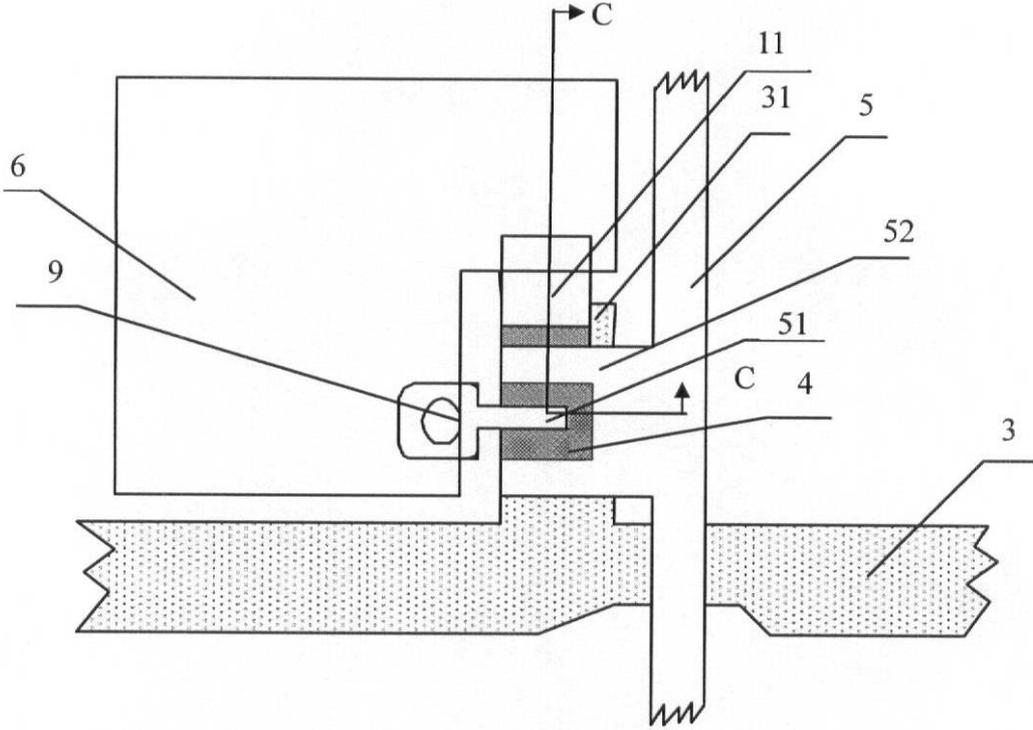
【図1】



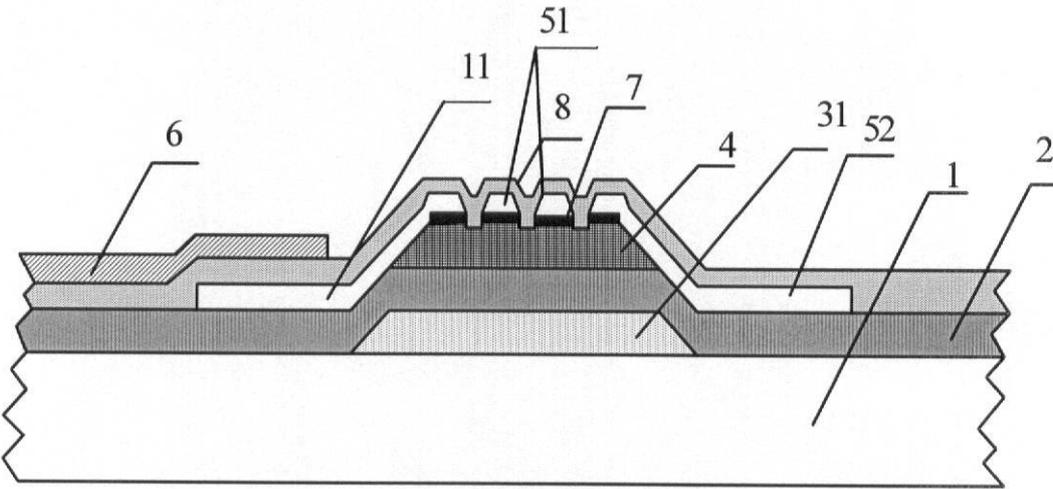
【図2】



【図3】



【図4】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 9 F 9/30 3 3 8

(72)発明者 金 基用  
中華人民共和国北京経済技術開発区西環中路 8 号

(72)発明者 徐 宇博  
中華人民共和国北京経済技術開発区西環中路 8 号

F ターム(参考) 2H092 JA26 JA42 JA46 JB72 MA14 MA47 MA52 NA29  
5C094 AA31 AA41 AA42 AA44 AA53 BA03 BA43 CA19 DB04 FA02  
FA04 FB12 FB14  
5F110 AA16 AA27 BB01 CC07 DD02 HK21 HL07 HM04 HM12 QQ01  
QQ30