

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-162777
(P2016-162777A)

(43) 公開日 平成28年9月5日(2016.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5H007
HO 1 L 25/18 (2006.01)	HO 2 M 7/48 Z	
HO 2 M 7/48 (2007.01)		

審査請求 未請求 請求項の数 11 O L (全 28 頁)

(21) 出願番号 特願2015-37255 (P2015-37255)
(22) 出願日 平成27年2月26日 (2015.2.26)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 100106149
弁理士 矢作 和行
(74) 代理人 100121991
弁理士 野々部 泰平
(74) 代理人 100145595
弁理士 久保 貴則
(72) 発明者 岩淵 明
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 金森 淳
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

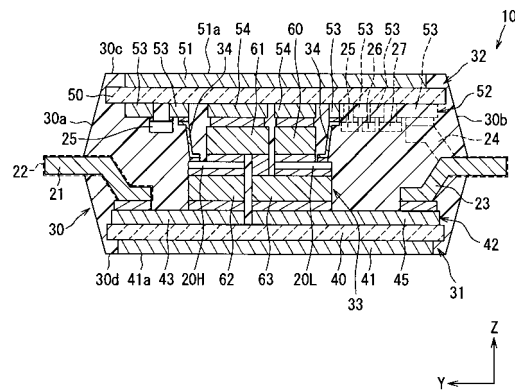
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 少なくとも一相分の上下アームを構成する半導体素子を備えながらも、電源ラインの寄生インダクタンスを低減できる半導体装置を提供する。

【解決手段】 半導体装置 10 は、互いに厚み方向を同じ方向として並んで配置されたインバータの少なくとも一相分の上下アームを構成する半導体素子 20H、20L を備える。半導体素子 20H、20L を封止する封止樹脂体 30 の一側面 30a から、高電位電源端子 21 及び低電位電源端子 22 が突出し、反対面 30b から出力端子 23 及び複数の制御端子 24 が突出する。半導体素子の裏面側には裏面側基板 31 が配置され、一面側には一面側基板 32 が配置されている。裏面側基板 31 には、高電位電源パターン 43、低電位電源パターン、出力パターン 45 が形成され、一面側基板 32 には、制御パターン 53 が形成されている。中継部材 34 により、半導体素子の制御電極と、制御パターンとが電氣的に接続されている。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

互いに厚み方向を同じ方向として並んで配置され、前記厚み方向における同じ側の一面に制御電極、前記一面及び該一面と反対の裏面の両方に主電極をそれぞれ有し、インバータの少なくとも一相分の上下アームを構成する上アーム側の半導体素子（20H）及び下アーム側の半導体素子（20L）と、

すべての前記半導体素子を一体的に封止する封止樹脂体（30）と、

直流電源の高電位側に接続されるものであり、前記封止樹脂体の側面から外部に突出する高電位電源端子（21）と、

前記直流電源の低電位側に接続されるものであり、前記高電位電源端子と同じ側面から前記封止樹脂体の外部に突出する低電位電源端子（22）と、

負荷に接続されるものであり、前記高電位電源端子が突出する側面の反対面から前記封止樹脂体の外部に突出する出力端子（23）と、

前記反対面から前記封止樹脂体の外部に突出する複数の制御端子（24）と、

各半導体素子に対して裏面側に配置され、前記半導体素子との対向面に形成された導体パターン（42）として、前記高電位電源端子が接続され、接続された前記高電位電源端子と前記上アーム側半導体素子の裏面側主電極とを電気的に中継する高電位電源パターン（43）と、前記低電位電源端子が接続され、接続された前記低電位電源端子と前記下アーム側半導体素子の一面側主電極とを電気的に中継する低電位電源パターン（44）と、前記出力端子が接続され、接続された前記出力端子と対応する相の前記下アーム側半導体素子の裏面側主電極とを電気的に中継する出力パターン（45）と、を有する裏面側基板（31）と、

各半導体素子に対して一面側に配置され、前記半導体素子との対向面に形成された導体パターン（52）として、前記制御端子が接続され、接続された前記制御端子と前記制御電極とを電気的に中継する制御パターン（53）を有する一面側基板（32）と、

前記制御電極と前記制御パターンとを電気的に中継する第1中継部材（34）と、

前記下アーム側半導体素子の一面側主電極と前記低電位電源パターンとを電気的に接続する第2中継部材と、

前記上アーム側半導体素子の一面側主電極と前記出力パターンとを電気的に接続する第3中継部材と、

を備えることを特徴とする半導体装置。

【請求項 2】

同一相の上下アームを構成する前記上アーム側半導体素子と前記下アーム側半導体素子との並び方向が、前記高電位電源端子が突出する側面の直交方向に沿っていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第2中継部材は、前記下アーム側半導体素子の一面側主電極に接続されるとともに、前記厚み方向に直交する方向において該一面側主電極よりも外側まで延設された第1ヒートシンク（60）と、前記第1ヒートシンクと前記低電位電源パターンとを電気的に接続するための第1はんだ（77L, 77R）と、を含み、

前記第3中継部材は、前記上アーム側半導体素子の一面側主電極に接続されるとともに、前記厚み方向に直交する方向において該一面側主電極よりも外側まで延設された第2ヒートシンク（61）と、前記第2ヒートシンクと前記出力パターンとを電気的に接続するための第2はんだ（77U, 77V, 77W）と、を含み、

前記一面側基板は、前記導体パターンとして、電気的な接続機能を提供しないダミーランド（54）を複数有し、

前記第1ヒートシンク及び前記第2ヒートシンクは、互いに異なる前記ダミーランドに実装されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項 4】

前記上アーム側半導体素子の裏面側主電極と、前記高電位電源パターンとの間に介在さ

10

20

30

40

50

れ、前記裏面側主電極と前記高電位電源パターンに接続された第3ヒートシンク(62)と、

前記下アーム側半導体素子の裏面側主電極と、前記出力パターンとの間に介在され、前記裏面側主電極と前記出力パターンに接続された第4ヒートシンク(63)と、

前記低電位電源パターンに接続された第5ヒートシンク(64)と、
をさらに備え、

前記第2はんだにより、前記第2ヒートシンクと前記第4ヒートシンクが接続され、

前記第1はんだにより、前記第1ヒートシンクと前記第5ヒートシンクが接続されていることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記一面側基板及び前記裏面側基板のうち、前記半導体素子との対向面は前記封止樹脂体によってそれぞれ覆われ、前記対向面と反対の面(41a, 51a)は、前記封止樹脂体からそれぞれ露出されていることを特徴とする請求項1~4いずれか1項に記載の半導体装置。

【請求項6】

前記出力パターンから前記制御パターンに伝搬するノイズを吸収する第1ノイズ吸収板(70)をさらに備え、

前記裏面側基板は、前記導体パターンとして第1ランド(46L, 46R)を有し、

前記第1ノイズ吸収板は、前記出力パターンの少なくとも一部を覆うように、前記第1ランドに実装されていることを特徴とする請求項1~5いずれか1項に記載の半導体装置。

【請求項7】

外部から前記制御パターンに伝搬するノイズを吸収する第2ノイズ吸収板(73)をさらに備え、

前記一面側基板は、前記導体パターンとして第2ランド(55L, 55R)を有し、

前記第2ノイズ吸収板は、前記制御パターンの一部を覆うように、前記第2ランドに実装されていることを特徴とする請求項1~6いずれか1項に記載の半導体装置。

【請求項8】

互いに厚み方向を同じ方向として並んで配置され、前記厚み方向における同じ側の一面に制御電極、前記一面及び該一面と反対の裏面の両方に主電極をそれぞれ有し、インバータの少なくとも一相分の上下アームを構成する上アーム側の半導体素子(20H)及び下アーム側の半導体素子(20L)と、

すべての前記半導体素子を一体的に封止する封止樹脂体(30)と、

直流電源の高電位側に接続されるものであり、前記封止樹脂体の側面から外部に突出する高電位電源端子(221)と、前記直流電源の低電位側に接続されるものであり、前記高電位電源端子と同じ側面から前記封止樹脂体の外部に突出する低電位電源端子(222)と、負荷に接続されるものであり、前記高電位電源端子が突出する側面の反対面から前記封止樹脂体の外部に突出する出力端子(223)と、前記反対面から前記封止樹脂体の外部に突出する複数の制御端子(224)と、前記高電位電源端子と連結され、前記高電位電源端子と前記上アーム側半導体素子の裏面側主電極とを電氣的に中継する高電位電源配線(243)と、前記低電位電源端子が連結され、前記低電位電源端子と前記下アーム側半導体素子の一面側主電極とを電氣的に中継する低電位電源配線(244)と、前記出力端子が連結され、前記出力端子と対応する相の前記下アーム側半導体素子の裏面側主電極とを電氣的に中継する出力配線(245)と、を有し、各半導体素子に対して裏面側に配置されるリードフレーム(200)と、

各半導体素子に対して一面側に配置され、前記半導体素子との対向面に形成された導体パターン(52)として、前記制御端子が接続され、接続された前記制御端子と前記制御電極とを電氣的に中継する制御パターン(53)を有する一面側基板(32)と、

前記制御電極と前記制御パターンとを電氣的に中継する第1中継部材(34)と、

前記下アーム側半導体素子の一面側主電極と前記低電位電源配線とを電氣的に接続する

10

20

30

40

50

第 2 中継部材と、

前記上アーム側半導体素子の一面側主電極と前記出力配線とを電氣的に接続する第 3 中継部材と、

を備えることを特徴とする半導体装置。

【請求項 9】

請求項 4 に記載の半導体装置の製造方法であって、

前記裏面側基板の前記高電位電源パターン上に前記第 3 ヒートシンクを実装し、前記低電位電源パターン上に前記第 5 ヒートシンクを実装し、前記出力パターン上に前記第 4 ヒートシンクを実装する裏面側基板実装工程と、

前記一面側基板の前記ダミーランド上に前記第 1 ヒートシンク及び前記第 2 ヒートシンクを実装し、次いで、金属板を打ち抜いてなる前記中継部材を、前記制御パターン上に実装する一面側基板実装工程と、

各半導体素子の一面側に前記一面側基板を配置し、裏面側に前記裏面側基板を配置し、前記第 2 ヒートシンクと前記上アーム側半導体素子の一面側主電極との間のはんだ、前記第 1 ヒートシンクと前記下アーム側半導体素子の一面側主電極との間のはんだ、各中継部材を対応する前記制御電極との間のはんだ、前記第 3 ヒートシンクと前記上アーム側半導体素子の裏面側主電極との間のはんだ、前記第 4 ヒートシンクと前記下アーム側半導体素子の裏面側主電極との間のはんだ、前記第 4 ヒートシンクと前記第 2 ヒートシンクとの間の前記第 2 はんだ、及び、前記第 5 ヒートシンクと前記第 1 ヒートシンクとの間の前記第 1 はんだをリフローし、前記一面側基板、各半導体素子、前記裏面側基板が一体化されてなる積層体を形成するリフロー工程と、

リフロー後に、型のキャビティ内に配置して前記積層体の積層方向に型締めをした状態で、前記キャビティ内に樹脂を注入して前記封止樹脂体を成形する成形工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 10】

前記リフロー工程では、

押し付けピン及び位置決めピンを有し、前記型に設けられた孔を通じて前記押し付けピン及び前記位置決めピンを前記キャビティ内に突出自在に構成された押し付けユニットを、前記型に取り付け、

前記型のキャビティ内に、前記一面側基板、各半導体素子、前記裏面側基板、及び各はんだを配置するとともに、前記位置決めピンにより、前記厚み方向に直交する方向の前記一面側基板の位置、及び、前記裏面側基板の位置合わせを行い、位置合わせをした状態で型締めし、

この型締め状態で、前記押し付けピンにより、前記一面側基板を各半導体素子とは反対の背面側のキャビティ壁面に押し付けて接触させるとともに、前記裏面側基板を各半導体素子とは反対の背面側のキャビティ壁面に押し付けて接触させ、

この押し付け状態で、リフローを実施して前記積層体を形成し、

前記リフロー工程後に、前記押し付けピン及び前記位置決めピンを前記キャビティから引き抜き、前記成形工程を行うことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記裏面側基板及び前記一面側基板は、前記厚み方向に直交する平面形状が矩形状をなしており、

前記位置決めピンにより、前記裏面側基板及び前記一面側基板のいずれか一方の四隅において 2 辺を位置決めし、

前記厚み方向にばね性を有する前記押し付けピンにより、前記裏面側基板及び前記一面側基板のうち位置決めされている一方の四隅をそれぞれ背面側に押し付けることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、少なくとも一相分の上下アームを構成する半導体素子と、すべての半導体素子を一体的に封止する封止樹脂体と、封止樹脂体の側面から外部に突出する高電位電源端子、低電位電源端子、出力端子、及び複数の制御端子と、を備える半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来、少なくとも一相分の上下アームを構成する半導体素子と、すべての半導体素子を一体的に封止する封止樹脂体と、封止樹脂体の側面から外部に突出する高電位電源端子、低電位電源端子、出力端子、及び制御端子と、を備える半導体装置として、たとえば特許文献1に記載のものが知られている。

10

【0003】

特許文献1では、一相分の上下アームを構成する2つの半導体素子を備えており、これら半導体素子は、互いに厚み方向を同じ方向として並んで配置されている。各半導体素子は、厚み方向における同じ側の一面に、制御電極と主電極としてのエミッタ電極とを有し、一面と反対の裏面に、主電極としてのコレクタ電極を有している。また、封止樹脂体の一側面から、高電位電源端子と、低電位電源端子と、出力端子が突出し、一側面の反対面から制御端子が突出している。

【先行技術文献】

【特許文献】

20

【0004】

【特許文献1】特開2012-235081号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1では、封止樹脂体の同じ側面から、各電源端子と出力端子が突出している。出力端子はバスバを介して負荷に接続され、各電源端子は、平滑用のコンデンサを介して直流電源に接続される。出力端子及びバスバとの接触を避けるように、コンデンサに各電源端子を接続しなければならないため、たとえばバスバを介して電源端子をコンデンサに接続することとなり、電源ラインの寄生インダクタンスが増加するという問題がある。

30

【0006】

また、上記半導体装置として、三相分の上下アームを構成する6つの半導体素子を備えるものも知られている。この構成では、たとえば、封止樹脂体の一側面から、高電位電源端子と、低電位電源端子と、上アーム側の半導体素子に対応する制御端子が突出し、一側面の反対面から、各相の出力端子と、下アーム側の半導体素子に対応する制御端子が突出する。

【0007】

制御端子は、半導体素子を駆動するための回路が形成された回路基板に接続される。したがって、同じ側面から突出する制御端子や、回路基板との接触を避けるように、コンデンサに各電源端子を接続しなければならないため、たとえばバスバを介して電源端子をコンデンサに接続することとなり、電源ラインの寄生インダクタンスが増加する。さらにこの場合、電源端子から制御端子へのノイズの伝搬が懸念される。また、制御端子が2つの側面に分けて配置されているため、回路基板の設計自由度が低下してしまう。また、屈曲した制御端子を採用した場合には、制御端子の延設側に冷却器を配置できなくなる。

40

【0008】

したがって、上記した寄生インダクタンスの増加などの問題を抑制するには、一側面から高電位電源端子と低電位電源端子が突出し、反対面から出力端子と制御端子が突出する端子配置をとるのが望ましい。すなわち、電源端子とそれ以外の端子とを分けて配置するのが望ましい。

【0009】

50

しかしながら、従来の半導体装置では、コレクタ電極側に配置されるリードフレームによって、高電位電源端子、低電位電源端子、出力端子、及び制御端子とともに、制御端子と制御電極とを電氣的に中継する信号系の配線も構成されている。また、制御端子として、制御電極に接続される端子のみならず、ケルビンエミッタ用（エミッタ電極の電位検出用）、半導体素子の温度を検出する感温ダイオードのアノード電位用、同じくカソード電位用、電流センス用などの端子を含んでいる。したがって、半導体素子の個数が増えるほど、信号系の配線数も増加し、上記リードフレーム内における信号系の配線の引き回しが困難となる。

【 0 0 1 0 】

そこで、本発明は上記問題点に鑑み、少なくとも一相分の上下アームを構成する半導体素子を備えながらも、電源ラインの寄生インダクタンスを低減できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲及びこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

【 0 0 1 2 】

開示された発明のひとつは、互いに厚み方向を同じ方向として並んで配置され、厚み方向における同じ側の一面に制御電極、一面及び該一面と反対の裏面の両方に主電極をそれぞれ有し、インバータの少なくとも一相分の上下アームを構成する上アーム側の半導体素子（20H）及び下アーム側の半導体素子（20L）と、

すべての半導体素子を一体的に封止する封止樹脂体（30）と、

直流電源の高電位側に接続されるものであり、封止樹脂体の側面から外部に突出する高電位電源端子（21）と、

直流電源の低電位側に接続されるものであり、高電位電源端子と同じ側面から封止樹脂体の外部に突出する低電位電源端子（22）と、

負荷に接続されるものであり、高電位電源端子が突出する側面の反対面から封止樹脂体の外部に突出する出力端子（23）と、

反対面から封止樹脂体の外部に突出する複数の制御端子（24）と、

各半導体素子に対して裏面側に配置され、半導体素子との対向面に形成された導体パターン（42）として、高電位電源端子が接続され、接続された高電位電源端子と上アーム側半導体素子の裏面側主電極とを電氣的に中継する高電位電源パターン（43）と、低電位電源端子が接続され、接続された低電位電源端子と下アーム側半導体素子の一面側主電極とを電氣的に中継する低電位電源パターン（44）と、出力端子が接続され、接続された出力端子と対応する相の下アーム側半導体素子の裏面側主電極とを電氣的に中継する出力パターン（45）と、を有する裏面側基板（31）と、

各半導体素子に対して一面側に配置され、半導体素子との対向面に形成された導体パターン（52）として、制御端子が接続され、接続された制御端子と制御電極とを電氣的に中継する制御パターン（53）を有する一面側基板（32）と、

制御電極と制御パターンとを電氣的に中継する第1中継部材（34）と、

下アーム側半導体素子の一面側主電極と低電位電源パターンとを電氣的に接続する第2中継部材と、

上アーム側半導体素子の一面側主電極と出力パターンとを電氣的に接続する第3中継部材と、を備えることを特徴とする。

【 0 0 1 3 】

これによれば、半導体素子の裏面側に裏面側基板が配置され、一面側に一面側基板が配置されている。裏面側基板には、高電位電源パターン、低電位電源パターン、及び出力パターンが形成され、一面側基板には、制御パターンが形成されている。このように、制御

10

20

30

40

50

パターンが、高電位電源パターン、低電位電源パターン、及び出力パターンが形成された基板とは別の基板に形成されている。これにより、制御パターンの引き回しの自由度が向上しているため、少なくとも一相分の上下アームを構成する半導体素子を備えながらも、封止樹脂体の一側面から、高電位電源端子と低電位電源端子とが突出し、反対面から、出力端子と複数の制御端子とが突出する端子配置を実現できる。したがって、各電源端子と平滑用のコンデンサとの接続距離が短くなり、電源ラインの寄生インダクタンスを低減することができる。同じ側面に他の端子が存在しないため、たとえば、各電源端子にコンデンサを直結することも可能である。

【0014】

また、開示された他の発明のひとつは、互いに厚み方向を同じ方向として並んで配置され、厚み方向における同じ側の一面に制御電極、前記一面及び該一面と反対の裏面の両方に主電極をそれぞれ有し、インバータの少なくとも一相分の上下アームを構成する上アーム側の半導体素子(20H)及び下アーム側の半導体素子(20L)と、

10

すべての半導体素子を一体的に封止する封止樹脂体(30)と、

直流電源の高電位側に接続されるものであり、封止樹脂体の側面から外部に突出する高電位電源端子(221)と、直流電源の低電位側に接続されるものであり、高電位電源端子と同じ側面から封止樹脂体の外部に突出する低電位電源端子(222)と、負荷に接続されるものであり、高電位電源端子が突出する側面の反対面から封止樹脂体の外部に突出する出力端子(223)と、反対面から封止樹脂体の外部に突出する複数の制御端子(224)と、高電位電源端子と連結され、高電位電源端子と上アーム側半導体素子の裏面側主電極とを電氣的に中継する高電位電源配線(243)と、低電位電源端子が連結され、低電位電源端子と下アーム側半導体素子の一面側主電極とを電氣的に中継する低電位電源配線(244)と、出力端子が連結され、出力端子と対応する相の下アーム側半導体素子の裏面側主電極とを電氣的に中継する出力配線(245)と、を有し、各半導体素子に対して裏面側に配置されるリードフレーム(200)と、

20

各半導体素子に対して一面側に配置され、半導体素子との対向面に形成された導体パターン(52)として、制御端子が接続され、接続された制御端子と制御電極とを電氣的に中継する制御パターン(53)を有する一面側基板(32)と、

制御電極と制御パターンとを電氣的に中継する第1中継部材(34)と、

下アーム側半導体素子の一面側主電極と低電位電源配線とを電氣的に接続する第2中継部材と、

30

上アーム側半導体素子の一面側主電極と出力配線とを電氣的に接続する第3中継部材と、を備えることを特徴とする。

【0015】

これによれば、半導体素子の裏面側にリードフレームが配置され、一面側に一面側基板が配置されている。リードフレームには、上記した高電位電源パターン同様の配線機能を果たす高電位電源配線と、上記した出力パターン同様の配線機能を果たす出力配線と、上記した低電位電源パターンと同様の配線機能を果たす低電位電源配線が設けられている。一方、一面側基板には、制御パターンが形成されている。このように、制御パターンと他の配線とが分けて形成されている。これにより、制御パターンの引き回しの自由度が向上しているため、少なくとも一相分の上下アームを構成する半導体素子を備えながらも、封止樹脂体の一側面から、高電位電源端子と低電位電源端子とが突出し、反対面から、出力端子と複数の制御端子とが突出する端子配置を実現することができる。したがって、各電源端子と平滑用のコンデンサとの接続距離が短くなり、電源ラインの寄生インダクタンスを低減することができる。同じ側面に他の端子が存在しないため、たとえば、各電源端子にコンデンサを直結することも可能である。

40

【図面の簡単な説明】

【0016】

【図1】第1実施形態に係る半導体装置の回路図である。

【図2】第1実施形態に係る半導体装置を簡略化した断面図である。

50

【図 3】 一面側から見た半導体装置の斜視図である。

【図 4】 裏面側から見た半導体装置の斜視図である。

【図 5】 半導体装置の製造方法を示す図である。

【図 6】 半導体装置の製造方法を示す図である。

【図 7】 半導体装置の製造方法を示す図である。

【図 8】 半導体装置の製造方法を示す図である。

【図 9】 半導体装置の製造方法を示す図である。

【図 10】 半導体装置の製造方法を示す図である。

【図 11】 半導体装置の製造方法を示す図である。

【図 12】 半導体装置の製造方法を示す図である。

10

【図 13】 半導体装置の製造方法を示す図である。

【図 14】 半導体装置の製造方法を示す図である。

【図 15】 半導体装置の製造方法を示す図である。

【図 16】 半導体装置の製造方法を示す図である。

【図 17】 半導体装置の製造方法を示す図である。

【図 18】 半導体装置の製造方法を示す図である。

【図 19】 半導体装置の製造方法を示す図である。

【図 20】 半導体装置の製造方法を示す図である。

【図 21】 半導体装置の製造方法を示す図である。

【図 22】 半導体装置の製造方法を示す図である。

20

【図 23】 半導体装置の製造方法を示す図である。

【図 24】 半導体装置の製造方法を示す図である。

【図 25】 半導体装置の製造方法を示す図である。

【図 26】 半導体装置の製造方法を示す図である。

【図 27】 半導体装置の製造方法を示す図である。

【図 28】 半導体装置の製造方法を示す図である。

【図 29】 半導体装置の製造方法を示す図である。

【図 30】 半導体装置の製造方法を示す図である。

【図 31】 半導体装置の製造方法を示す図である。

【図 32】 図 3 1 のXXXII-XXXII線に沿う断面図である。

30

【図 33】 半導体装置の製造方法を示す図である。

【図 34】 半導体装置の製造方法を示す図である。

【図 35】 第 2 実施形態に係る半導体装置の概略構成を示す断面図である。

【図 36】 リードフレームを示す斜視図である。

【図 37】 封止樹脂体の成形前の位置関係を示す図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態を、図面を参照して説明する。なお、以下の各図相互において互いに同一もしくは均等である部分に、同一符号を付与する。また、半導体素子の厚み方向をZ方向と示す。また、Z方向に直交し、且つ、各端子が延設された方向をY方向と示す。また、Y方向及びZ方向の両方向に直交する方向をX方向と示す。また、平面形状とは、特に断わりのない限り、X方向及びY方向により規定される面に沿う形状を示す。

40

【0018】

(第1実施形態)

まず、図 1 に基づき、本実施形態に係る半導体装置 10 の回路構成について説明する。

【0019】

図 1 に示すように、半導体装置 10 は、負荷としてのモータ 11 を駆動するために、直流電源 12 の高電位側（正極側）と低電位側（負極側）との間に接続された上下アームを三相分備えている。このように、半導体装置 10 は三相インバータとして構成されており、直流電力を三相交流に変換し、モータ 11 に出力する。半導体装置 10 は、たとえば、

50

電気自動車やハイブリッド自動車に搭載される。直流電源 12 と半導体装置 10 の間には、平滑用のコンデンサ 13 が接続されている。

【0020】

上下アームを構成する各半導体素子 20 は、IGBT や MOSFET などのパワー系スイッチング素子と、該スイッチング素子に逆並列に接続された FWD 素子と、を有している。なお、パワー系スイッチング素子と FWD 素子とを別チップとすることもできる。本実施形態では、各半導体素子 20 が、スイッチング素子として n チャンネル型の IGBT 素子を有している。

【0021】

半導体装置 10 は、半導体素子 20 として、上アームを構成する上アーム側半導体素子 20H と、下アームを構成する下アーム側半導体素子 20L を有している。また、上アーム側半導体素子 20H として、3 つの上アーム側半導体素子 20HU, 20HV, 20HW を有し、下アーム側半導体素子 20L として、3 つの下アーム側半導体素子 20LU, 20LV, 20LW を有している。以下においては、上アーム側半導体素子 20H, 20HU, 20HV, 20HW を、単に半導体素子 20H, 20HU, 20HV, 20HW とも称し、下アーム側半導体素子 20L, 20LU, 20LV, 20LW を、単に半導体素子 20L, 20LU, 20LV, 20LW とも称す。

10

【0022】

そして、半導体素子 20HU を上アーム側、半導体素子 20LU を下アーム側として、U 相の上下アームが構成されている。同じく、半導体素子 20HV を上アーム側、半導体素子 20LV を下アーム側として、V 相の上下アームが構成されている。半導体素子 20HW を上アーム側、半導体素子 20LW を下アーム側として、W 相の上下アームが構成されている。このように、半導体装置 10 は、三相分の上下アームを構成する 6 つの半導体素子 20 を備えている。

20

【0023】

半導体装置 10 は、外部接続用の端子を備えており、この端子のうち、高電圧が印加され、大電流が流れるパワー端子として、高電位電源端子 21 と、低電位電源端子 22 と、出力端子 23 と、を備えている。以下において、高電位電源端子 21 を、P 端子 21 とも称す。また、低電位電源端子 22 を、N 端子 22 とも称す。また、半導体装置 10 は、信号端子として、複数の制御端子 24 を備えている。さらに、半導体装置 10 は、駆動 IC 25 と、絶縁素子 26 と、統合制御素子 27 と、を備えている。

30

【0024】

P 端子 21 は、直流電源 12 の高電位側に接続される。この P 端子 21 には、各相の上アーム側半導体素子 20H (20HU, 20HV, 20HW) のコレクタ電極が接続されている。一方、N 端子 22 は、直流電源 12 の低電位側に接続される。この N 端子 22 には、各相の下アーム側半導体素子 20L (20LU, 20LV, 20LW) のエミッタ電極が接続されている。

【0025】

半導体装置 10 は、出力端子 23 として、U 相の出力端子 23U と、V 相の出力端子 23V と、W 相の出力端子 23W と、を有している。出力端子 23U は、モータ 11 の U 相線と、半導体素子 20HU のエミッタ電極及び半導体素子 20LU のコレクタ電極の接続点とを、電気的に中継している。出力端子 23V は、モータ 11 の V 相線と、半導体素子 20HV のエミッタ電極及び半導体素子 20LV のコレクタ電極の接続点とを、電気的に中継している。出力端子 23W は、モータ 11 の U 相線と、半導体素子 20HW のエミッタ電極及び半導体素子 20LW のコレクタ電極の接続点とを、電気的に中継している。なお、各半導体素子 20 のコレクタ電極及びエミッタ電極が、特許請求の範囲に記載の主電極に相当する。

40

【0026】

駆動 IC 25 は、半導体チップに、対応する半導体素子 20 に形成されたスイッチング素子の駆動を制御するための駆動回路が形成されてなる。この駆動 IC 25 は、図示しな

50

いマイコンから入力される制御信号（デジタル信号）に基づいて、ゲート駆動信号などのアナログ信号を生成し、対応する半導体素子 20 のゲート電極に出力する。なお、各半導体素子 20 のゲート電極を含む複数の制御パッドが、特許請求の範囲に記載の制御電極に相当する。制御電極（制御パッド）は、ゲート電極用のパッドのみならず、ケルビンエミッタ用（エミッタ電極の電位検出用）、半導体素子の温度を検出する感温ダイオードのアノード電位用、同じくカソード電位用、電流センス用などを含んでいる。

【0027】

半導体装置 10 は、駆動 IC 25 として、各半導体素子 20 に対応する 6 つの駆動 IC 25 HU, 25 HV, 25 HW, 25 LU, 25 LV, 25 LW を有している。すなわち、半導体素子 20 ひとつにつき、ひとつの駆動 IC 25 が設けられている。そして、駆動 IC 25 HU が半導体素子 20 HU に対応し、駆動 IC 25 LU が半導体素子 20 LU に対応している。駆動 IC 25 HV が半導体素子 20 HV に対応し、駆動 IC 25 LV が半導体素子 20 LV に対応している。駆動 IC 25 HW が半導体素子 20 HW に対応し、駆動 IC 25 LW が半導体素子 20 LW に対応している。

10

【0028】

絶縁素子 26 は、駆動 IC 25 と統合制御素子 27 とを電氣的に絶縁しながら、駆動 IC 25 と統合制御素子 27 との間で信号を伝達する素子である。この絶縁素子 26 は、各駆動 IC 25 と、統合制御素子 27 とを電氣的に接続する配線の途中に設けられている。すなわち、半導体装置 10 は、絶縁素子 26 として、各駆動 IC 25 に対応する 6 つの絶縁素子 26 HU, 26 HV, 26 HW, 26 LU, 26 LV, 26 LW を有している。

20

【0029】

統合制御素子 27 は、6 つの駆動 IC 25 のすべてを統括的に制御する機能を有している。この統合制御素子 27 には、制御端子 24 を介して、たとえば外部装置のマイコンから、三相インバータの駆動指令を取得する。なお、駆動 IC 25 や絶縁素子 26 を、統合制御素子 27 中に内蔵させてもよい。

【0030】

次に、図 2 ~ 図 4 に基づき、上記した半導体装置 10 の概略構成について説明する。図 2 は、各要素の接続構造ができるだけわかるように簡略、模式化して示した半導体装置 10 の断面図である。

【0031】

図 2 ~ 図 4 に示すように、半導体装置 10 は、封止樹脂体 30 を備えている。この封止樹脂体 30 は、上記した 6 つの半導体素子 20、駆動 IC 25、絶縁素子 26、及び統合制御素子 27 を一定的に封止している。図 2 に示すように、同じ相の半導体素子 20 H, 20 L は、Y 方向に並んで配置されている。

30

【0032】

封止樹脂体 30 は、たとえば、エポキシ樹脂を用いたトランスファモールド法により形成されている。封止樹脂体 30 は、平面略矩形状をなしている。図 3 及び図 4 に示すように、封止樹脂体 30 の一側面 30 a から P 端子 21 及び N 端子 22 が突出し、これら端子 21, 22 は Y 方向に沿って延設されている。封止樹脂体 30 から突出する部分において、P 端子 21 と N 端子 22 は、X 方向に沿って並んで配置されている。また、一側面 30 a の反対面 30 b から出力端子 23 及び制御端子 24 が突出し、これら端子 23, 24 は Y 方向に沿って延設されている。図 3 及び図 4 に示すように、封止樹脂体 30 から突出する部分において、出力端子 23 U, 23 V, 23 W が、X 方向に互いに並んで配置されている。また、複数の制御端子 24 が、X 方向に互いに並んで配置されている。そして、出力端子 23 が反対面 30 b における X 方向の一端側に配置され、制御端子 24 が他端側に配置されている。

40

【0033】

封止樹脂体 30 における Z 方向の一面 30 c と、該一面 30 c と反対の裏面 30 d は、ほぼ平坦となっている。そして、これらの面 30 c, 30 d から、後述する金属層 41, 51 の放熱面 41 a, 51 a が露出されている。

50

【0034】

半導体装置10は、さらに、半導体素子20H, 20Lの裏面側に配置された裏面側基板31と、半導体素子20H, 20Lの一面側に配置された一面側基板32と、を備えている。以下においては、裏面側基板31、一面側基板32を、基板31, 32とも称す。

【0035】

裏面側基板31は、セラミックや樹脂などの電気絶縁材料からなる基材40と、基材40の一方の面上に設けられた金属層41と、金属層41と反対の面上に設けられた導体パターン42と、を有している。本実施形態では、セラミックからなる基材40の両面に金属箔（たとえば銅箔）が配置され、この金属箔により金属層41が構成されるとともに、金属箔がパターンングされて導体パターン42が構成されている。

10

【0036】

金属層41は、基材40のほぼ全面に設けられている。金属層41における基材40と反対の面は、封止樹脂体30の裏面30dから露出され、半導体素子20の熱を外部に逃がすための放熱面41aとなっている。

【0037】

導体パターン42は、P端子21、N端子22、及び出力端子23と、半導体素子20とを電氣的に接続するために、高電位電源パターン43と、低電位電源パターン44と、各相の出力パターン45と、を有している。以下、高電位電源パターン43をPパターン43とも称し、低電位電源パターン44をNパターン44とも称す。図2では、導体パターン42のうち、Nパターン44が示されず、Pパターン43と出力パターン45のみが示されている。Nパターン44を含む導体パターン42の詳細については後述する。

20

【0038】

一面側基板32も、裏面側基板31同様、セラミックや樹脂などの電気絶縁性材料からなる基材50と、基材50の一方の面上に設けられた金属層51と、金属層51と反対の面上に設けられた導体パターン52と、を有している。本実施形態では、セラミックからなる基材50の両面に金属箔（たとえば銅箔）が配置され、この金属箔により金属層51が構成されるとともに、金属箔がパターンングされて導体パターン52が構成されている。

【0039】

金属層51は、基材50のほぼ全面に設けられている。金属層51における基材50と反対の面は、封止樹脂体30の裏面30cから露出され、半導体素子20の熱を外部に逃がすための放熱面51aとなっている。

30

【0040】

導体パターン52は、制御端子24と半導体素子20とを電氣的に接続するための制御パターン53と、電氣的な接続機能を提供せず、放熱機能を提供するためのダミーランド54と、を有している。導体パターン52の詳細については後述する。

【0041】

このように、半導体素子20の主電極と接続されるPパターン43、Nパターン44、及び出力パターン45は、裏面側基板31に形成され、半導体素子20の制御電極（制御パッド）と接続される制御パターンは、一面側基板32に形成されている。

40

【0042】

半導体装置10は、さらに、銅などの熱伝導良好な金属材料を含んで構成されたヒートシンク33を有している。ヒートシンク33は、5つのヒートシンク60~64を有している。

【0043】

第1ヒートシンク60は、下アーム側半導体素子20Lのエミッタ電極に接続され、第2ヒートシンク61は、上アーム側半導体素子20Hのエミッタ電極に接続されている。第3ヒートシンク62は、上アーム側半導体素子20Hのコレクタ電極とPパターン43とを電氣的に中継し、第4ヒートシンク63は、下アーム側半導体素子20Lのコレクタ電極と出力パターン45とを電氣的に中継する。図2において図示されない第5ヒートシ

50

ンク 6 4 は、第 1 ヒートシンク 6 1 と N パターン 4 4 とを電氣的に中継する。換言すれば、下アーム側半導体素子 2 0 L のエミッタ電極と N パターン 4 4 とを電氣的に中継する。ヒートシンク 3 3 の詳細については後述する。

【 0 0 4 4 】

半導体装置 1 0 は、さらに、半導体素子 2 0 の制御電極（制御パッド）と制御パターン 5 3 とを電氣的に中継する中継部材 3 4 などを備えている。中継部材 3 4 は、金属材料を用いて形成されている。本実施形態では、中継部材 3 4 として金属板を打ち抜いてなる金属片を採用している。中継部材 3 4 は、特許請求の範囲に記載の第 1 中継部材に相当する。

【 0 0 4 5 】

次に、図 5 ~ 図 3 4 に基づき、上記した半導体装置 1 0 の製造方法の一例について説明しながら、半導体装置 1 0 の詳細構造についても説明する。

【 0 0 4 6 】

リフロー工程の前に実施する裏面側基板 3 1 の準備工程について説明する。

【 0 0 4 7 】

先ず、図 5 に示すように、導体パターン 4 2 を形成する。基材 4 0 の両面に配置された金属箔のうち、半導体素子 2 0 が配置される側の面の金属箔を、エッチングなどによってパターンングし、導体パターン 4 2 を形成する。導体パターン 4 2 として、P パターン 4 3、N パターン 4 4、出力パターン 4 5、及び第 1 ランド 4 6 R、4 6 L を形成する。なお、出力パターン 4 5 として、U 相の出力パターン 4 5 U、V 相の出力パターン 4 5 V、W 相の出力パターン 4 5 W を形成する。

【 0 0 4 8 】

P パターン 4 3 は平面略 T 字状をなしており、X 方向に延設され、P 端子 2 1 が接続される端子接続部 4 3 a と、端子接続部 4 3 a の一端に連結されるとともに Y 方向に延設され、その一部に第 3 ヒートシンク 6 2 が配置されるヒートシンク搭載部 4 3 b と、を有している。N パターン 4 4 は、X 方向に延設され、N 端子 2 2 が接続される端子接続部 4 4 a と、端子接続部 4 4 a の一端に連結されるとともに略コの字状をなし、その一部に第 5 ヒートシンク 6 4 が配置されるヒートシンク搭載部 4 4 b と、を有している。端子接続部 4 3 a、4 4 a は、互いに X 方向に並んで配置されている。端子接続部 4 3 a のほうが、端子接続部 4 4 a よりも Y 方向に沿う長さが若干長くなっている。

【 0 0 4 9 】

そして、ヒートシンク搭載部 4 4 b は、端子接続部 4 3 a を挟むように、端子接続部 4 3 a と重なる部分が欠落して、略コの字をなしている。ヒートシンク搭載部 4 4 b は、平面略矩形状をなすヒートシンク搭載部 4 3 b の 3 辺に隣接して配置されている。

【 0 0 5 0 】

出力パターン 4 5 は、少なくとも Y 方向に延設され、対応する出力端子 2 3 が接続される端子接続部 4 5 a と、端子接続部 4 5 a の一端に連結されるとともに平面略矩形状をなし、第 4 ヒートシンク 6 3 が配置されるヒートシンク搭載部 4 5 b と、を有している。各相の出力パターン 4 5 U、4 5 V、4 5 W において、ヒートシンク搭載部 4 5 b は、ほぼ同じ形状をなしており、X 方向に並んで配置されている。また、これらヒートシンク搭載部 4 5 b は、Y 方向においてヒートシンク搭載部 4 3 b に並んで配置されている。ヒートシンク搭載部 4 3 b の X 方向の長さ、と並んで配置された 3 つのヒートシンク搭載部 4 5 b において X 方向における両端間の長さがほぼ等しくなっている。X 方向において、両サイドのヒートシンク搭載部 4 5 b に隣接して、ヒートシンク搭載部 4 4 b 配置されている。

【 0 0 5 1 】

端子接続部 4 5 a のうち P パターン 4 3 とは反対側の端部、すなわち端子接続部 4 5 a における出力端子 2 3 が接続される部分は、基材 4 0 における X 方向の一端寄りにまとめられている。第 1 ランド 4 6 R、4 6 L は、X 方向において、端子接続部 4 5 a を間に挟むように配置されている。第 1 ランド 4 6 R、4 6 L には、後述するノイズ吸収板 7 0 が

10

20

30

40

50

接続される。第1ランド46R, 46Lは、Y方向に沿って延設されており、Y方向においてヒートシンク搭載部44bに並んで設けられている。

【0052】

なお、導体パターン42と反対の面に配置される金属箔については特にパターンニングしない。これにより、基材40とほぼ同じ大きさを有するベタパターンの金属層41が形成される。

【0053】

次に、ヒートシンク62~64を実装する。ヒートシンク搭載部43bとほぼ同じ平面形状を有して形成された第3ヒートシンク62を、図6に示すようにヒートシンク搭載部43b上に配置し、第3ヒートシンク62とヒートシンク搭載部43bとを接続する。この接続には、金属間合金形成のための加圧成形、ろう付け、はんだ付けなどを採用することができる。

10

【0054】

同様にして、ヒートシンク搭載部44bとほぼ同じ平面形状(略コノ字)を有して形成された第5ヒートシンク64を、ヒートシンク搭載部44b上に配置し、第5ヒートシンク64とヒートシンク搭載部44bとを接続する。第5ヒートシンク64には、図7に示すように、端子接続部43aを架橋する部分に切り欠き64aが形成されており、これにより、第5ヒートシンク64と端子接続部43a(Pパターン43)との短絡を防ぐことができる。

20

【0055】

同様にして、ヒートシンク搭載部45bとほぼ同じ平面形状を有して形成された第4ヒートシンク63を、各相のヒートシンク搭載部45b上に個別に配置し、第4ヒートシンク63とヒートシンク搭載部45bとを接続する。なお、ヒートシンク実装後、半導体素子20の実装(はんだ濡れ性)を考慮し、ヒートシンク62~64に対してニッケルメッキ等を行ってもよい。

【0056】

次に、ノイズ吸収板70を実装する。詳しくは、図8に示すように、第1ランド46R, 46Lにノイズ吸収板70を接続する。このノイズ吸収板70は、特許請求の範囲に記載の第1ノイズ吸収板に相当し、出力パターン45から制御パターン53に伝搬するノイズを吸収する。ノイズ吸収板70は、金属材料を用いて形成されている。出力パターン45のうち、ヒートシンク搭載部45bには、上記したようにヒートシンク62~64が実装される。この工程では、端子接続部45aのうち、後に出力端子23が接続される部分を除く部分のみを覆うように、第1ランド46R, 46Lにノイズ吸収板70を接続する。この接続には、後述するリフロー時に再溶融して外れることのない方法、たとえば超音波接合やろう付けを採用することができる。

30

【0057】

次に、スナバコンデンサ71を実装する。図9に示すように、スナバコンデンサ71をPパターン43とNパターン44との間に接続する。詳しくは、スナバコンデンサ71を、端子接続部43aと端子接続部44aの間に接続する。これにより、直流電源12やコンデンサ13からの接続に応じた寄生インダクタンスの影響を受けず、スイッチングサージの小さい駆動が可能な半導体装置10とすることができる。スナバコンデンサ71は、ノイズ吸収板70と同じタイミングで実装してもよい。機能上不要であれば、スナバコンデンサ71を有さない構成とすることもできる。

40

【0058】

次に、予備はんだ工程を実施する。図10に示すように、導体パターン42の各端子接続部43a, 44a, 45aのうち、後に端子が接続される部分に予めはんだ72を施す。いずれもヒートシンク搭載部43b, 44b, 45bが連結された端部と反対の端部に、はんだ72を施す。はんだ72は、箔、ペースト印刷、シリンジ塗布などによって供給することができる。

【0059】

50

次に、リフロー工程の前に実施する一面側基板 3 2 の準備工程について説明する。

【 0 0 6 0 】

先ず、図 1 1 に示すように、導体パターン 5 2 を形成する。基材 5 0 の両面に配置された金属箔のうち、半導体素子 2 0 が配置される側の面の金属箔を、エッチングなどによってパターンングし、導体パターン 5 2 を形成する。導体パターン 5 2 として、制御パターン 5 3、ダミーランド 5 4、第 2 ランド 5 5 R、5 5 L を形成する。

【 0 0 6 1 】

制御パターン 5 3 は、半導体素子 2 0 の制御電極から制御端子 2 4 までを電氣的に中継する配線である。制御パターン 5 3 は、中継部材 3 4 と駆動 IC 3 5 とを電氣的に中継する第 1 配線 5 3 a と、駆動 IC 3 5 と絶縁素子 2 6 とを電氣的に中継する第 2 配線 5 3 b と、絶縁素子 2 6 と統合制御素子 2 7 とを電氣的に中継する第 3 配線 5 3 c と、統合制御素子 2 7 と制御端子 2 4 とを電氣的に中継する第 4 配線 5 3 d と、を有している。

10

【 0 0 6 2 】

第 4 配線 5 3 d は、制御端子 2 4 の本数分設けられている。複数の第 4 配線 5 3 d は、互いに X 方向に並んで配置されるとともに、基材 5 0 における X 方向の一端寄りにまとめられている。複数の第 4 配線 5 3 d は、X 方向において、上記した端子接続部 4 5 a における出力端子 2 3 が接続される部分と重ならないように配置されている。これにより、封止樹脂体 3 0 の反対面 3 0 b において、X 方向における一端側に出力端子 2 3 がまとめて配置され、他端側に制御端子 2 4 がまとめて配置されることになる。

20

【 0 0 6 3 】

ダミーランド 5 4 は、電氣的な接続機能を提供せず、放熱機能を提供する。ダミーランド 5 4 は、半導体素子 2 0 に対応して設けられている。ダミーランド 5 4 は、U 相上アーム側の半導体素子 2 0 H U のエミッタ電極に接続されるダミーランド 5 4 U と、V 相上アーム側の半導体素子 2 0 H V のエミッタ電極に接続されるダミーランド 5 4 V と、W 相上アーム側の半導体素子 2 0 H W のエミッタ電極に接続されるダミーランド 5 4 W と、を有している。また、下アーム側の半導体素子 2 0 L のエミッタ電極に接続される各相共通のダミーランド 5 4 N を有している。

【 0 0 6 4 】

ダミーランド 5 4 U、5 4 V、5 4 W は、X 方向に並んで配置されている。ダミーランド 5 4 N は、Y 方向において、ダミーランド 5 4 U、5 4 V、5 4 W に並んで配置されている。ダミーランド 5 4 U、5 4 V、5 4 W は、それぞれ Y 方向を長手とする平面矩形形状とされ、ダミーランド 5 4 N は、X 方向を長手とする平面矩形形状とされている。そして、ダミーランド 5 4 N の X 方向の長さは、X 方向において両サイドに位置する U 相と V 相のダミーランド 5 4 U、5 4 W の外側の長手辺間の距離よりも長くされている。すなわち、ダミーランド 5 4 N が、X 方向において、ダミーランド 5 4 U、5 4 V、5 4 W よりも外側まで延設されている。これにより、第 1 ヒートシンク 6 0 と、第 5 ヒートシンク 6 4 との接続が可能となっている。

30

【 0 0 6 5 】

第 2 ランド 5 5 R、5 5 L は、Y 方向に沿って延設されるとともに、X 方向において、すべてのダミーランド 5 4 を間に挟むように配置されている。第 2 ランド 5 5 R、5 5 L には、後述するノイズ吸収板 7 3 が接続される。

40

【 0 0 6 6 】

なお、導体パターン 5 2 と反対の面に配置される金属箔については特にパターンングしない。これにより、基材 5 0 とほぼ同じ大きさを有するベタパターンの金属層 5 1 が形成される。

【 0 0 6 7 】

次に、ヒートシンク 6 0、6 1 を実装する。図 1 2 に示すように、ダミーランド 5 4 N とほぼ同じ平面形状を有して形成された第 1 ヒートシンク 6 0 を、ダミーランド 5 4 N 上に配置する。また、ダミーランド 5 4 U、5 4 V、5 4 W のそれぞれとほぼ同じ平面形状を有して形成された第 2 ヒートシンク 6 1 を、ダミーランド 5 4 U、5 4 V、5 4 W 上に

50

個別に配置する。そして、第1ヒートシンク60とダミーランド54Nとを接続し、第2ヒートシンク61とダミーランド54U, 54V, 54Wとをそれぞれ接続する。これらの接続には、金属間合金形成のための加圧成形、ろう付け、はんだ付けなどを採用することができる。

【0068】

なお、ヒートシンク60, 61の実装後、半導体素子20の実装(はんだ濡れ性)を考慮し、ヒートシンク60, 61に対してニッケルメッキ等を行ってもよい。

【0069】

次に、ノイズ吸収板73を実装する。このノイズ吸収板73は、特許請求の範囲に記載の第2ノイズ吸収板に相当し、半導体装置10の外部から制御パターン53に伝搬するノイズを吸収する。ノイズ吸収板73は、金属材料を用いて形成されている。図13に示すように、ノイズ吸収板73を、第2ランド55R, 55Lのそれぞれに実装する。これにより、制御パターン53における第2配線53bのうち、第2ランド55R, 55Lに並んで配置された部分の上方に、ノイズ吸収板73が配置される。ノイズ吸収板73の接続には、リフロー時に外れることのない方法、たとえば超音波接合やろう付けを採用することができる。

10

【0070】

次に、中継部材34を実装する。図14に示すように、すべての第1配線53aに対して中継部材34を接続する。中継部材34は、金属板を打ち抜き、曲げ加工してたとえばクランク形状にした金属片である。この接続には、リフロー時に外れることのない方法、たとえば超音波接合やろう付けを採用することができる。この時点で、中継部材34の一端は、中に浮いた状態となるが、後に、半導体素子20の制御電極に接続される。

20

【0071】

次に、予備はんだ工程を実施する。図15に示すように、導体パターン52のうち、第4配線53dにおける制御端子24が接続される部分に、予めはんだ74を施す。はんだ74は、箔、ペースト印刷、シリンジ塗布などによって供給することができる。なお、このはんだ74を予備はんだとして設けるのではなく、後工程のリフロー前の段階で、他のはんだとともに一括配置としてもよい。

【0072】

次に、別の予備はんだ工程を実施する。図16に示すように、中継部材34における半導体素子20の制御電極に接続される部分へ、予めはんだ75を施す。はんだ75は、ペースト印刷、シリンジ塗布、ディップ塗布などによって供給することができる。本実施形態では、中継部材34上にはんだ75を設ける例を示すが、半導体素子20の制御電極(パッド)上にはんだ75を設けてもよい。

30

【0073】

次に、リフローによって、基板31, 32と半導体素子20を一体化する工程を説明する。本実施形態では、封止樹脂体30を成形する型を用いてリフロー工程を行う。また、1回のリフローで、両面放熱構造の半導体装置10を形成する。

【0074】

図17は、下側押し付けユニット100を示している。以下においては、単に、押し付けユニット100とも称す。押し付けユニット100は、平面略矩形状をなす基部101と、基部101の一面101a側の四隅に設けられ、後述する成形用下型110を位置決めする位置決めピン102を有している。位置決めピン102は、Z方向に延設されており、1か所につき1本設けられている。

40

【0075】

また、位置決めピン102よりもやや内側には、一面側基板32を位置決めするための位置決めピン103が設けられている。位置決めピン103は、Z方向に延設されており、平面略矩形状をなす一面側基板32を四隅で位置決めするために、各隅部の2辺に接触すべく1か所につき2本設けられている。

【0076】

50

さらに、位置決めピン103よりもやや内側には、裏面側基板31を位置決めしつつ、背面側のキャビティ壁面に押し付けるためのピン104が設けられている。ピン104は、1か所につき3本設けられており、そのうちの2本が、位置決めピン104a、残りの1本が押し付けピン104bとなっている。各ピン104a, 104bは、Z方向に延設されている。位置決めピン104aは、平面略矩形状をなす裏面側基板31を四隅で位置決めするために、各隅部の2辺に接触すべく設けられている。押し付けピン104bは、Z方向にばね性を有して設けられており、そのばね反力によって裏面側基板31を背面側のキャビティ壁面に押し付けるべく、位置決めピン104aよりも内側に設けられている。

【0077】

そして、押し付けユニット100と、封止樹脂体30を成形する際に用いる下型110とを組み付ける。図18に示すように、下型110は、一面が開口する略箱状をなしており、底部111と、底部111を取り囲む枠体112と、を有している。枠体112における内周面は抜き勾配を有している。開口側において、底部111は枠体112に対して凹んでいる。枠体112には、位置決めピン102に対応して設けられ、位置決めピン102が挿通する貫通孔113が形成されている。底部111には、位置決めピン103に対応して設けられ、位置決めピン103が挿通する貫通孔114が形成されている。また、押し付けピン104に対応して設けられ、押し付けピン104が挿通する貫通孔115が形成されている。

【0078】

底部111の外面側が押し付けユニット100の一面101aと対向するように配置し、一面101a上に下型110を配置する。図19は、押し付けユニット100と下型110とを組み付けた状態を示している。位置決めピン102, 103が、貫通孔113, 114を挿通し、押し付けピン104が貫通孔115を挿通している。

【0079】

なお、図19に示す符号116は、枠体112に設けられ、後述する第1フレーム80を位置決めするための嵌合部である。この嵌合部116は、位置決めのための突起などを有している。また、符号117は、枠体112に設けられ、後述する第2フレーム81を位置決めするための嵌合部である。この嵌合部117も、位置決めのための突起などを有している。

【0080】

次に、一面側基板32を配置する。図20に示すように、下型110の底部111における内面上に、一面側基板32を配置する。このとき、金属層51の形成面が底部111と対向するように配置する。平面略矩形状をなす一面側基板32の四隅に、上記した位置決めピン103が接触することで、XY面内において一面側基板32の位置が決まる。

【0081】

次に、駆動IC25、絶縁素子26、及び統合制御素子27を、一面側基板32上に配置する。まず、図21に示すように、駆動IC25、絶縁素子26、及び統合制御素子27の電極に、予めはんだ76が施す。このはんだ76は、ディスペンスやフリップチップボンディング等により供給することができる。そして、はんだ76の施された駆動IC25、絶縁素子26、及び統合制御素子27を、図22に示すように、一面側基板32の対応する位置に配置する。これにより、ボンディングワイヤを用いることなく、制御パターン53と、駆動IC25、絶縁素子26、及び統合制御素子27との接続が可能となる。

【0082】

なお、駆動IC25は、第1配線53aと第2配線53bと間に配置される。絶縁素子26は、第2配線53bと第3配線53cとの間に配置される。統合制御素子27は、第3配線53cと第4配線53dと間に配置される。

【0083】

次に、図23に示すように、ヒートシンク60, 61上に、はんだ77を配置する。詳しくは、第1ヒートシンク60上における、U相下アーム側の半導体素子20LUのエミ

10

20

30

40

50

ッタ電極に対応する部分にはんだ77LUを配置する。同様に、第1ヒートシンク60上における、V相下アーム側の半導体素子20LVのエミッタ電極に対応する部分にはんだ77LVを配置し、W相下アーム側の半導体素子20LWのエミッタ電極に対応する部分にはんだ77LWを配置する。また、第1ヒートシンク60のX方向両端に、第5ヒートシンク64に対応するはんだ77L, 77Rを配置する。

【0084】

また、第2ヒートシンク61Uにおける、U相上アーム側の半導体素子20HUのエミッタ電極に対応する部分にはんだ77HUを配置し、第4ヒートシンク63Uと重なる部分に、はんだ77Uを配置する。同様に、第2ヒートシンク61Vにおける、V相上アーム側の半導体素子20HVのエミッタ電極に対応する部分にはんだ77HVを配置し、第4ヒートシンク63Vと重なる部分に、はんだ77Vを配置する。また、第2ヒートシンク61Wにおける、W相上アーム側の半導体素子20HWのエミッタ電極に対応する部分にはんだ77HWを配置し、第4ヒートシンク63Wと重なる部分に、はんだ77Wを配置する。

10

【0085】

本実施形態では、ヒートシンク60, 61の表面のうち、はんだ77が配置されない部分を、レーザ光の照射によって粗化している。この表面粗化部78は、粗化処理されていない部分に比べて、はんだ77の濡れ性が低い。したがって、表面粗化部78によってはんだ77の配置領域を規定しておく、はんだ77をセルフアライメントさせることができる。なお、表面粗化ではなく、メッキを施すことで、メッキ有無での濡れ性の差により、はんだ77の配置領域を規定してもよい。図23では、便宜上、表面粗化部78にハッチングを施している。

20

【0086】

次に、図24に示すように、半導体素子20を配置する。詳しくは、エミッタ電極が対応するはんだ77に接触するように、半導体素子20を配置する。はんだ77HU上に半導体素子20、はんだ77HV上に半導体素子20HV、はんだ77HW上に半導体素子20HWを配置する。また、はんだ77LU上に半導体素子20LU、はんだ77LV上に半導体素子20LV、はんだ77LW上に半導体素子20LWを配置する。また、この配置により、半導体素子20の制御電極が、対応する中継部材34上のはんだ75に接触する。

30

【0087】

次に、図25に示すように、半導体素子20のコレクタ電極上に、はんだ79を配置する。詳しくは、U相上アーム側の半導体素子20HUのコレクタ電極上に、はんだ79HUを配置する。同様に、半導体素子20HVのコレクタ電極上に、はんだ79HVを配置し、半導体素子20HWのコレクタ電極上に、はんだ79HWを配置する。また、半導体素子20LUのコレクタ電極上にはんだ79LU、半導体素子20LVのコレクタ電極上にはんだ79LV、半導体素子20LWのコレクタ電極上にはんだ79LWを配置する。なお、上記した表面粗化などの処理を、第3ヒートシンク62、第4ヒートシンク63に施しておく、はんだ79をセルフアライメントさせることができる。

40

【0088】

次に、図26に示すように、P端子21及びN端子22を有する第1フレーム80と、出力端子23及び制御端子24を有する第2フレーム81を配置する。詳しくは、下型110の嵌合部116に、第1フレーム80を位置決め嵌合させる。また、嵌合部117に、第2フレーム81を位置決め嵌合させる。図27に示すように、第1フレーム80において、P端子21及びN端子22における裏面側基板31との接続側の端部が、一面側基板32とは反対側に向けて屈曲している。また、図28に示すように、第2フレーム81において、各出力端子23における裏面側基板31との接続側の端部が、一面側基板32とは反対側に向けて屈曲している。また、制御端子24における一面側基板32との接続側の端部が、一面側基板32に向けて屈曲している。上記配置により、制御端子24における屈曲先端が、一面側基板32の制御パターン53のうち、第4配線53d上のはんだ

50

74に接触する。

【0089】

次に、図29に示すように、裏面側基板31を配置する。このとき、裏面側基板31の導体パターン形成面を、一面側基板32に対向させて配置する。このとき、平面略矩形形状をなす裏面側基板31の四隅に、上記した位置決めピン104aが接触することで、XY面内において裏面側基板31の位置が決まる。また、この位置決め状態で、ばねピン104bが裏面側基板31の四隅にそれぞれ接触する。

【0090】

裏面側基板31の位置決めにより、P端子21は、Pパターン43の端子接続部43aに配置されたはんだ72に接触し、N端子22は、Nパターン44の端子接続部44aに配置されたはんだ72に接触する。また、出力端子23は、対応する相の出力パターン45における端子接続部45aに配置されたはんだ72に接触する。

10

【0091】

裏面側基板31は、一面側基板32よりもX方向の長さが短く、X方向において、一面側基板32の中心付近に配置される。このため、一面側基板32のうち、X方向における両端部分は、裏面側基板31と重ならず、後述する押し付けピン132によって背面側に押し付けることができる。

【0092】

次に、図30に示すように、封止樹脂体30を成形するための上型120及び上側押し付けユニット130を準備する。以下においては、上側押し付けユニット130を、単に押し付けユニット130とも称す。

20

【0093】

上型120は、下型110同様、キャビティを構成すべく一面が開口する略箱状をなしており、箱の底部と、底部を取り囲む枠体を有している。枠体の内周面は抜き勾配を有している。そして、枠体に、位置決めピン102が挿通する貫通孔121が設けられ、底部に、後述する押し付けピン132が貫通する貫通孔122が設けられている。貫通孔121は、位置決めピン102に対応して四隅に設けられている。貫通孔122は、押し付けピン132に対応して4か所に設けられている。

【0094】

押し付けユニット130は、環状の基部131と、基部131における上型120との対向面から上型120に向けて突出する押し付けピン132と、を有している。押し付けピン132はZ方向にばね性を有しており、ばね反力によって、一面側基板32を背面側に押し付ける。

30

【0095】

そして、図31及び図32に示すように、下型110と上型120とを型締めし、リフローを実施する。位置決めピン102が上型120の貫通孔121を挿通し、この位置決め状態で、型締めを行う。

【0096】

型締め状態で、裏面側基板31は、押し付けピン104bのばね反力により、背面側に位置する上型120のキャビティ壁面に押し付けられる。これにより、裏面側基板31の放熱面41aが、キャビティ壁面に密着する。また、一面側基板32は、押し付けピン132のばね反力により、背面側に位置する下型110のキャビティ壁面に押し付けられる。これにより、一面側基板32の放熱面51aが、キャビティ壁面に密着する。そして、この状態で、リフローを実施する。

40

【0097】

このリフローでは、はんだ72, 74, 75, 76, 77, 79を一括でリフローする。これにより、はんだ72を介して各端子21~24が、対応する導体パターン42に接続される。また、はんだ74により、制御端子24が制御パターン53に接続される。また、はんだ75により、中継部材34が制御電極(パッド)に接続される。また、はんだ76により、駆動IC25、絶縁素子26、及び統合制御素子27が制御パターン53に

50

接続される。また、はんだ77HU, 77HV, 77HWにより、半導体素子20HUのコレクタ電極と第3ヒートシンク62とが接続される。また、はんだ77LU, 77LV, 77LWにより、半導体素子20Lのコレクタ電極と第4ヒートシンク63が接続される。また、はんだ77U, 77V, 77Wにより、第2ヒートシンク61と第4ヒートシンク63とが接続される。また、はんだ77L, 77Rにより、第1ヒートシンク60と第5ヒートシンク64とが接続される。また、はんだ79HU, 79HV, 79HWにより、半導体素子20Hのエミッタ電極と第2ヒートシンク61とが接続される。また、はんだ79LU, 79LV, 79LWにより、半導体素子20Lのエミッタ電極と第2ヒートシンク61とが接続される。

【0098】

このように、Z方向において、裏面側基板31を背面側のキャビティ壁面に押し付け、一面側基板32を背面側のキャビティ壁面に押し付けた状態でリフローを行うため、各はんだが溶融後に固まった状態で、裏面側基板31、各半導体素子20、一面側基板32が一体化されてなる積層体は、下型110及び上型120の内部形状(キャビティを構成する壁面形状)に倣った形状となる。

【0099】

リフロー工程後、封止樹脂体30を成形する。この成形工程では、図33に示すように、リフロー時の状態から、押し付けユニット100, 130を取り外し、下型110及び上型120によって、封止樹脂体30を成形する。本実施形態では、エポキシ樹脂を用いたトランスファモールディング法により、封止樹脂体30を成形する。

【0100】

なお、下型110の貫通孔114, 115と、上型120の貫通孔123は、成形時において樹脂が型外にはみ出す要因となる。そこで、これら型110, 120が取り付けられる図示しないモールドダイセット側に穴埋めピンを設け、これにより、各貫通孔114, 115, 123を塞ぐとよい。この穴埋めピンは、成形後においてエジェクタピンとして用いることもできる。

【0101】

本実施形態では、裏面側基板31の放熱面41a及び一面側基板32の放熱面51aがそれぞれキャビティ壁面に接触する。したがって、この型締め状態で、キャビティ内に樹脂を注入して封止樹脂体30を形成すると、一面30cから放熱面51aを露出させ、裏面30dから放熱面41aを露出させることができる。

【0102】

成形工程後、型開きし、成形体を取り出す。図34に示すように、裏面側基板31の放熱面41aは、封止樹脂体30の裏面30dから露出されており、放熱面41aが裏面30dと略面一となっている。同じく、図示しないが、一面側基板32の放熱面51aが、封止樹脂体30の一面30cから露出されており、放熱面51aが一面30cと略面一となる。

【0103】

そして、各フレーム80, 81の不要部分、すなわち、外周フレーム、タイバーなどを除去することで、半導体装置10を得ることができる。

【0104】

次に、本実施形態に係る半導体装置10及びその製造方法の効果について説明する。

【0105】

本実施形態では、半導体素子20のコレクタ電極側に裏面側基板31が配置され、エミッタ電極側に、一面側基板32が配置されている。裏面側基板31には、導体パターン42として、Pパターン43、Nパターン44、及び出力パターン45が形成されている。一方、一面側基板32には、導体パターン52として、制御パターン53が形成されている。

【0106】

このように、制御パターン53が、Pパターン43、Nパターン44、及び出力パター

10

20

30

40

50

ン45とは別の基板に形成されている。これにより、制御パターン53の引き回しの自由度が向上しているため、少なくとも一相分の半導体素子20H, 20Lを備えながらも、封止樹脂体30の一側面30aから、P端子21とN端子22を突出させ、反対面30bから、出力端子23と制御端子24とを突出させる端子配置を実現することができる。したがって、各電源端子21, 22と平滑用のコンデンサ13との接続距離が短くなり、これにより電源ラインの寄生インダクタンスを低減することができる。同じ側面に他の端子が存在しないため、たとえば、各電源端子21, 22にコンデンサ13を直結することもできる。

【0107】

ところで、P端子21が突出する側面30a(制御端子24が突出する側面30b)に対し、同一相の上アーム側半導体素子20Hと下アーム側半導体素子20Lとの並び方向が平行とされる構成に較べて、直交とされる構成のほうが、制御パターン53の引き回しが複雑になる。しかしながら、上記したように、制御パターン53を、Pパターン43、Nパターン44、及び出力パターン45と分けて配置するため、側面30aに対して並び方向が直交する配置においても、一側面30aからP端子21とN端子22を突出させ、反対面30bから出力端子23と制御端子24と突出させることができる。

10

【0108】

下アーム側半導体素子20Lのエミッタ電極と、裏面側基板31のNパターン44とを電氣的に接続する第2中継部材として、第1ヒートシンク60、はんだ77L, 77R、及び第5ヒートシンク64を有している。また、上アーム側半導体素子20Hのエミッタ電極と、裏面側基板31の出力パターン45とを電氣的に接続する第3中継部材として、第2ヒートシンク61、はんだ77U, 77V, 77W、及び第4ヒートシンク63を有している。そして、第1ヒートシンク60及び第2ヒートシンク62が、一面側基板32の形成された別個のダミーランド54に実装されている。なお、はんだ77L, 77Rが、特許請求の範囲に記載の第1はんだに相当し、はんだ77U, 77V, 77Wが、第2はんだに相当する。

20

【0109】

これによれば、半導体素子20の生じた熱を、ヒートシンク60, 61を介して一面側基板32に逃がすことができる。また、ヒートシンク60, 61が熱マスとしても機能する。したがって、ヒートシンク60, 61を備えない構成に較べて、放熱性を向上することができる。また、Z方向において半導体装置10の強度を向上することができる。たとえば封止樹脂体30の成形時に、Z方向において一面側基板32に外力が印加され、これにより半導体素子20がダメージを受ける、のを抑制することができる。一面側基板32の放熱面51aが露出されない構成、すなわち、一面側基板31全体が封止樹脂体30によって覆われる場合でも、半導体素子20のダメージを抑制することができる。

30

【0110】

また、半導体素子20の生じた熱を、ヒートシンク62~64を介して裏面側基板31に逃がすことができる。また、ヒートシンク62~64が熱マスとしても機能する。したがって、ヒートシンク62~64を備えない構成に較べて、放熱性を向上することができる。しかしながら、ヒートシンク60~64の少なくとも1つを備えない構成を採用することもできる。

40

【0111】

裏面側基板31の放熱面41a及び一面側基板32の放熱面51aが、それぞれ封止樹脂体30から露出されている。これによっても、放熱性を向上することができる。しかしながら、放熱面41a, 51aの少なくとも一方が、封止樹脂体30によって覆われる構成を採用することもできる。

【0112】

また、裏面側基板31にノイズ吸収板70が実装されているため、出力パターン45から制御パターン53に伝搬するノイズを吸収することができる。また、一面側基板32にノイズ吸収板73が実装されているため、半導体装置10の外部から制御パターン53に

50

伝搬するノイズを吸収することができる。しかしながら、ノイズ吸収板 70, 73 の少なくとも一方を備えない構成を採用することもできる。

【0113】

本実施形態では、リフロー工程の前に、ヒートシンク 62 ~ 64 を、裏面側基板 31 に実装する。また、ヒートシンク 60, 61 と中継部材 34 を、一面側基板 32 に実装する。リフロー工程においては、各半導体素子 20 のエミッタ電極形成面側に一面側基板 32 を配置し、コレクタ電極形成面側に裏面側基板 31 を配置する。そして、上記した各はんだ 72, 74, 75, 76, 77, 79 を一括リフローし、リフロー後に、封止樹脂体 30 を成形する。

【0114】

このように、中継部材 34 を用いることで、リフローはんだ付けにより、制御電極と制御パターン 53 とを電氣的に接続する。また、はんだ 76 により、駆動 IC 25、絶縁素子 26、及び統合制御素子 27 と制御パターン 53 とを接続する。したがって、ボンディングワイヤによる接続を行わない。また、半導体素子 20 の両面側に、ヒートシンク 60 ~ 64 及び基板 31, 32 が配置されてなる両面放熱構造を、1 回のリフローによって実現することができる。

【0115】

特に、本実施形態では、封止樹脂体 30 を成形するための下型 110 及び上型 120 を用いてリフローを実施する。その際、上記型 110, 120 に押し付けユニット 100, 130 を取り付け、位置決めピン 103, 104a により、各基板 31, 32 の位置を決めるとともに、押し付けピン 104b、132 により、各基板 31, 32 を背面側のキャビティ壁面に押し付ける。したがって、封止樹脂体 30 の成形後に切削することなしに、放熱面 41a, 51a が封止樹脂体 30 から露出する半導体装置 10 を形成することができる。

【0116】

また、位置決めピン 104a により、裏面側基板 31 の四隅において 2 辺が位置決めされ、Z 方向にばね性を有する押し付けピン 104b により、裏面側基板 31 の四隅が背面側に押し付けられる。これによれば、精度よく位置決めしつつ、裏面側基板 31 を背面側に押し付けることができる。

【0117】

(第 2 実施形態)

本実施形態において、第 1 実施形態に示した半導体装置 10 と共通する部分についての説明は割愛する。

【0118】

本実施形態に係る半導体装置 10 は、図 35 に示すように、第 1 実施形態の裏面側基板 31 に代えて、リードフレーム 200 を採用している点を特徴とする。なお、リードフレーム 200 において、第 1 実施形態に記載の要素と同じ機能を果たす部分については、200 を加算した符号を付与している。

【0119】

図 36 は、電氣的に分離 (タイバークットなど) をする前の、リードフレーム 200 を示している。また、図 37 は、封止樹脂体 30 を成形する前の、一面側基板 32 上にリードフレーム 200 を配置した状態を示している。

【0120】

リードフレーム 200 は、外部接続用の端子として、高電位電源端子 221、低電位電源端子 222、出力端子 223、及び制御端子 224 を有している。また、出力端子 223 として、U 相の出力端子 223U、V 相の出力端子 223V、W 相の出力端子 223W を有している。

【0121】

さらに、リードフレーム 200 は、P パターン 43 に対応する高電位電源配線 243 と、N パターン 44 に対応する低電位電源配線 244 と、出力パターン 45 に対応する出力

10

20

30

40

50

配線 2 4 5 と、第 1 ランド 4 6 L , 4 6 R に対応するランド 2 4 6 L , 2 4 6 R と、を有している。

【 0 1 2 2 】

そして、これら要素が、外周フレーム 2 0 1 , 2 0 2、タイパー 2 0 3、吊りリード 2 0 4 によって、相互に連結されている。また、図 3 7 に示すように、ランド 1 4 6 L , 1 4 6 R に、ノイズ吸収板 7 0 が実装されている。

【 0 1 2 3 】

なお、封止樹脂体 3 0 の裏面 3 0 d から、各配線 2 4 3 , 2 4 4 , 2 4 5 が露出する。そこで、図 3 5 に示す例では、これら配線 2 4 3 , 2 4 4 , 2 4 5 を覆うように、裏面 3 0 d に絶縁板 3 0 0 を貼り付けている。絶縁板 3 0 0 における貼り付け面と反対の面には、放熱性を向上させるために、金属層 3 0 1 が設けられている。

10

【 0 1 2 4 】

このように、本実施形態では、半導体素子 2 0 の裏面側にリードフレーム 2 0 0 が配置され、一面側に一面側基板 3 2 が配置されている。リードフレーム 2 0 0 には、上記した P パターン 4 3 同様の配線機能を果たす高電位電源配線 2 4 3 と、上記した N パターン 4 4 同様の配線機能を果たす低電位電源配線 2 4 4 と、上記した出力パターン 4 5 同様の配線機能を果たす出力配線 2 4 5 が設けられている。一方、一面側基板 3 2 には、第 1 実施形態同様、制御パターン 5 3 が形成されている。このように、制御パターン 5 3 と、その他の配線 2 4 3 , 2 4 4 , 2 4 5 とが分けて形成されている。

【 0 1 2 5 】

これにより、制御パターン 5 3 の引き回しの自由度が向上しているため、少なくとも一相分の上下アームを構成する半導体素子 2 0 を備えながらも、封止樹脂体 3 0 の一側面 3 0 a から、P 端子 2 1 と N 端子 2 2 を突出させ、反対面 3 0 b から、出力端子 2 3 と複数の制御端子 2 4 とを突出させた端子配置を実現することができる。したがって、各電源端子 2 1 , 2 2 と平滑用のコンデンサ 1 3 との接続距離が短くなり、電源ラインの寄生インダクタンスを低減することができる。

20

【 0 1 2 6 】

なお、本実施形態では、ヒートシンク 6 2 ~ 6 4 と配線 2 4 3 ~ 2 4 5 を分けたが、異形条のリードフレーム 2 0 0 を用いることで、第 3 ヒートシンク 6 2 と高電位電源配線 2 4 3 を一体化することもできる。同様に、第 4 ヒートシンク 6 3 と出力配線 2 4 5 を一体化することもできる。同じく、第 5 ヒートシンク 6 4 と低電位電源配線 2 4 4 を一体化することもできる。

30

【 0 1 2 7 】

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【 0 1 2 8 】

三相インバータを構成する 6 つの半導体素子 2 0 を備える例を示したが、少なくとも一相分の上下アームを構成する半導体素子 2 0 H , 2 0 L を備えればよい。たとえば一相分の半導体素子 2 0 H , 2 0 L を備える 2 i n 1 パッケージにも適用することができる。

40

【 0 1 2 9 】

押し付けピン 1 0 4 b、1 3 2 が、Z 方向にばね性を有する例を示した。しかしながら、Z 方向に可動可能に設けられた押し付けピン 1 0 4 b、1 3 2 を採用することもできる。

【 符号の説明 】

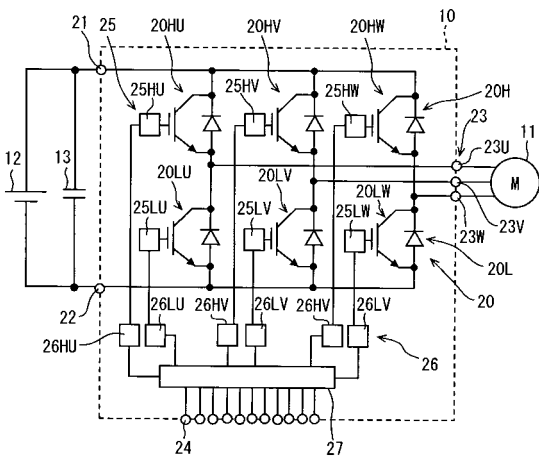
【 0 1 3 0 】

1 0 ... 半導体装置、2 0 ... 半導体素子、2 0 H , 2 0 H U , 2 0 H V , 2 0 H W ... 上アーム側半導体素子、2 0 L , 2 0 L U , 2 0 L V , 2 0 L W ... 下アーム側半導体素子、2 1 ... 高電位電源端子、2 2 ... 低電位電源端子、2 3 , 2 3 U , 2 3 V , 2 3 W ... 出力端子、2 4 ... 制御端子、3 0 ... 封止樹脂体、3 0 a ... 一側面、3 0 b ... 反対面、3 1 ... 裏面側基

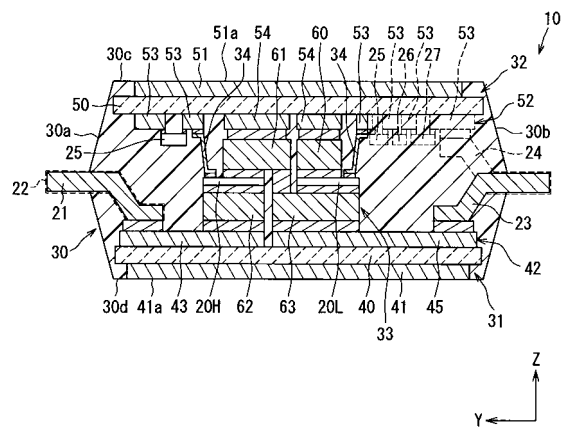
50

板、32...一面側基板、33...ヒートシンク、34...中継部材、40...基材、41...金属層、42...導体パターン、43...高電位電源パターン、44...低電位電源パターン、45、45U、45V、45W...出力パターン、50...基材、51...金属層、52...導体パターン、53...制御パターン、53a...第1配線、53b...第2配線、53c...第3配線、53d...第4配線、54、54U、54V、54W、54N...ダミーランド、55R、55L...第2ランド、60...第1ヒートシンク、61...第2ヒートシンク、62...第3ヒートシンク、63...第4ヒートシンク、64...第5ヒートシンク、70、73...ノイズ吸収板、72、74、75、76、77、79...はんだ、100...下側押し付けユニット、102、103...位置決めピン、104...ピン、104a...位置決めピン、104b...押し付けピン、110...下型、113~115...貫通孔、120...上型、121、122...貫通孔、130...上側押し付けユニット、132...押し付けピン、200...リードフレーム

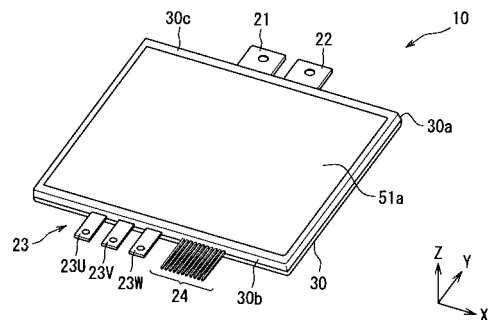
【図1】



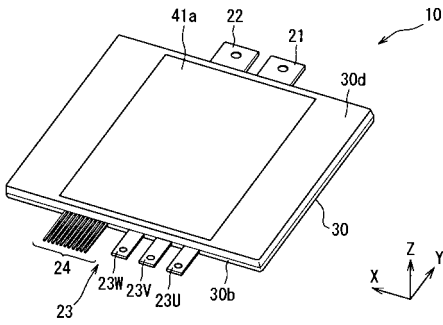
【図2】



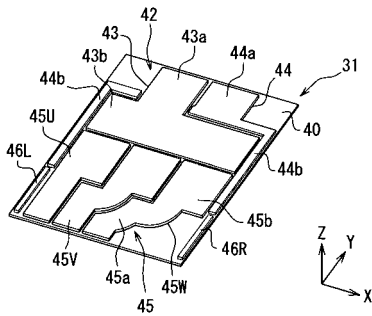
【図3】



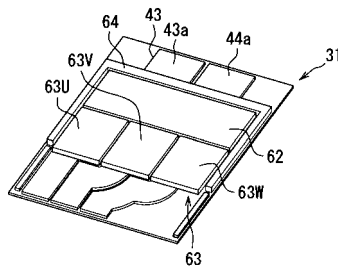
【図4】



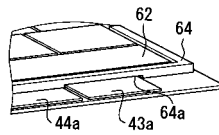
【図5】



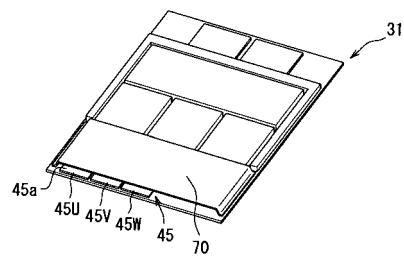
【図6】



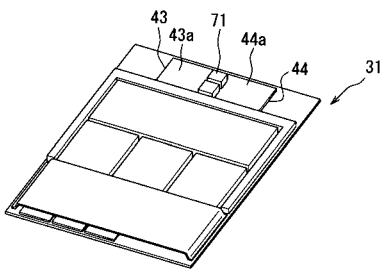
【図7】



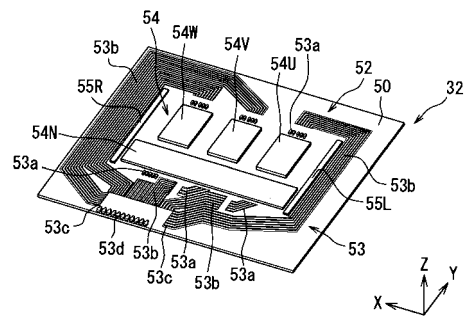
【図8】



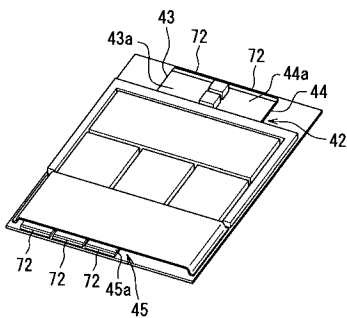
【図9】



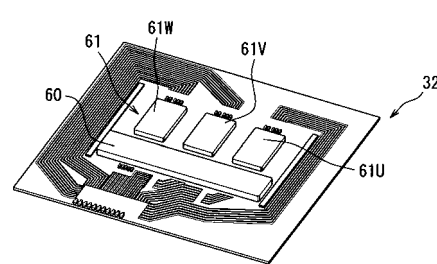
【図11】



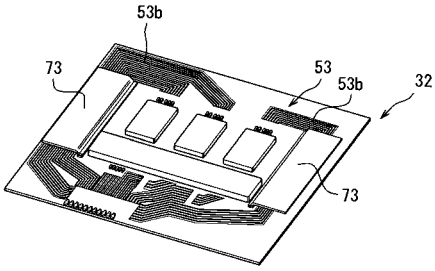
【図10】



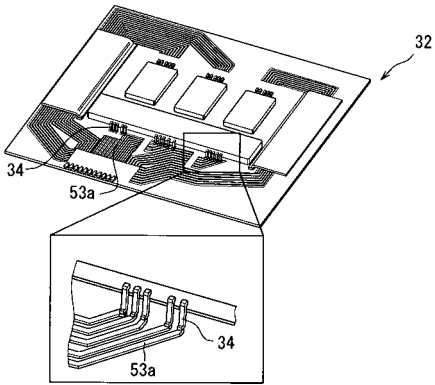
【図12】



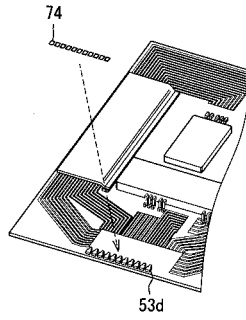
【図 13】



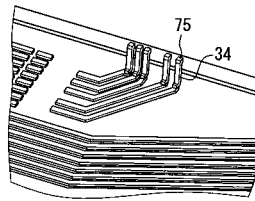
【図 14】



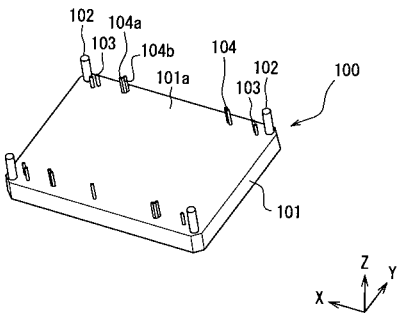
【図 15】



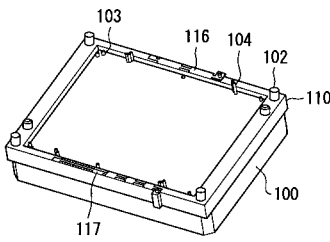
【図 16】



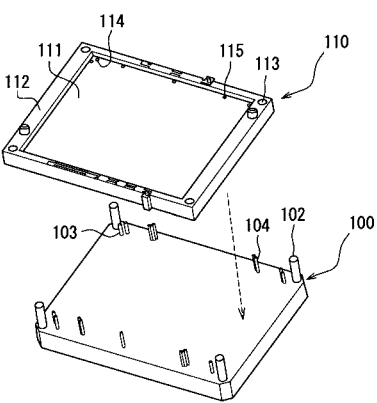
【図 17】



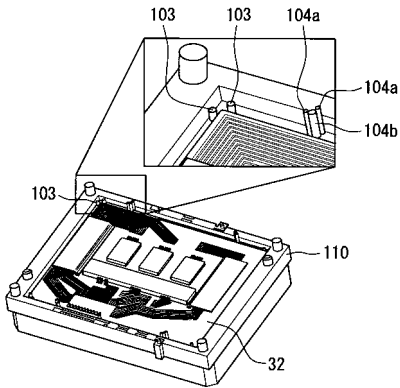
【図 19】



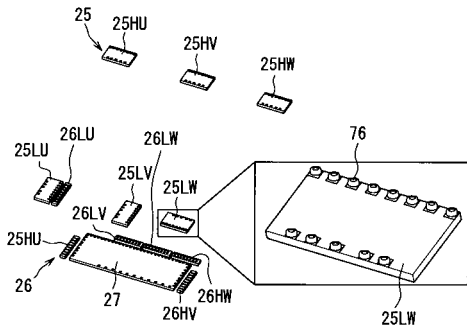
【図 18】



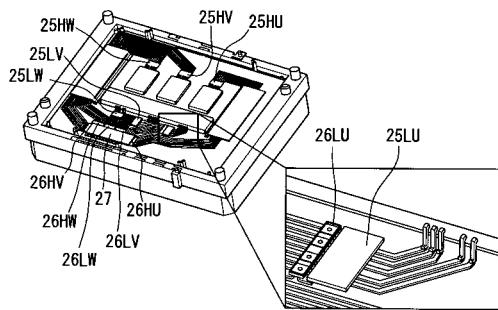
【図 20】



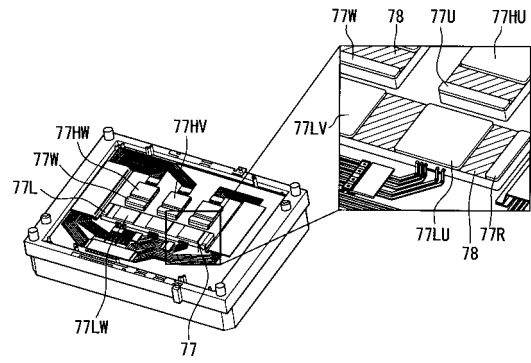
【 図 2 1 】



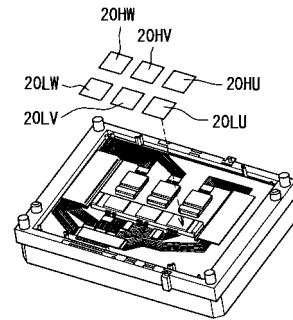
【 図 2 2 】



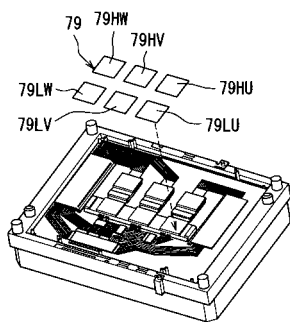
【 図 2 3 】



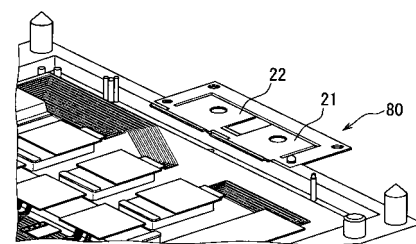
【 図 2 4 】



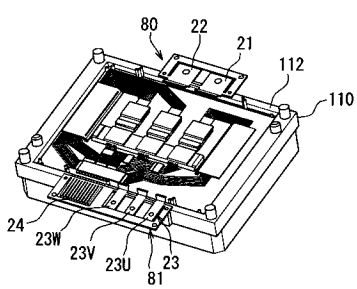
【 図 2 5 】



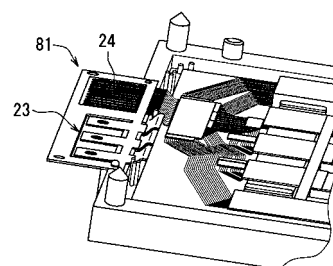
【 図 2 7 】



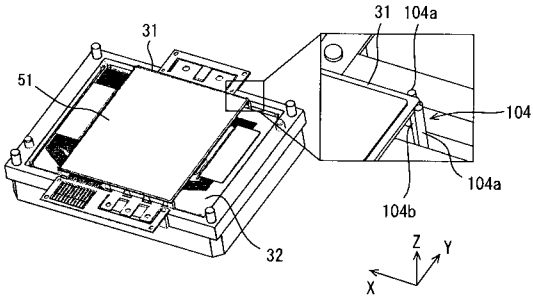
【 図 2 6 】



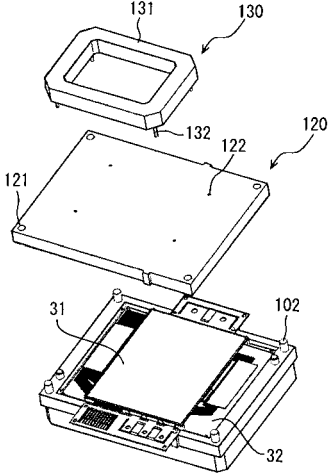
【 図 2 8 】



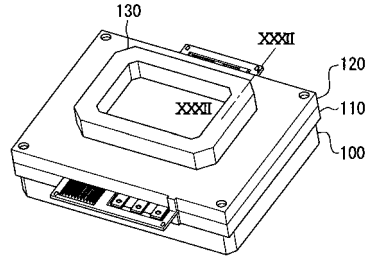
【図 29】



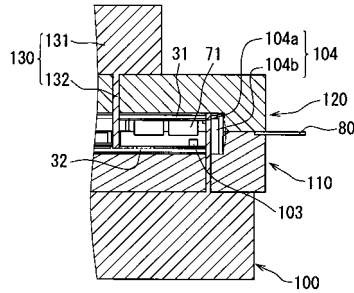
【図 30】



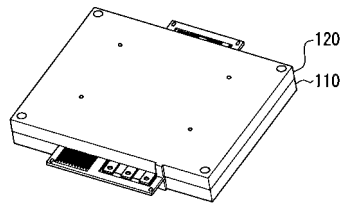
【図 31】



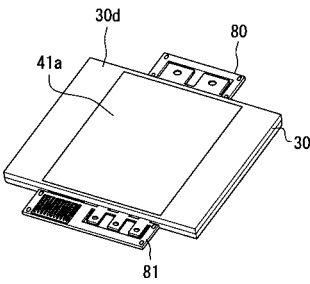
【図 32】



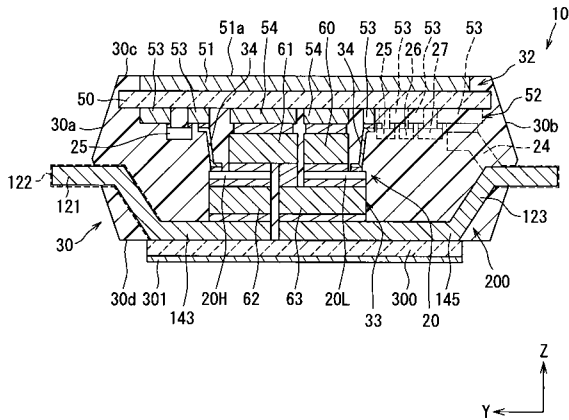
【図 33】



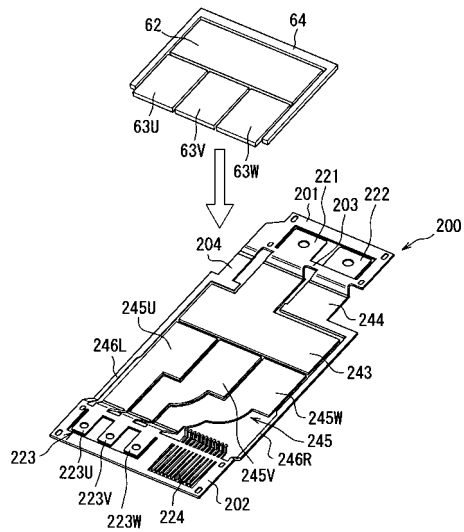
【図 34】



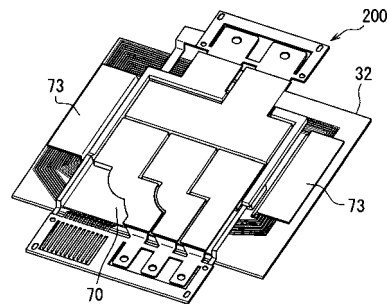
【図 35】



【図 36】



【図 37】



フロントページの続き

(72)発明者 小野田 憲司

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 大前 翔一郎

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5H007 AA06 BB06 CA01 CB05 CC23 DB03 DC02 DC05 DC08 HA04
HA06