

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5286664号
(P5286664)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 P
HO 1 L 29/78 (2006.01)	HO 1 L 21/28	3 O 1 S
HO 1 L 21/28 (2006.01)	HO 1 L 29/50	M
HO 1 L 29/417 (2006.01)	HO 1 L 29/58	G
HO 1 L 29/423 (2006.01)	HO 1 L 27/08	3 2 1 D

請求項の数 9 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2006-321742 (P2006-321742)	(73) 特許権者	308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23
(22) 出願日	平成18年11月29日(2006.11.29)	(74) 代理人	100092152 弁理士 服部 毅巖
(65) 公開番号	特開2008-135635 (P2008-135635A)	(72) 発明者	川村 和郎 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(43) 公開日	平成20年6月12日(2008.6.12)	(72) 発明者	秋山 深一 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
審査請求日	平成21年8月26日(2009.8.26)	審査官	棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

ポリシリコン、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶からなるゲート電極と、シリコン結晶、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶からなるソース領域及びドレイン領域が形成されたシリコン基板上にニッケルまたはニッケル合金を形成する工程と、

第1の温度によるアニール処理により、前記ゲート電極、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第1アニール工程と、

水素イオンを含有するプラズマを発生させ、前記水素イオンを前記ダイニッケルシリサイドまたは前記ダイニッケルシリサイドの下部の前記ゲート電極、前記ソース領域及び前記ドレイン領域に注入するプラズマ処理工程と、

第2の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第2アニール工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記プラズマ処理工程を前記第2アニール工程と同時に行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記プラズマは水素プラズマであることを特徴とする請求項1または2記載の半導体装

置の製造方法。

【請求項 4】

前記プラズマはアンモニアプラズマであることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 5】

前記水素イオンを、前記ダイニッケルシリサイドと、前記ゲート電極、前記ドレイン領域及び前記ソース領域との界面近傍に注入することを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】

ポリシリコン、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶からなるゲート電極と、シリコン結晶、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶からなるソース領域及びドレイン領域が形成されたシリコン基板上にニッケルまたはニッケル合金を形成する工程と、

第 1 の温度によるアニール処理により、前記ゲート電極、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第 1 アニール工程と、

第 2 の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第 2 アニール工程と、

水素プラズマを発生させ、水素イオンを前記ニッケルシリサイド及び前記ニッケルシリサイドの下部の前記ゲート電極、前記ソース領域及び前記ドレイン領域に注入するプラズマ処理工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 7】

前記ニッケル合金は、白金、タングステン、タンタル、パラジウムのいずれか 1 つ、あるいは 2 つ以上を含有することを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 アニール工程は、シランを含む雰囲気中で行うことを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 9】

ポリシリコン、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶からなるゲート電極と、シリコン結晶、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶からなるソース領域及びドレイン領域が形成されたシリコン基板上にニッケルまたはニッケル合金を形成する工程と、

第 1 の温度によるアニール処理により、前記ゲート電極、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第 1 アニール工程と、

水素イオンを含有するプラズマを発生させ、前記水素イオンを前記ダイニッケルシリサイドに注入するプラズマ処理工程と、

第 2 の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第 2 アニール工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、特に、ニッケルシリサイド (NiSi) を用いた半導体装置の製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

従来、電界効果トランジスタ (M O S F E T : Metal Oxide Semiconductor Field Effect Transistor) のゲート電極、ソース電極及びドレイン電極において、コバルトシリサイドが用いられていたが、ゲート長が 40 nm を切るスケールになってくると、コバルトシリサイドでは、ゲート細線抵抗のばらつきが急激に大きくなる。そのため、ゲート長が 40 nm 未満でも細線抵抗が安定するニッケルシリサイドが注目されている。

【0003】

しかしながら、ニッケルシリサイドは耐熱性が低く、500 程度の温度でも簡単に凝集してしまう (非特許文献 1 参照。)。ニッケルシリサイド形成のためのシリサイドプロセス以降の配線工程では、400 程度の温度が長時間かかってしまう。これにより、ニッケルシリサイド凝集が発生し、高抵抗のニッケルダイシリサイド ($NiSi_2$) などが形成されるとともに、ニッケルダイシリサイドが p n 接合部と近接し、接合リークが発生する問題があった。

10

【0004】

このようなニッケルシリサイドの凝集作用を抑制するために、従来、ニッケルに白金 (Pt) やパラジウム (Pd)、フッ素 (F)、窒素 (N)、タンタル (Ta)、タングステン (W)、炭素 (C) などの不純物を添加する手法が知られている (非特許文献 2 ~ 8 参照。)

【0005】

また、シリコン基板にニッケルを堆積した後に、水素プラズマにより水素イオンをニッケル薄膜に注入することで耐熱性が向上するという報告もある (非特許文献 9 参照。)。この報告によれば、30 nm のニッケルをシリコン基板上に堆積したのち、水素イオンをニッケル薄膜に注入し、アニールすることでニッケルシリサイドを形成している。非特許文献 9 によれば、上記の方法によって、ニッケルシリサイドの粒径が小さくなり、それが要因となって耐熱性が向上するとしている。

20

【0006】

ところで、通常、シリサイドの凝集温度は膜厚に比例して高くなり、凝集しにくくなる。これは、粒界 - 粒界の界面エネルギーが膜厚に比例して低下するためである。ところが、トランジスタサイズが 90 nm 以下のプロセステクノロジーでは、接合深さが 100 nm 以下となりシリサイド膜厚も 20 nm 以下程度が望ましい。そのような薄い膜厚では、ニッケルシリサイドは 500 以下でも凝集が発生し、耐熱性を向上させることがさらに必要となっている。

30

【0007】

なお、特許文献 1 には、多結晶シリコンにショットキーバリアダイオードを作成する際に、水素プラズマを用いることが開示されている。この技術によれば、水素が多結晶シリコン中のダングリングボンドと結合し、バンド構造が単結晶シリコンに近づき、良好な特性のショットキーバリアダイオードが得られる。

【0008】

また、特許文献 2 には、電極のニッケルシリサイドとエッチストップパの窒化シリコン (SiN) の密着性を向上させることを目的としてアンモニア (NH_3) プラズマ処理を行うことが開示されている。

40

【非特許文献 1】M. Tinani, et al., "In situ real-time studies of nickel silicide phase formation", J. Vac. Sci. Technol. B 19(2), 376 (2001)

【非特許文献 2】D. Mangelinck, et al., "Effect of Co, Pt, and Au additions on the stability and epitaxy of $NiSi_2$ films on (111)Si", J. Appl. Phys., 84, 2583 (1998)

【非特許文献 3】D. Z. Chi, et al., "Addressing Materials and Process-integration Issues of $NiSi$ Silicide Process Using Impurity Engineering", The 4th International Workshop on Junction Technology, pp.113 (2004)

【非特許文献 4】C. -C. Wang, et al., "Formation of $NiSi$ -Silicided p+n Shallow Junctions Using Implant-Through-Silicide and Low-Temperature Furnace Annealing", J

50

. Electrochem. Soc., 150, G557 (2003)

【非特許文献5】J. -G. Yun, et al., "Abnormal Oxidation of Nickel Silicide on N-Type Substrate and Effect of Preamorphization Implantation", Jpn. J. Appl. Phys., 43, 10, 6998 (2004)

【非特許文献6】J. A. Kittl, et al., "Applications of Ni-based silicides to 45 nm CMOS and Beyond", Mat. Res. Soc. Symp. Proc. 810, C2. 1. 1 (2004)

【非特許文献7】W. Huang, et al., "Effect of a thin W interlayer on the thermal stability and electrical characteristics of NiSi film", J. Vac. Sci. Technol. B23, 2304 (2005)

【非特許文献8】K. -W. Do, et al., "Formation of Low-Resistivity Nickel Silicide with High Temperature Stability from Atomic-Layer-Deposited Nickel Thin Film", Jpn. J. App. Phys. 45 B 2975 (2006)

【非特許文献9】C. -J. Choi, et al., "Effects of Hydrogen Implantation on the Structural and Electrical Properties of Nickel Silicide", J. Electrochem. Soc., 149, G517(2002)

【特許文献1】特開昭58-213465号公報

【特許文献2】特開2004-128501号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、トランジスタサイズの微細化が進む近年、従来の技術ではニッケルシリサイドの耐熱性を十分に向上させることはできなくなっている。

本発明はこのような点に鑑みてなされたものであり、ニッケルシリサイドの耐熱性を向上させることが可能な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明者らは、ゲート領域、ソース領域及びドレイン領域が形成された半導体基板上にニッケルまたはニッケル合金を形成する工程と、第1の温度によるアニール処理により、前記ゲート領域、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第1アニール工程と、水素イオンを含有するプラズマを発生させ、前記水素イオンを前記ダイニッケルシリサイドまたは前記ダイニッケルシリサイドの下部の前記ゲート領域、前記ソース領域及び前記ドレイン領域に注入するプラズマ処理工程と、第2の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第2アニール工程と、を有する半導体装置の製造方法を提案する。

【0011】

また、ゲート領域、ソース領域及びドレイン領域が形成されたシリコン基板上にニッケルまたはニッケル合金を形成する工程と、第1の温度によるアニール処理により、前記ゲート領域、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第1アニール工程と、第2の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第2アニール工程と、水素プラズマを発生させ、水素イオンを前記ニッケルシリサイドまたは前記ニッケルシリサイドの下部の前記ゲート領域、前記ソース領域及び前記ドレイン領域に注入するプラズマ処理工程と、を有する半導体装置の製造方法を提案する。

【発明の効果】

【0012】

本発明は、ダイニッケルシリサイド形成後にプラズマ処理で注入した水素イオンの影響により、ニッケルシリサイドの耐熱性が向上し、凝集を抑制することが可能になる。これにより、接合リーク電流の低減が可能になる。

【0013】

また、ニッケルシリサイド形成後にプラズマ処理で注入した水素イオンの影響により、

10

20

30

40

50

ニッケルシリサイドの耐熱性が向上し、凝集を抑制することが可能になる。これにより、接合リーク電流の低減が可能になる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態を図面を参照して詳細に説明する。

図1は、本実施の形態の半導体装置の製造方法の概略を示す断面図である。

ここで、例えば、シリコン(100)基板である半導体基板1には公知の製造工程によりゲート領域2、サイドウォール3、ソース領域4及びドレイン領域5が形成されているものとする。ゲート領域2はゲート絶縁膜2a、ゲート絶縁膜2a上に形成されたポリシリコンゲート2bを有している。このような半導体基板1上にニッケル6を成膜する(成膜工程(図1(A)))。 10

【0015】

なお、ニッケル6の代わりに白金、タングステン、タンタル、パラジウムのいずれか1つ、あるいは2つ以上を含有するニッケル合金を成膜するようにしてもよい。

次に、例えば、 N_2 やアルゴン(Ar)などの不活性ガス雰囲気中で、260程度でのアニール処理を行い、ゲート領域2、ソース領域4及びドレイン領域5にダイニッケルシリサイド7を形成する(第1アニール工程(図1(B)))。 20

【0016】

その後、例えばダイニッケルシリサイド7がニッケルシリサイドに相変態しない温度(例えば室温)の不活性ガス雰囲気中で水素イオンを含有するプラズマ(水素プラズマやアンモニアプラズマなど)を発生させ、水素イオン(H^+)をダイニッケルシリサイド7やダイニッケルシリサイド7の下部のゲート領域2(ポリシリコンゲート2b)、ソース領域4及びドレイン領域5に注入する(プラズマ処理工程)。その後、不活性ガスまたはシラン(SiH_4)を含む雰囲気中で、例えば、400程度でのアニール処理を行い、ダイニッケルシリサイド7をニッケルシリサイド8に相変態させる(第2アニール工程(図1(C)))。 30

【0017】

なお、シランを含む雰囲気中で第2アニール工程を行う理由は、以下の通りである。

第2アニール工程によるダイニッケルシリサイドからニッケルシリサイドへの相変態時にシランを供給すると、ダイニッケルシリサイドとシリコンの反応、シランとダイニッケルシリサイドとの反応が生じ、ニッケルシリサイド8とシリコンとの界面を基板表面側に引き上げることができる。これにより、PN接合部分と、ニッケルシリサイド8とシリコンとの界面との距離が大きくなり接合リークを減少できる。 40

【0018】

なお、プラズマ処理工程と第2アニール工程は同時に行うようにしてもよい。

また、第2アニール工程の後に、プラズマ処理工程を行うようにしてもよい。その場合には、ニッケルシリサイド8に相変態させた後に、ニッケルシリサイド8やニッケルシリサイド8の下部のゲート領域2、ソース領域4及びドレイン領域5に水素イオンを注入する。 40

【0019】

以下に、上記の製造方法により得られるニッケルシリサイド8の耐熱性を評価するため、ニッケルシリサイド8のシート抵抗を測定した結果を示す。なお、ここでは上記のようなMOS構造を形成した半導体基板1ではなく、シリコン基板上にニッケルシリサイドを形成して、シート抵抗を測定したが、その特性は図1に示したような半導体基板1上に形成する場合とほとんど同じである。 40

【0020】

まず、比較のために、ニッケル堆積後に水素イオンを注入して、その後ニッケルシリサイドを形成した場合のシート抵抗の温度依存性を示す。

図2は、シリコン基板にニッケルを堆積した後に水素プラズマ処理とアニールを施して形成したニッケルシリサイドにおけるシート抵抗の温度依存性を示すグラフである。 50

【0021】

縦軸がシート抵抗 ($\text{ohm}/\text{sq.}$)、横軸がアニール温度 () である。また、C1 がシリコン基板に 20 nm のニッケルを堆積した後、水素プラズマ (ヘリウムガスを混合している) 処理と 400 のアニール処理を同時に行った試料のシート抵抗であり、C2 は、比較のために、水素プラズマ処理を行わず、400 のアニールを施した試料のシート抵抗を示している。これらの試料について、600 ~ 750 の追加アニールを行い、シート抵抗の温度依存性を測定した結果が図2のグラフである。

【0022】

図2に示すようにアニール温度が上昇すると、凝集が発生して抵抗値が上昇するが、ニッケル堆積後に水素プラズマ処理を施した場合と、水素プラズマ処理を行わない場合でのシート抵抗の差異はほとんど見られなかった。

10

【0023】

すなわち、20 nm のニッケルから形成した薄膜のニッケルシリサイドの場合、ニッケル堆積後に水素イオンを注入する場合は、ほとんど耐熱性は向上しなかった。

図3は、シリコン基板上にニッケルを堆積して第1アニール工程を行った後に、プラズマ処理工程と第2アニール工程を同時に行って形成したニッケルシリサイドにおけるシート抵抗の温度依存性を示すグラフである。

【0024】

縦軸がシート抵抗 ($\text{ohm}/\text{sq.}$)、横軸がアニール温度 () である。また、C3 は、シリコン基板上にニッケルを 20 nm 堆積した後に第1アニール工程を行い、水素プラズマ (ヘリウムガスを混合している) 処理と、400 の第2アニール工程とを同時に行ってニッケルシリサイドを形成した試料のシート抵抗を示している。C4 は、水素プラズマの代わりにアンモニアプラズマ処理を行った試料のシート抵抗を示している。また、C5 は、比較のために、第1アニール工程の後、プラズマ処理工程を行わないで第2アニール工程を行った試料のシート抵抗を示している。これらの試料について、600 ~ 700 の追加アニールを行い、シート抵抗を測定した結果が図3のグラフである。

20

【0025】

図3に示すようにアニール温度が上昇すると、凝集が発生して抵抗値が上昇する。しかし、第1のアニール処理の後に水素イオンを含有するプラズマによるプラズマ処理を行うことで、高温での抵抗値の上昇が図2の場合よりも抑制されていることがわかる。すなわち、薄膜のニッケルシリサイドの耐熱性を向上でき、凝集作用を抑制できることがわかった。

30

【0026】

図4は、第2アニール工程後にプラズマ処理工程を行った場合のニッケルシリサイドにおけるシート抵抗の温度依存性を示すグラフである。

縦軸がシート抵抗 ($\text{ohm}/\text{sq.}$)、横軸がアニール温度 () である。C6 が、第2アニール工程の後、すなわちダイニッケルシリサイドからニッケルシリサイドに相変態させた後に、水素プラズマ処理を行ったときのシート抵抗を示している。また、C7 は、水素プラズマ処理工程と第2アニール工程を同時に行ったときのニッケルシリサイドのシート抵抗を示し、C8 は、第1アニール工程と第2アニール工程のみ行った場合のニッケルシリサイドのシート抵抗を示している。これらの試料について、600 ~ 700 の追加アニールを行い、シート抵抗を測定した結果が図4のグラフである。

40

【0027】

図4のように、水素プラズマ処理工程と第2アニール工程とを同時に行った場合が、最も抵抗値の上昇を抑制できるが、第2アニール工程を行った後に、水素プラズマ処理工程を行っても、アニール工程のみにより形成したニッケルシリサイドよりも高温での抵抗値の上昇が抑制できることがわかった。すなわち、第2アニール工程により、ニッケルシリサイドを形成した後であっても、水素プラズマ処理工程を行うことで、薄膜のニッケルシリサイドの耐熱性を向上でき、凝集作用を抑制できることがわかった。

【0028】

50

ところで、ニッケルシリサイドに相変態してからはグレインサイズは変わらないが、図4のように水素プラズマ処理を行うと耐熱性が向上するので、非特許文献9で示されているように、耐熱性向上のメカニズムはグレインサイズの縮小によるものではないであろう。

【0029】

本実施の形態の半導体装置の製造方法によって耐熱性が向上するのは、プラズマ処理工程により注入された水素イオンにより、

(1) ニッケルシリサイドと、その下部のシリコン領域(図1の場合は、ゲート領域2、ソース領域4及びドレイン領域5)中に含まれる微量酸素の還元

(2) 微小欠陥の回復

(3) ストレスの緩和

などが発生し、系が安定化するためと思われる。

【0030】

特に、ニッケルシリサイドと、その下部のシリコン領域の界面では、自然酸化膜の影響などで酸素が多く含有しやすい。そのため、界面近傍に水素イオンが注入するようにプラズマ処理の際の電力を調整することで、耐熱性をより向上させることができる。

【0031】

以上のように、本実施の形態の半導体装置の製造方法によれば、ニッケルシリサイドの耐熱性を、ニッケル形成後に直ちに水素プラズマ処理を行う場合よりも大幅に向上することができる。

【0032】

以下、本実施の形態の半導体装置の製造方法の詳細を説明する。

なお、以下に示す製造条件などはあくまで一例であり、これに限定されるものではない。

【0033】

図5～図15は、本実施の形態の半導体装置の製造方法の一工程における断面図である。

まず、例えば、Si(100)P型基板10(以下単にシリコン基板10という。)に、ドナーまたはアクセプタを注入して図示しないウェルを形成する。その後、STI(Shallow Trench Isolation)11を形成する。その後、チャンネル用のイオン注入を行い、図示しないチャンネル領域を形成する。その後、2nmのゲート絶縁膜12をCVD(Chemical Vapor Deposition)で形成する(図5(A))。さらに、100nmのポリシリコン13を堆積後、nチャンネルMOSFETを形成する場合には、例えば、リンイオンを10keV、ドーズ量 $1.0 \times 10^{16} / \text{cm}^2$ でイオン注入する。pチャンネルMOSFETを形成する場合には、例えば、ボロンイオン(B^+)を5keV、ドーズ量 $5.0 \times 10^{15} / \text{cm}^2$ でイオン注入する(図5(B))。

【0034】

次に、パターンニングしたフォトレジストパターン14をマスクにしてポリシリコン13をエッチングしてポリシリコンゲート13aを形成する(図6(A))。フォトレジストパターン14の除去後、エクステンション注入を行い、エクステンション領域15を形成する(図6(B))。エクステンション領域15の形成の際、nチャンネルMOSFETの場合には、例えば、砒素イオン(As^+)を1keV、ドーズ量 $1.0 \times 10^{15} / \text{cm}^2$ でイオン注入し、pチャンネルMOSFETの場合には、例えば、ボロンイオンを0.5keV、ドーズ量 $1.0 \times 10^{15} / \text{cm}^2$ でイオン注入する。

【0035】

次に、10nmの酸化膜と80nmの窒化シリコン膜をCVDで形成し、エッチバックを行うことでサイドウォール16と、サイドウォールスペーサ17を形成する(図7(A))。その後、さらに30nmの酸化膜をCVDで形成し、エッチバックを行うことでサイドウォール18を形成する(図7(B))。

【0036】

10

20

30

40

50

以下、nチャネルMOSFET形成領域と、pチャネルMOSFET形成領域とを両方図示して、工程の説明を続ける。

サイドウォール18の形成後、エクステンション領域15の低抵抗化のための低加速エネルギーでのイオン注入を行ったのち、nチャネルMOSFETにソース・ドレイン領域19の形成のためのイオン注入を行う(いずれのイオン注入も、pチャネルMOSFETの場合、例えばボロンイオンを、nチャネルMOSFETの場合、例えば砒素イオンを用いる)。そして、活性化アニールを行う(図8(A))。次に、サイドウォール18を除去した後、同様にpチャネルMOSFETにソース・ドレイン領域20の形成のためのイオン注入を行い、活性化アニールを行う(図8(B))。

【0037】

続いて、nチャネルMOSFET形成領域を酸化膜21によるマスクで覆い、pチャネルMOSFETのソース・ドレイン領域20をエッチングする(図9(A))。そして、エッチングした領域にシリコンゲルマニウム(SiGe)22を選択エピタキシャル成長する(図9(B))。

【0038】

次に、シリコンゲルマニウム22の上にシリコン層23を選択エピタキシャル成長する(図10(A))。これは、後の工程でニッケルシリサイドを形成したときに、ゲルマニウムがニッケルシリサイドに混入して耐熱性を悪化させるのを防止するためである。その後、nチャネルMOSFET上の酸化膜21をフッ酸(HF)などで除去し、ニッケルターゲットを用いてニッケル24を例えば20nm、スパッタリング法により堆積する。そして、その上に窒化チタン(TiN)による保護膜25を形成する(図10(B))。

【0039】

なお、ニッケル24の膜厚は、8nm~200nmとしてもよい。但し、膜厚が薄いとニッケルとシリコンとの反応時にニッケル供給量が少なくなり、シリコンリッチなニッケルダイシリサイドが形成されやすくなる。ニッケルダイシリサイドは、格子定数がシリコンとほぼ同じ(シリコン:5.43、ニッケルダイシリサイド:5.41)なので、Si(111)面に沿ったスパイクとなり接合リークが増加してしまう。

【0040】

ニッケル24の膜厚を厚くすることにより、ニッケルとシリコンの反応時にニッケル供給が多くなり、ニッケルリッチなダイニッケルシリサイドが形成されやすくなり、ニッケルダイシリサイドとシリコンの界面が平坦となる。但し、あまり厚いと、その後の未反応のニッケルを除去する工程でニッケルを除去しきれなくなる。

【0041】

これらの理由を考慮すると、ニッケル24の膜厚は、15nm~30nmとすることが好ましい。

なお、ニッケルターゲットの代わりに、ニッケル合金ターゲットを用いてもよい。例えば、ニッケルシリサイドの凝集抑制作用のある白金、タングステン、タンタル、パラジウムのいずれか1つ、あるいは2つ以上を含有するようなニッケル合金ターゲットを用いる。例えば、ニッケルと白金の合金ターゲットを用いた場合には、白金は1原子%~10原子%含有させる。

【0042】

また、保護膜25として窒化チタンの代わりにチタン(Ti)を用いてもよいし、保護膜25を形成しないようにしてもよい。

次に、ニッケルシリサイド形成のための第1アニール工程及び第2アニール工程を行う。

【0043】

第1のアニール工程では、不活性ガス雰囲気中で、例えば260で30秒間のアニールを行い、まずダイニッケルシリサイド26を形成する。その後、保護膜25と、未反応のニッケル24を硫酸(H₂SO₄):過酸化水素水=3:1の溶液で除去する(図11(A))。

10

20

30

40

50

【 0 0 4 4 】

なお、第1アニール工程は、ダイニッケルシリサイド26が形成できるように、200～350で10秒～400秒間の範囲で行うようにしてもよい。但し、スルーブット向上のためには、アニール時間は短いほどよい。

【 0 0 4 5 】

また、硫酸と過酸化水素水による溶液の代わりに塩酸(HCl)+過酸化水素水を用いてもよい。

次に、プラズマ処理工程及び第2アニール工程を行う。

【 0 0 4 6 】

ここでは、例えば、プラズマ処理と同時にアニール処理を行う。

プラズマ処理で水素プラズマを発生させる場合には、ダイニッケルシリサイド26と、その下部のゲート領域、ソース領域及びドレイン領域の界面近傍に水素イオンが注入されるように、200mmウェハあたり100W～750Wでプラズマ処理を行うことが望ましい。なお、真空度は1mTorr～10Torr程度で、不活性ガス雰囲気中で行う。そして、同時にアニール温度を400としてアニール処理を行い、ダイニッケルシリサイド26からニッケル(モノ)シリサイド27に相変態させる(図11(B))。

【 0 0 4 7 】

なお、後の配線工程などで高温になり相変態が進むことを考慮すると、アニール温度は300～500、アニール時間はアニール温度を考慮して10秒～400秒で行うようにしてもよい。但し、あまり温度を上げすぎると小さい粒径のニッケルシリサイド27の凝集が進むので、より好ましくは、アニール温度は320～450で、アニール時間はアニール温度及びスルーブットを考慮して、10秒～120秒とすることが好ましい。

【 0 0 4 8 】

また、水素プラズマの他に、アンモニアプラズマを発生させるようにしてもよいし、水素イオンを含有する、ジボラン(B_2H_6)プラズマ、シランプラズマ、ジシラン(Si_2H_6)プラズマを用いるようにしてもよい。

【 0 0 4 9 】

なお、これらのプラズマを用いた場合には、ダイニッケルシリサイド26と、その下部のゲート領域、ソース領域及びドレイン領域の界面近傍に水素イオンを注入させるためには、水素プラズマの場合よりも大きな電力で行うことが必要である。但し、ダイニッケルシリサイド26内の微小酸素の還元作用などにより、界面近傍にまで水素イオンが到達しなくても、ある程度の耐熱性の向上は可能である。

【 0 0 5 0 】

また、プラズマ処理工程は、第2アニール工程と同時にではなく、第2アニール工程より前に行うようにしてもよいし、第2アニール工程後に行って、ニッケルシリサイド27及びその下部のゲート領域、ソース領域及びドレイン領域に水素イオンを注入するようにしてもよい。その場合には、プラズマの種類に応じて、ニッケルシリサイド27と、その下部のゲート領域、ソース領域及びドレイン領域の界面近傍に水素イオンを注入するように電力を調整することで、より大きな耐熱性向上効果が可能である。

【 0 0 5 1 】

以降は公知の配線工程を行う。なお、以下ではnチャネルMOSFET部分のみを図示するが、pチャネルMOSFET部分も同様の配線工程が適用できる。

ニッケルシリサイド27の形成後は、凝集が発生しないように500以下でのプロセスを行う。

【 0 0 5 2 】

まず、ニッケルシリサイド27の形成後のnチャネルMOSFET上に、プラズマCVDで窒化シリコン膜28を500で50nm、酸化膜29を400で600nm、順に堆積する(図12(A))。そして、CMPで酸化膜29を平坦化する(図12(B))。

10

20

30

40

50

【 0 0 5 3 】

次に、酸化膜 2 9 上に図示しないフォトレジスト膜を形成しパターニングした後、エッチングにより、nチャネルMOSFETの電極であるニッケルシリサイド 2 7 と上層の配線層とを接続するための開口部を形成する(図 1 3 (A))。そして、エッチングした酸化膜 2 9 上にスパッタリング法で窒化チタン膜 3 0 を 5 0 nm 堆積し、CVDでタングステン 3 1 を開口部に埋め込む(図 1 3 (B))。

【 0 0 5 4 】

その後、CMPにて平坦化し(図 1 4 (A))、層間膜 3 2 を堆積する(図 1 4 (B))。

さらに、層間膜 3 2 をパターニングしてバリアメタルとしてタンタル(図示せず)を堆積した後、配線として銅(Cu) 3 3 を埋め込む。そして、CMPで平坦化する。層間膜 3 2 の堆積、タンタル+銅 3 3 の埋め込み、CMPによる平坦化を複数回繰り返して多層配線を形成し、最上層の銅 3 3 上にアルミニウム電極 3 4 を形成することで、半導体装置が完成する(図 1 5)。

【 0 0 5 5 】

上記のように、本実施の形態の半導体装置の製造方法によれば、ニッケルシリサイドを形成する際に、第 1 アニール工程の後、プラズマ処理によって水素イオンを注入することによって、前述したような微量酸素の還元などが生じ、ニッケルシリサイドの耐熱性が向上し、凝集の発生を抑制することができる。これにより、接合リーク電流の低減が可能となる。

【 0 0 5 6 】

また、プラズマ処理による水素イオンの注入によってニッケルシリサイドの表面及び界面ラフネスの低減や、ゲート抵抗、ソース抵抗及びドレイン抵抗のばらつきの抑制も期待できる。

【 0 0 5 7 】

なお、上記の説明では、pチャネルMOSFETのゲート領域、ソース領域及びドレイン領域にシリコンゲルマニウム混晶を形成して、圧縮ひずみによりチャネルでのホールの移動度を高めた構造について説明したが、これに限定されない。例えば、チャネルへのストレスを考慮し、nチャネルMOSFETと同様にシリコンを用いてもよい。

【 0 0 5 8 】

また、nチャネルMOSFETのゲート領域、ソース領域またはドレイン領域にシリコンカーボン(SiC)混晶、シリコンゲルマニウムカーボン(SiGeC)混晶を用いてもよい。なお、ゲルマニウムを含む混晶を用いる場合には、耐熱性の悪化を防ぐために、形成した混晶の上にシリコン層を形成した後に、ニッケルシリサイドを形成することが望ましい。

【 0 0 5 9 】

(付記 1) ゲート領域、ソース領域及びドレイン領域が形成された半導体基板の上にニッケルまたはニッケル合金を形成する工程と、

第 1 の温度によるアニール処理により、前記ゲート領域、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第 1 アニール工程と、

水素イオンを含有するプラズマを発生させ、前記水素イオンを前記ダイニッケルシリサイドまたは前記ダイニッケルシリサイドの下部の前記ゲート領域、前記ソース領域及び前記ドレイン領域に注入するプラズマ処理工程と、

第 2 の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第 2 アニール工程と、

を有することを特徴とする半導体装置の製造方法。

【 0 0 6 0 】

(付記 2) 前記プラズマ処理工程を前記第 2 アニール工程と同時に行うことを特徴とする付記 1 記載の半導体装置の製造方法。

(付記 3) 前記プラズマは水素プラズマであることを特徴とする付記 1 または 2 記載

10

20

30

40

50

の半導体装置の製造方法。

【0061】

(付記4) 前記プラズマはアンモニアプラズマであることを特徴とする付記1または2記載の半導体装置の製造方法。

(付記5) 前記プラズマはジボランプラズマ、シランプラズマまたはジシランプラズマであることを特徴とする付記1または2記載の半導体装置の製造方法。

【0062】

(付記6) 前記水素イオンを、前記ダイニッケルシリサイドと、前記半導体基板の前記ゲート領域、前記ドレイン領域及び前記ソース領域との界面近傍に注入することを特徴とする付記1乃至5記載の半導体装置の製造方法。

10

【0063】

(付記7) ゲート領域、ソース領域及びドレイン領域が形成されたシリコン基板上にニッケルまたはニッケル合金を形成する工程と、

第1の温度によるアニール処理により、前記ゲート領域、前記ソース領域及び前記ドレイン領域にダイニッケルシリサイドを形成する第1アニール工程と、

第2の温度によるアニール処理により前記ダイニッケルシリサイドをニッケルシリサイドに相変態させる第2アニール工程と、

水素プラズマを発生させ、水素イオンを前記ニッケルシリサイドまたは前記ニッケルシリサイドの下部の前記ゲート領域、前記ソース領域及び前記ドレイン領域に注入するプラズマ処理工程と、

20

を有することを特徴とする半導体装置の製造方法。

【0064】

(付記8) 前記水素イオンを、前記ニッケルシリサイドと、前記半導体基板の前記ゲート領域、前記ドレイン領域及び前記ソース領域との界面近傍に注入することを特徴とする付記7記載の半導体装置の製造方法。

【0065】

(付記9) 200mmウェハあたり100W乃至750Wの条件で前記プラズマ処理工程を行うことを特徴とする付記3、7または8記載の半導体装置の製造方法。

(付記10) 前記ニッケル合金は、白金、タングステン、タンタル、パラジウムのいずれか1つ、あるいは2つ以上を含有することを特徴とする付記1乃至9のいずれか一項に記載の半導体装置の製造方法。

30

【0066】

(付記11) 前記半導体基板の前記ゲート領域、前記ソース領域または前記ドレイン領域に、シリコンゲルマニウム混晶、シリコンカーボン混晶またはシリコンゲルマニウムカーボン混晶を用いることを特徴とする付記1乃至10のいずれか一項に記載の半導体装置の製造方法。

【0067】

(付記12) 前記シリコンゲルマニウム混晶または前記シリコンゲルマニウムカーボン混晶の上面にシリコン層を形成した後に、前記シリコン層の上面に前記ニッケルまたは前記ニッケル合金を成膜することを特徴とする付記11記載の半導体装置の製造方法。

40

【0068】

(付記13) 前記第2アニール工程は、シランを含む雰囲気中で行うことを特徴とする付記1乃至12のいずれか一項に記載の半導体装置の製造方法。

(付記14) 前記第1アニール工程の際、前記第1の温度を200乃至350とし、アニール時間を10秒乃至400秒とすることを特徴とする付記1乃至13のいずれか一項に記載の半導体装置の製造方法。

【0069】

(付記15) 前記第2アニール工程の際、前記第2の温度を300乃至500とし、アニール時間を10秒乃至400秒とすることを特徴とする付記1乃至14のいずれか一項に記載の半導体装置の製造方法。

50

【図面の簡単な説明】

【0070】

【図1】本実施の形態の半導体装置の製造方法の概略を示す断面図である。

【図2】シリコン基板にニッケルを堆積した後に水素プラズマ処理とアニールを施して形成したニッケルシリサイドにおけるシート抵抗の温度依存性を示すグラフである。

【図3】シリコン基板上にニッケルを堆積して第1アニール工程を行った後に、プラズマ処理工程と第2アニール工程を同時に行って形成したニッケルシリサイドにおけるシート抵抗の温度依存性を示すグラフである。

【図4】第2アニール工程後にプラズマ処理工程を行った場合のニッケルシリサイドにおけるシート抵抗の温度依存性を示すグラフである。

10

【図5】本実施の形態の半導体装置の製造方法の一工程における断面図である（その1）。

【図6】本実施の形態の半導体装置の製造方法の一工程における断面図である（その2）。

【図7】本実施の形態の半導体装置の製造方法の一工程における断面図である（その3）。

【図8】本実施の形態の半導体装置の製造方法の一工程における断面図である（その4）。

【図9】本実施の形態の半導体装置の製造方法の一工程における断面図である（その5）。

20

【図10】本実施の形態の半導体装置の製造方法の一工程における断面図である（その6）。

【図11】本実施の形態の半導体装置の製造方法の一工程における断面図である（その7）。

【図12】本実施の形態の半導体装置の製造方法の一工程における断面図である（その8）。

【図13】本実施の形態の半導体装置の製造方法の一工程における断面図である（その9）。

【図14】本実施の形態の半導体装置の製造方法の一工程における断面図である（その10）。

30

【図15】本実施の形態の半導体装置の製造方法の一工程における断面図である（その11）。

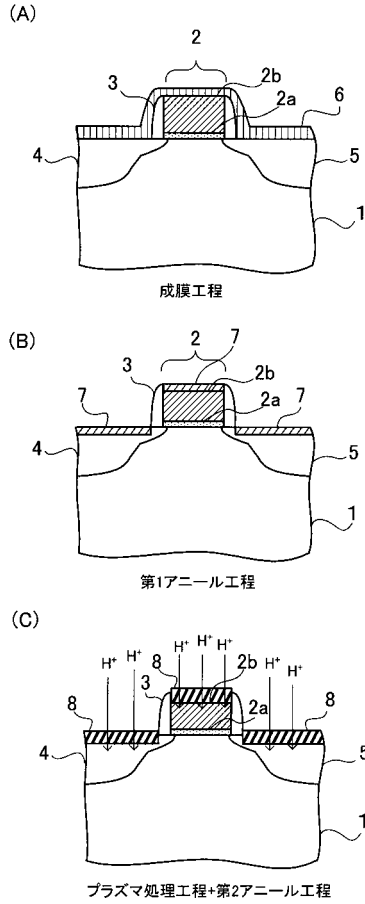
【符号の説明】

【0071】

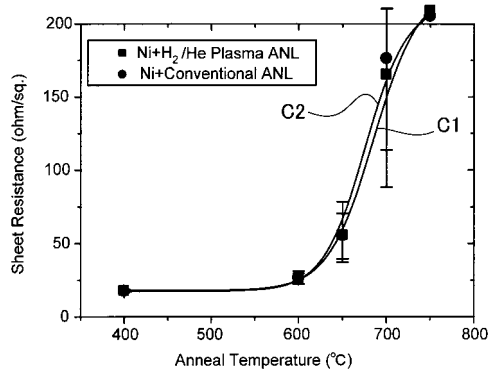
- 1 半導体基板
- 2 ゲート領域
- 2 a ゲート絶縁膜
- 2 b ポリシリコンゲート
- 3 サイドウォール
- 4 ソース領域
- 5 ドレイン領域
- 6 ニッケル
- 7 ダイニッケルシリサイド
- 8 ニッケルシリサイド

40

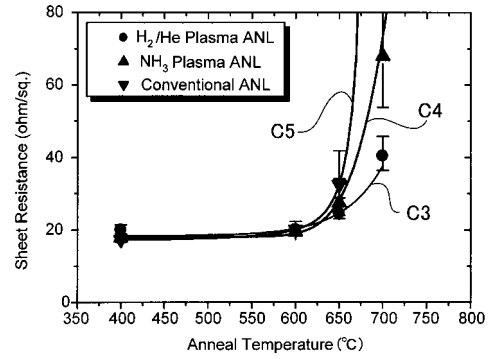
【図1】



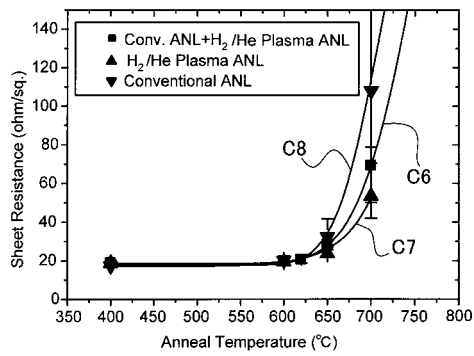
【図2】



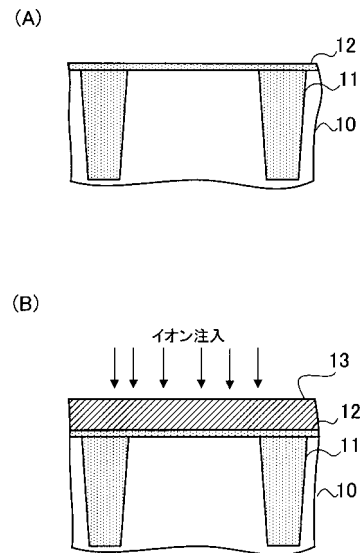
【図3】



【図4】

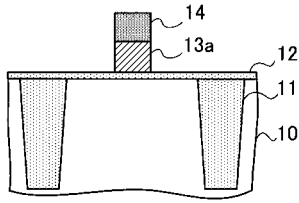


【図5】

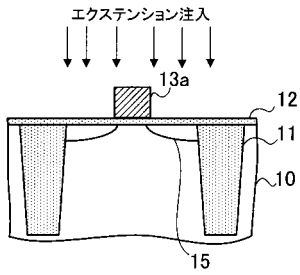


【図6】

(A)

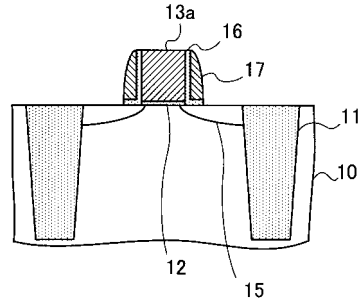


(B)

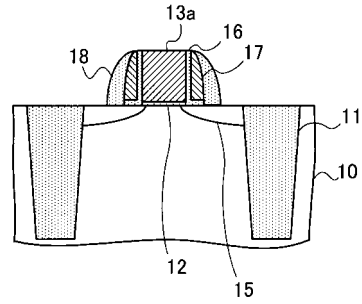


【図7】

(A)

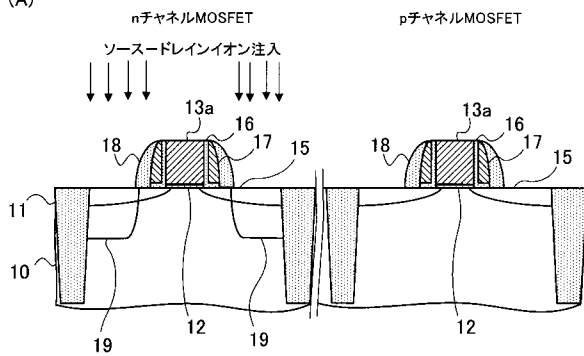


(B)

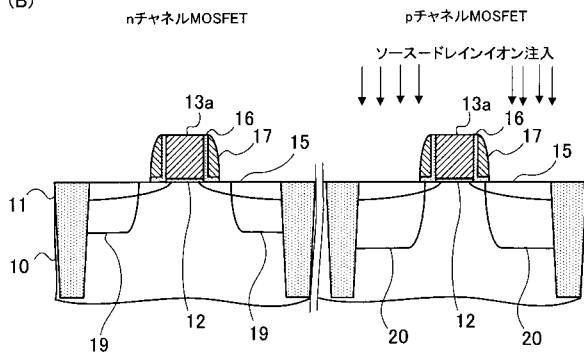


【図8】

(A)

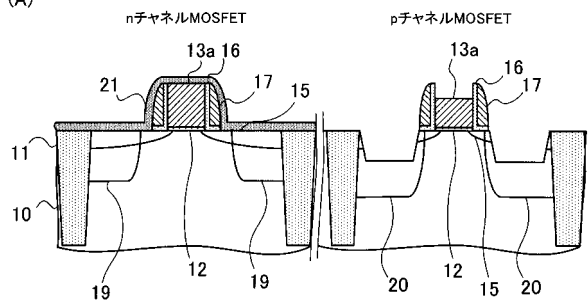


(B)

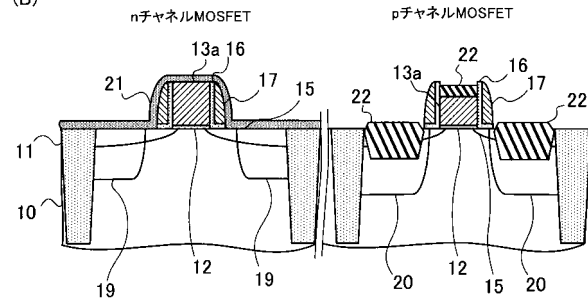


【図9】

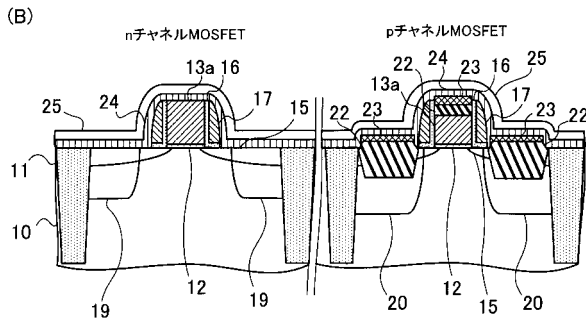
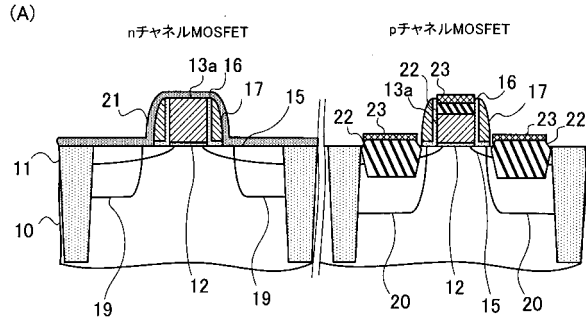
(A)



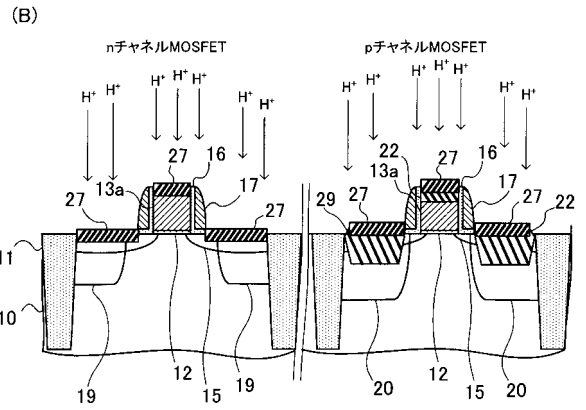
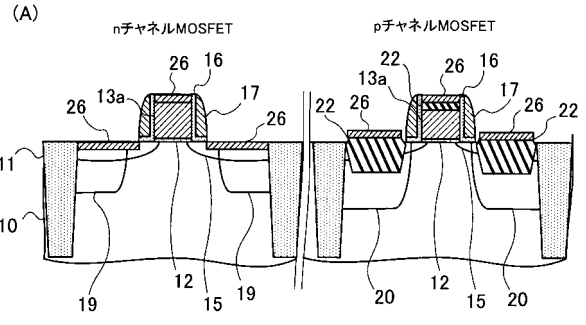
(B)



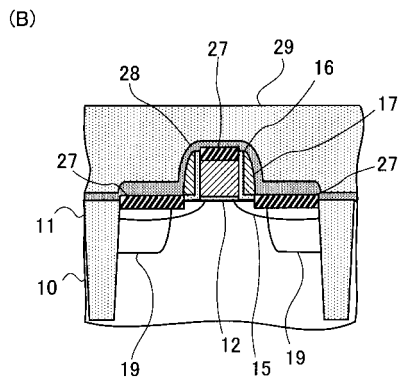
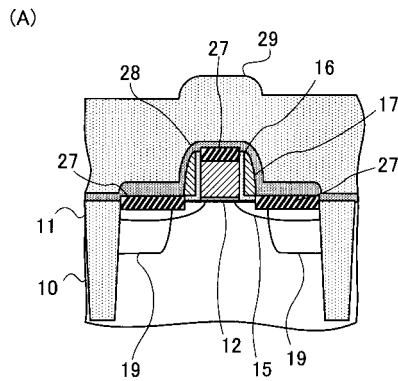
【図10】



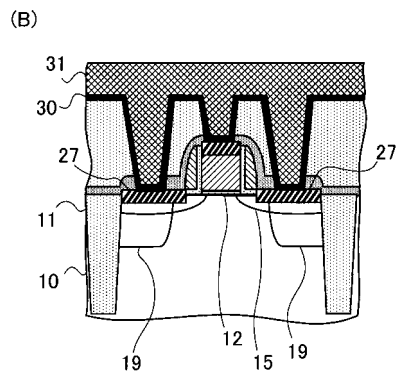
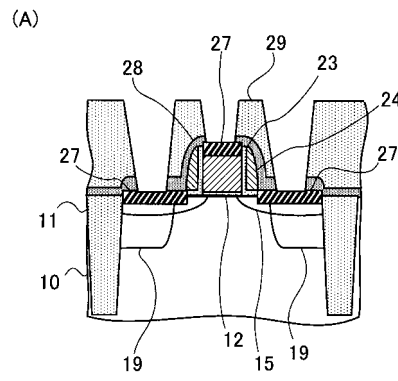
【図11】



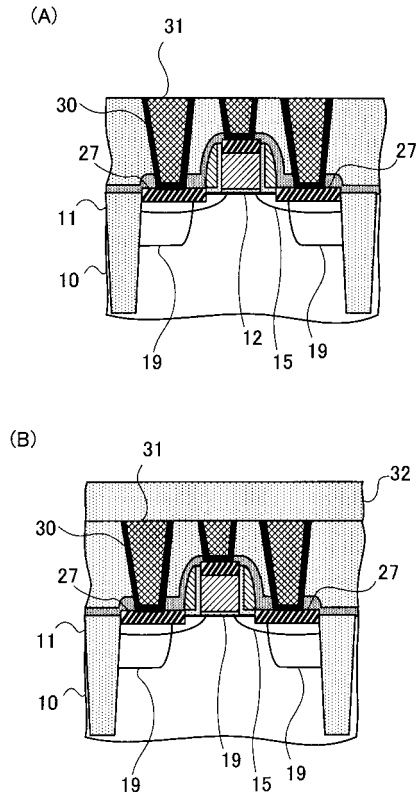
【図12】



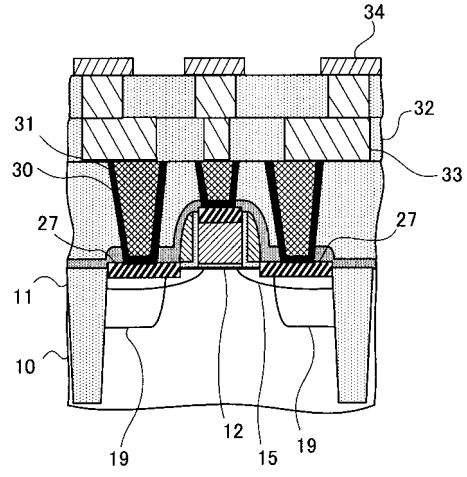
【図13】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/49 (2006.01) H 0 1 L 27/08 3 2 1 F
H 0 1 L 21/8238 (2006.01) H 0 1 L 27/08 3 2 1 E
H 0 1 L 27/092 (2006.01)

(56) 参考文献 特開平 0 7 - 2 8 3 1 6 8 (J P , A)
特開 2 0 0 0 - 0 3 1 0 9 2 (J P , A)
特開 2 0 0 5 - 1 5 0 7 5 2 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 8