

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7342173号  
(P7342173)

(45)発行日 令和5年9月11日(2023.9.11)

(24)登録日 令和5年9月1日(2023.9.1)

(51)国際特許分類	F I	
H 0 4 N 25/78 (2023.01)	H 0 4 N 25/78	
H 0 3 M 1/12 (2006.01)	H 0 3 M 1/12	C
H 0 3 M 1/38 (2006.01)	H 0 3 M 1/38	

請求項の数 20 (全35頁)

(21)出願番号	特願2022-36299(P2022-36299)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和4年3月9日(2022.3.9)	(74)代理人	100126240 弁理士 阿部 琢磨
(62)分割の表示	特願2017-192054(P2017-192054) )の分割	(74)代理人	100124442 弁理士 黒岩 創吾
原出願日	平成29年9月29日(2017.9.29)	(72)発明者	戸塚 洋史 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
(65)公開番号	特開2022-84730(P2022-84730A)	(72)発明者	吉田 大介 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
(43)公開日	令和4年6月7日(2022.6.7)	審査官	鈴木 明
審査請求日	令和4年4月1日(2022.4.1)		

最終頁に続く

(54)【発明の名称】 逐次比較型A D変換器、撮像装置、撮像システム、移動体

(57)【特許請求の範囲】

【請求項1】

複数の光電変換部を各々が備える複数の画素と、  
逐次比較型A D変換器とを備える撮像装置であって、  
前記複数の画素の各々は、前記複数の光電変換部のうちの一部のみの光電変換部の電荷に基づく第1信号と、前記複数の光電変換部の電荷に基づく第2信号とを出力し、  
前記逐次比較型A D変換器は、前記第1信号に対し、少なくとも2回のA D変換を行い、  
前記第2信号に対し、少なくとも2回のA D変換を行い、  
前記第1信号に対する2回目のA D変換のビット数が、前記第2信号に対する2回目のA D変換のビット数よりも少ないことを特徴とする撮像装置。

10

【請求項2】

前記第1信号に対する2回目のA D変換のビット数が、前記第1信号に対する1回目のA D変換のビット数よりも少ないことを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記第2信号に対する2回目のA D変換のビット数が、前記第2信号に対する1回目のA D変換のビット数よりも少ないことを特徴とする請求項1または2に記載の撮像装置。

【請求項4】

前記第2信号に対する2回目のA D変換のビット数が、前記第2信号に対する1回目のA D変換のビット数よりも少ないことを特徴とする請求項1～3のいずれか1項に記載の撮像装置。

20

## 【請求項 5】

前記第 1 信号に対する 2 回目の A D 変換のビット数が、前記第 2 信号に対する 2 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の撮像装置。

## 【請求項 6】

前記第 1 信号に対する 1 回目の A D 変換のビット数が、前記第 2 信号に対する 1 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の撮像装置。

## 【請求項 7】

前記第 2 信号に対する 2 回目の A D 変換のビット数が、前記第 1 信号の 1 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の撮像装置。

10

## 【請求項 8】

前記第 1 信号に対する 2 回目の A D 変換のビット数が、前記第 2 信号の 1 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の撮像装置。

## 【請求項 9】

前記複数の画素の各々は、ノイズレベルの信号であるノイズ信号を出力し、

前記逐次比較型 A D 変換器は、前記ノイズ信号に対し、少なくとも 2 回の A D 変換を行い、

20

前記ノイズ信号に対する 2 回目の A D 変換のビット数が、前記第 1 信号に対する 2 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の撮像装置。

## 【請求項 10】

前記ノイズ信号に対する 2 回目の A D 変換のビット数が、前記ノイズ信号に対する 1 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 9 に記載の撮像装置。

## 【請求項 11】

前記第 1 信号に対する 2 回目の A D 変換のビット数が、前記ノイズ信号に対する 1 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 9 または 10 に記載の撮像装置。

30

## 【請求項 12】

前記第 2 信号に対する 2 回目の A D 変換のビット数が、前記ノイズ信号に対する 1 回目の A D 変換のビット数よりも少ないことを特徴とする請求項 9 ~ 11 のいずれか 1 項に記載の撮像装置。

## 【請求項 13】

A D 変換のビット数が、少ない方から、前記ノイズ信号に対する 2 回目の A D 変換、前記第 1 信号に対する 2 回目の A D 変換、前記第 2 信号に対する 2 回目の A D 変換、前記ノイズ信号に対する 1 回目の A D 変換、前記第 1 信号に対する 1 回目の A D 変換、前記第 2 信号に対する 1 回目の A D 変換の順であることを特徴とする請求項 9 に記載の撮像装置。

## 【請求項 14】

前記複数の画素が第 1 チップに配され、前記逐次比較型 A D 変換器が第 2 チップに配され、前記第 1 チップと前記第 2 チップとが積層された請求項 1 ~ 13 のいずれか 1 項に記載の撮像装置。

40

## 【請求項 15】

遮光された光電変換部を有する遮光画素を前記第 1 チップがさらに有し、

前記遮光画素と、前記逐次比較型 A D 変換器が、平面視において、重なるように設けられていることを特徴とする請求項 14 に記載の撮像装置。

## 【請求項 16】

前記複数の画素のうちの 1 つの画素が備える前記複数の光電変換部が 1 つのマイクロレンズに対応して配されていることを特徴とする請求項 1 ~ 15 のいずれか 1 項に記載の撮

50

像装置。

【請求項 17】

前記複数の画素の各々はフローティングディフージョン部を備え、

前記複数の光電変換部のうちの一部のみの光電変換部の電荷に基づく第1信号が前記フローティングディフージョン部に保持された状態で、前記複数の光電変換部のうちの別の一部のみの光電変換部の電荷が前記フローティングディフージョン部に転送されることで前記第2信号が生成されることを特徴とする請求項1～16のいずれか1項に記載の撮像装置。

【請求項 18】

前記逐次比較型AD変換器は前記第1信号と前記第2信号の一方ずつと比較信号との比較を行う比較器を備え、

前記第1信号の1回目のAD変換の後、前記比較信号にオフセットを付与して前記第1信号の2回目のAD変換を行い、

前記第2信号の1回目のAD変換の後、前記比較信号にオフセットを付与して前記第2信号の2回目のAD変換を行うことを特徴とする請求項1～17のいずれか1項に記載の撮像装置。

【請求項 19】

請求項1～18のいずれか1項に記載の撮像装置と、

前記撮像装置が出力する信号を処理することによって画像を生成する信号処理部とを有することを特徴とする撮像システム。

【請求項 20】

請求項1～18のいずれか1項に記載の撮像装置と、

前記撮像装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、

前記距離情報に基づいて前記移動体を制御する制御手段をさらに有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、撮像システム、移動体に関する。

【背景技術】

【0002】

画素が出力する信号をデジタル信号に変換するAD変換器を備えた撮像装置が知られている。この撮像装置に適用可能なAD変換器として、特許文献1に記載された逐次比較型AD変換器がある。特許文献1の逐次比較型AD変換器は、変換対象のアナログ信号を複数回AD変換することによって複数のデジタル信号を得る。この複数のデジタル信号の平均を得ることによって、アナログ信号に含まれるノイズ成分を低減する。特許文献1では、1回目のAD変換で得たNビットのデジタル信号を得る。そして2回目以降のAD変換ではNビットのうちの上位nビットの値を1回目のAD変換で得たデジタル信号の値に固定した状態で、N-nビットのAD変換を行う。これにより、2回目以降のAD変換の変換時間を短縮している。また、特許文献1では、2回目以降のAD変換において、参照信号を生成するDA変換器を、1回目のAD変換で上位nビットを得た処理段階から数ビット分処理段階を戻した状態としてから、AD変換を行っている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2011-55535号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

本発明は、1つの信号に対する2回目以降のAD変換を好適に行うことのできる逐次比較型AD変換器を提供する。

【課題を解決するための手段】

【0005】

本発明は、上記の課題を鑑みて為されたものであり、その一の様子は、複数の光電変換部を各々が備える複数の画素と、逐次比較型AD変換器とを備える撮像装置であって、前記複数の画素の各々は、前記複数の光電変換部のうちの一部のみの光電変換部の電荷に基づく第1信号と、前記複数の光電変換部の電荷に基づく第2信号とを出力し、前記逐次比較型AD変換器は、前記第1信号に対し、少なくとも2回のAD変換を行い、前記第2信号に対し、少なくとも2回のAD変換を行い、前記第1信号に対する2回目のAD変換のビット数が、前記第2信号に対する2回目のAD変換のビット数よりも少ないことを特徴とする撮像装置である。

10

【発明の効果】

【0006】

本発明により、1つの信号に対する2回目以降のAD変換を好適に行うことのできる逐次比較型AD変換器を提供することができる。

【図面の簡単な説明】

【0007】

【図1】撮像装置の構成を示した図

【図2】画素の等価回路を示した図

20

【図3】AD変換器の等価回路を示した図

【図4】デジタルアナログ変換器の等価回路を示した図

【図5】撮像装置の動作を示したタイミング図

【図6】AD変換の処理を示したチャート図

【図7】撮像装置の構成を示した図

【図8】増幅器、AD変換器の等価回路を示した図

【図9】撮像装置の動作を示した図

【図10】AD変換動作を示した図

【図11】積層型の撮像装置の構成を示した図

【図12】画素アレイが備える画素の配列を示す図

30

【図13】積層型の撮像装置の平面視における配置を示した図

【図14】撮像装置の構成を示した図

【図15】撮像装置の断面の構成を示した図

【図16】画素と信号処理回路の接続を示す図

【図17】画素の等価回路を示す図

【図18】撮像装置の動作を示す図

【図19】撮像装置の動作を示す図

【図20】撮像システムの構成を示した図

【図21】移動体の構成を示した図

【図22】撮像システムの処理を示した図

40

【発明を実施するための形態】

【0008】

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付し、重複する説明を省略する。また、各実施形態は適宜変更、組み合わせが可能である。

【0009】

(実施例1)

図1の回路ブロック図を参照して、本実施例に係る撮像装置の構成について説明する。撮像装置は図1に示す各構成要素を有する。行列状に配置された複数の画素11によって画素アレイ102が構成される。図1では一例として画素アレイ102が4行3列の画素

50

11を有する場合を説明する。しかし、画素アレイ102の配置はこれに限られない。各画素11は、画素11への入射光に応じた画素信号を生成する。同じ行を構成する複数の画素11は、駆動線に共通に接続される。駆動線を通じて垂直走査回路101から画素11に、画素11の動作を制御するための制御信号が供給される。駆動線は後述する複数の制御線を有する。また、同じ列を構成する複数の画素11は、1つの信号線201に共通に接続される。信号線201を通じて読み出される電圧信号を信号Vv1と表記する。画素11から信号線201に画素信号が読み出された場合に、信号Vv1は画素信号に応じた値となる。

#### 【0010】

撮像装置は、AD変換器107を有する。AD変換器107は逐次比較型のAD変換器である。AD変換器(以下、ADC)107は、デジタルアナログ変換器104(以下、DAC104とする。DAC; Digital to Analog Converter)を有する。また、ADC107は、比較器105、制御回路106を有する。

10

#### 【0011】

比較器105には、信号Vv1のほかに、DAC104から比較信号が入力される。比較器105は、信号Vv1と比較信号とを比較し、その比較結果を制御回路106に出力する。

#### 【0012】

制御回路106は、比較器105から入力される比較結果を、メモリ108に出力する。メモリ108に出力される比較結果は、信号Vv1に対応するデジタル信号である。

20

#### 【0013】

メモリ108に出力されたデジタル信号は、水平走査回路109による水平走査によって、列ごとに順次、メモリ108から読み出される。

#### 【0014】

DAC104、比較器105、制御回路106、メモリ108は、信号線201ごとに配置される。

#### 【0015】

図2は、本実施例の画素11の等価回路図である。画素11は、光電変換部であるフォトダイオード601a、601bを有する。画素11のフォトダイオード601a、601bには、不図示の1つのマイクロレンズと、カラーフィルタを透過した光が入射する。フォトダイオード601aに入射する光と、フォトダイオード601bに入射する光の波長は実質的に同じである。

30

#### 【0016】

フォトダイオード601aは、転送トランジスタ603aを介して、フローティングディフュージョン部(以下、FD部)605に接続されている。また、転送トランジスタ603aのゲートは、制御線650を介して、不図示の垂直走査回路に接続されている。

#### 【0017】

フォトダイオード601bは、転送トランジスタ603bを介して、フローティングディフュージョン部(以下、FD部)605に接続されている。また、転送トランジスタ603bのゲートは、制御線655を介して、不図示の垂直走査回路に接続されている。

40

#### 【0018】

FD部605は、リセットトランジスタ606と、増幅トランジスタ607のゲートに接続されている。

#### 【0019】

リセットトランジスタ606および増幅トランジスタ607は、電源電圧Vddが供給される。リセットトランジスタ606のゲートは、制御線660を介して、不図示の垂直走査回路に接続されている。

#### 【0020】

増幅トランジスタ607は、選択トランジスタ608に接続されている。選択トランジスタ608のゲートは、制御線665を介して、不図示の垂直走査回路に接続されている。

50

## 【 0 0 2 1 】

選択トランジスタ 6 0 8 は、信号線 2 0 1 に接続されている。

## 【 0 0 2 2 】

図 3 は、図 1 に示した A D C 1 0 7 の等価回路図である。A D C 1 0 7 は、比較器 1 0 5、D A C 1 0 4、制御回路 1 0 6 を有する。

## 【 0 0 2 3 】

比較器 1 0 5 には、入力容量である容量素子  $C_{in1}$ 、 $C_{in2}$  のそれぞれの一方のノードが接続される。容量素子  $C_{in1}$  の他方のノードには信号  $V_{vl}$  が入力される。容量素子  $C_{in2}$  の他方のノードには、信号  $V_{dac}$  が入力される。容量素子  $C_{in1}$  と比較器 1 0 5 の入力ノードと、比較器 1 0 5 の出力ノードとの間の電気的経路にはスイッチ  $S_{W1}$  が設けられている。また、容量素子  $C_{in2}$  と比較器 1 0 5 の入力ノードと、比較器 1 0 5 の出力ノードとの間の電気的経路にはスイッチ  $S_{W2}$  が設けられている。スイッチ  $S_{W1}$ 、スイッチ  $S_{W2}$  は、不図示のタイミングジェネレータによって制御される。

10

## 【 0 0 2 4 】

D A C 1 0 4 は、第 1 D A C 1 0 4 - 1、第 2 D A C 1 0 4 - 2 を有する。制御回路 1 0 6 には、比較器 1 0 5 から信号  $C_{OUT}$  が入力される。制御回路 1 0 6 には、不図示のタイミングジェネレータからクロック信号の信号  $CLK$  が入力される。また、制御回路 1 0 6 は、信号  $CON1$  を第 1 D A C 1 0 4 - 1 に出力する。また、制御回路 1 0 6 は、信号  $CON2$  を第 2 D A C 1 0 4 - 2 に出力する。

## 【 0 0 2 5 】

( D A C 1 0 4 の等価回路 )

図 4 は、D A C 1 0 4 の等価回路の詳細を示した図である。図 4 ( A ) は第 1 D A C 1 0 4 - 1 の等価回路を示している。図 4 ( B ) は、第 2 D A C 1 0 4 - 2 の等価回路を示している。

20

## 【 0 0 2 6 】

第 1 D A C 1 0 4 - 1 は、容量素子  $C_{1-0} \sim C_{1-6}$  を有する。また、容量素子  $C_{1-0} \sim C_{1-6}$  のそれぞれに対応して、スイッチ  $S_{1-0} \sim S_{1-6}$  が設けられている。図 4 では、容量素子  $C_{1-2} \sim C_{1-4}$  と、スイッチ  $S_{1-2} \sim S_{1-4}$  の図示を省略している。この省略された容量素子  $C_{1-2} \sim C_{1-4}$  のそれぞれと、スイッチ  $S_{1-2} \sim S_{1-4}$  のそれぞれの接続関係は、容量素子  $C_{1-0}$ 、スイッチ  $S_{1-0}$  の接続関係と同じである。容量素子  $C_{1-0} \sim C_{1-6}$  の容量値は、バイナリウエイトの関係になっている。容量素子  $C_{1-0}$  の容量値は  $1C$  である。容量素子  $C_{1-1} \sim C_{1-6}$  の容量値は順に、 $2C$ 、 $4C$ 、 $8C$ 、 $16C$ 、 $32C$ 、 $64C$  である。スイッチ  $S_{1-0} \sim S_{1-6}$  のそれぞれは、電圧  $V_{RH}$ 、 $V_{RL}$  の一方を、それぞれの対応する容量素子  $C_{1-0} \sim C_{1-6}$  に接続する。この電圧  $V_{RH}$ 、 $V_{RL}$  の接続の切り替えは、制御回路 1 0 6 から出力される信号  $CON1$  によって制御される。

30

## 【 0 0 2 7 】

第 2 D A C 1 0 4 - 2 は、容量素子  $C_{2-0} \sim C_{2-3}$ 、スイッチ  $S_{2-0} \sim S_{2-3}$  を有する。容量素子とスイッチの接続関係は、第 1 D A C 1 0 4 - 1 と同じである。容量素子  $C_{2-0} \sim C_{2-3}$  の容量値は、バイナリウエイトの関係になっている。容量素子  $C_{2-0}$  の容量値は  $1C$  である。容量素子  $C_{2-1} \sim C_{2-3}$  の容量値は順に、 $2C$ 、 $4C$ 、 $8C$  である。

40

## 【 0 0 2 8 】

第 1 D A C 1 0 4 - 1 による A D 変換は 7 ビットで行う。一方、第 2 D A C 1 0 4 - 2 による A D 変換は 4 ビットで行う。本実施例では、ランダムノイズの  $\pm 6$  が 7 L S B 以内である場合としている。したがって、第 2 D A C 1 0 4 - 2 は 4 ビットの A D 変換を行う。

## 【 0 0 2 9 】

図 5 は、本実施例の撮像装置の A D 変換動作を示した図である。

## 【 0 0 3 0 】

50

本実施例では、1つの画素信号に対し、複数回のAD変換を行う。この「1つの画素信号」を説明する。リセットトランジスタ606によるFD部605からの電荷の排出、あるいは転送トランジスタ603a、603bによる新たな電荷のFD部605への転送がなされず、増幅トランジスタ607が出力する信号は1つの画素信号とみなされる。例えば画素11の選択トランジスタ608がオンすることによって増幅トランジスタ607が信号を出力している期間に、ランダムノイズによってFD部605の電圧が変動する場合がある。このランダムノイズは、典型的には増幅トランジスタ607に起因するノイズである。これにより、増幅トランジスタ607の信号レベルに変化が生じる。しかし、リセットトランジスタ606によるFD部605からの電荷の排出、あるいは転送トランジスタ603a、603bによる新たな電荷のFD部605への転送はなされていない。したがって、このようなノイズによるFD部605の電圧の変動による信号値の変動は、実質的に1つの画素信号としてみなすことのできる範囲内である。

10

## 【0031】

本実施例では、1つの画素信号に対するAD変換の回数を4回とする。1回目のAD変換によって、画素信号に対応するNビット（Nは2以上の整数）のデジタル信号として、7ビットのデジタル信号を生成する。2回目以降のAD変換では、Nビットのうちの下位nビットとして、下位4ビットに対応するデジタル信号を生成する。

## 【0032】

図5は、Vv1、Vdacとして、図3に示した信号Vv1、信号Vdacの電圧を示している。図5の横軸は時間である。また、縦軸には、信号Vdacが対応するデジタル信号の信号値をSAR値として記載している。また、図5は、スイッチS1-0~S1-6、S2-0~S2-3の動作も合わせて示している。図5でLとして示されているスイッチは、電圧VRLに接続されている。図5でHとして示されているスイッチは、電圧VRHに接続されている。

20

## 【0033】

ここで、図5に示している信号Vv1の電圧を説明する。

## 【0034】

垂直走査回路は、転送トランジスタ603aのゲートに接続される制御線650の電圧と、転送トランジスタ603bのゲートに接続される制御線655の電圧をともにHighレベルにする。これにより、フォトダイオード601a、601bが蓄積した電荷（本実施例では電子である）が、転送トランジスタ603a、603bを介してFD部605に転送される。FD部605では、フォトダイオード601a、601bのそれぞれの電荷が加算される。これにより、FD部605は、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応する電圧となる。仮に、フォトダイオード601aのみの電荷によるFD部605の電圧に基づいて増幅トランジスタ607が出力する信号をA信号とする。また、仮に、フォトダイオード601bのみの電荷によるFD部605の電圧に基づいて増幅トランジスタ607が出力する信号をB信号とする。この表記に従うと、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応するFD部605の電圧に基づいて増幅トランジスタ607が出力する信号はA信号とB信号を加算したA+B信号とみなすことができる。よって、信号線201には、A+B信号が出力される。

30

40

## 【0035】

図5に示した信号Vv1は、このA+B信号に対応する電圧である。

## 【0036】

ADC107は、A+B信号のAD変換を行う。

## 【0037】

制御回路106は、時刻t0において、第1DAC104-1の各スイッチを信号CON1によって、電圧VRLに接続させている。

## 【0038】

一方、制御回路106は、時刻t0において、第2DAC104-2のスイッチS2-

50

3を、信号CON2によって、電圧VRHに接続させている。第2DAC104-2の出力は、スイッチS2-3が電圧VRLに接続されている場合に比べて、オフセットが付与された状態となる。後述するが、AD変換によって生成されるデジタル信号の8LSBに対応するオフセット量が付与されている。この信号Vdacが出力されている状態で、不図示のタイミングジェネレータは、スイッチSW1、SW2をオンからオフにする。これにより、比較器105のリセットが解除される。これにより、信号Vdacの初期値が、スイッチS1-0~S1-6、スイッチS2-0~S2-2が電圧VRLに接続され、スイッチS2-3が電圧VRHに接続された状態における電圧となる。第2DAC104-2のスイッチS2-3、容量素子C2-3は、比較信号にオフセットを付与するオフセット付与部である。

10

**【0039】**

その後、制御回路106は、スイッチS1-6を電圧VRHに接続させる。これにより、信号Vdacは、SAR値の100000に対応する電圧となる。信号Vv1は、信号Vdacの振幅よりも大きいため比較器105は、Highレベルの比較結果信号を出力する。このHighレベルの比較結果信号を受けた制御回路106は、デジタル信号のMSB(Most Significant Bit)である7ビット目の値を1とする。

**【0040】**

また、Highレベルの比較結果信号を受けた制御回路106は、スイッチS1-6を電圧VRHに接続させたまま、スイッチS1-5を電圧VRHに接続させる。これにより、信号Vdacは、SAR値の1100000に対応する電圧となる。信号Vv1は、信号Vdacの振幅よりも小さいため比較器105は、Lowレベルの比較結果信号を出力する。このLowレベルの比較結果信号を受けた制御回路106は、デジタル信号の6ビット目の値を0とする。

20

**【0041】**

また、Lowレベルの比較結果信号を受けた制御回路106は、スイッチS1-6を電圧VRHに接続させたまま、スイッチS1-5を電圧VRLに接続させ、スイッチS1-4を電圧VRHに接続させる。これにより、信号Vdacは、SAR値の1010000に対応する電圧となる。信号Vv1は、信号Vdacの振幅よりも小さいため比較器105は、Lowレベルの比較結果信号を出力する。このLowレベルの比較結果信号を受けた制御回路106は、デジタル信号の5ビット目の値を0とする。

30

**【0042】**

また、Lowレベルの比較結果信号を受けた制御回路106は、スイッチS1-6を電圧VRHに接続させたまま、スイッチS1-5、S1-4を電圧VRLに接続させ、スイッチS1-3を電圧VRHに接続させる。これにより、信号Vdacは、SAR値の1001000に対応する電圧となる。信号Vv1は、信号Vdacの振幅よりも大きいため比較器105は、Highレベルの比較結果信号を出力する。このHighレベルの比較結果信号を受けた制御回路106は、デジタル信号の4ビット目の値を1とする。

**【0043】**

また、Highレベルの比較結果信号を受けた制御回路106は、スイッチS1-6、S1-3を電圧VRHに接続させたまま、スイッチS1-5、S1-4を電圧VRLに接続させる。そして、制御回路106はスイッチS1-2を電圧VRHに接続させる。これにより、信号Vdacは、SAR値の1001100に対応する電圧となる。信号Vv1は、信号Vdacの振幅よりも小さいため比較器105は、Lowレベルの比較結果信号を出力する。このLowレベルの比較結果信号を受けた制御回路106は、デジタル信号の3ビット目の値を0とする。

40

**【0044】**

また、Lowレベルの比較結果信号を受けた制御回路106は、スイッチS1-6、S1-3を電圧VRHに接続させたまま、スイッチS1-5、S1-4、S1-2を電圧VRLに接続させる。そして、制御回路106はスイッチS1-1を電圧VRHに接続させる。これにより、信号Vdacは、SAR値の1001010に対応する電圧となる。

50

信号  $V_{v1}$  は、信号  $V_{dac}$  の振幅よりも大きいため比較器 105 は、High レベルの比較結果信号を出力する。この High レベルの比較結果信号を受けた制御回路 106 は、デジタル信号の 2 ビット目の値を 1 とする。

【0045】

また、High レベルの比較結果信号を受けた制御回路 106 は、スイッチ  $S_{1-6}$ 、 $S_{1-3}$ 、 $S_{1-1}$  を電圧  $V_{RH}$  に接続させたまま、スイッチ  $S_{1-5}$ 、 $S_{1-4}$ 、 $S_{1-2}$  を電圧  $V_{RL}$  に接続させる。そして、制御回路 106 はスイッチ  $S_{1-0}$  を電圧  $V_{RH}$  に接続させる。これにより、信号  $V_{dac}$  は、SAR 値の 1001011 に対応する電圧となる。信号  $V_{v1}$  は、信号  $V_{dac}$  の振幅よりも大きいため比較器 105 は、High レベルの比較結果信号を出力する。この High レベルの比較結果信号を受けた制御回路 106 は、デジタル信号の LSB (Least Significant Bit) の値を 1 とする。これにより、A + B 信号に対応するデジタル信号  $D_1$  が、1001011 と確定される。この時、第 1 DAC 104 - 1 は、スイッチ  $S_{1-0}$ 、 $S_{1-1}$ 、 $S_{1-3}$ 、 $S_{1-6}$  が電圧  $V_{RH}$  に接続されている。そして第 1 DAC 104 - 1 では、スイッチ  $S_{1-2}$ 、 $S_{1-4}$ 、 $S_{1-5}$  が電圧  $V_{RL}$  に接続されている。

10

【0046】

この状態で、制御回路 106 は、信号  $CON_2$  によって、第 2 DAC 104 - 2 のスイッチ  $S_{2-3}$  の接続先を電圧  $V_{RH}$  から電圧  $V_{RL}$  に切り替える。これにより、信号  $V_{dac}$  の電圧は、デジタル信号  $D_1$  の下から 4 ビット目の値を 0 に変更した、1000011 に対応する電圧となる。つまり、1 回目の AD 変換によるデジタル信号  $D_1$  の確定時の信号  $V_{dac}$  に対し、デジタル信号  $D_1$  から 8 LSB 分小さいデジタル信号に対応する信号  $V_{dac}$  を出力する。つまり、時刻  $t_0$  において、第 2 DAC 104 - 2 のスイッチ  $S_{2-3}$  が電圧  $V_{RH}$  に接続された状態を信号  $V_{dac}$  の初期値としている。これにより、1 回目の AD 変換によってデジタル信号  $D_1$  の値が確定した時の信号  $V_{dac}$  の電圧から振幅を小さくした電圧に、信号  $V_{dac}$  を設定することができる。これにより、信号  $V_{v1}$  の振幅がランダムノイズの影響によって小さくなった場合においても、2 回目の 4 ビットの AD 変換のレンジの範囲内に収めやすくすることができる。

20

【0047】

仮に時刻  $t_0$  の時に、スイッチ  $S_{2-3}$  が電圧  $V_{RL}$  に接続されていた場合には、第 2 DAC 104 - 2 では信号  $V_{dac}$  の振幅を小さくすることができない。よって、信号  $V_{v1}$  の振幅がランダムノイズの影響によって小さくなった場合においても、2 回目の 4 ビットの AD 変換のレンジの範囲から逸脱する。また、第 2 DAC 104 - 2 を設けず、第 1 DAC 104 - 1 のスイッチ  $S_{1-3}$  の切り替えによって信号  $V_{dac}$  の電圧を変更する場合が想定されるが、この場合には、デジタル信号  $D_1$  の 4 ビット目の値によって処理を変更することが求められる。例えば、デジタル信号  $D_1$  の値が 1000000 である場合、16 LSB 小さいデジタル信号に対応する信号  $V_{dac}$  の生成にはスイッチ  $S_{1-6}$  の接続先を電圧  $V_{RH}$  から電圧  $V_{RL}$  に切替える。さらにスイッチ  $S_{1-3}$  の接続先を電圧  $V_{RL}$  から電圧  $V_{RH}$  に切り替える処理が必要になる。このように、デジタル信号  $D_1$  の値に応じた処理の変更が必要になるため、処理が煩雑になる。

30

【0048】

一方で、本実施例の場合には、第 2 DAC 104 - 2 のスイッチ  $S_{2-3}$  が電圧  $V_{RH}$  に接続された状態で信号  $V_{dac}$  の初期値が確定される。これにより、デジタル信号  $D_1$  の値に拠らず、8 LSB に対応した信号  $V_{dac}$  のオフセットを付与することができる。

40

【0049】

このオフセットを利用した、2 回目の AD 変換について説明する。

【0050】

信号  $V_{v1}$  においては、ランダムノイズの影響により、1 回目の AD 変換時とは異なる電圧となっている。

【0051】

スイッチ  $S_{2-3}$  が電圧  $V_{RL}$  に接続された状態での信号  $V_{dac}$  の振幅よりも、信号

50

V v 1 の振幅の方が大きいため、比較器 1 0 5 は H i g h レベルの比較結果信号を出力する。

【 0 0 5 2 】

H i g h レベルの比較結果信号を受けた制御回路 1 0 6 は、スイッチ S 2 - 3 を電圧 V R H に接続する。これにより、信号 V d a c は、デジタル信号 D 1 の信号値に対応する電圧となる。仮に、比較器 1 0 5 の比較結果信号が L o w レベルであったとすると、信号 V v 1 の振幅が、2 回目の A D 変換可能なレンジを下回っていると判定される。この場合には、2 回目の A D 変換のレンジをさらに振幅の小さい電圧を包含するように変更する、2 回目の A D 変換を中止する、といった処理を行うことができる。この判別を不要とする場合には、時刻 t 2 の、スイッチ S 2 - 3 の接続先を電圧 V R H から電圧 V R L に変更する動作を省略することができる。

10

【 0 0 5 3 】

時刻 t 2 から時刻 t 3 の期間の、その他の A D 変換動作は、1 回目の A D 変換の動作と同様とすることができる。これにより、0 1 1 0 の値のデジタル信号 D 2 を得ることができる。

【 0 0 5 4 】

時刻 t 4 から時刻 t 5 の期間の A D 変換動作は、2 回目の A D 変換の動作と同様とすることができる。これにより、1 0 1 1 の値のデジタル信号 D 3 を得ることができる。

【 0 0 5 5 】

時刻 t 6 から時刻 t 7 の期間の A D 変換動作は、2 回目の A D 変換の動作と同様とすることができる。これにより、0 0 1 0 の値のデジタル信号 D 4 を得ることができる。

20

【 0 0 5 6 】

得られたデジタル信号については、以下の様に処理する。

【 0 0 5 7 】

得られたデジタル信号 D 2、D 3、D 4 の M S B を反転処理する。反転後のデジタル信号をそれぞれ D v 2、D v 3、D v 4、D v 5 とすると、それぞれの値は、

デジタル信号 D v 2 = 1 1 1 0

デジタル信号 D v 3 = 0 0 1 1

デジタル信号 D v 4 = 1 0 1 0

となる。これにより、デジタル信号 D v 2、D v 3、D v 4 のそれぞれは、デジタル信号 D 1 に対する差分を示すデジタル信号となる。

30

【 0 0 5 8 】

その後、次の処理を行って、増幅信号 V a m p に対応するデジタル信号 D F の値を確定させる。

デジタル信号 D F = D 1 + ( D v 2 + D v 3 + D v 4 ) / 4

【 0 0 5 9 】

このデジタル信号 D F は、デジタル信号 D 1 に対し、ランダムノイズを低減させた信号となる。このデジタル信号 D F を得る処理は、図 1 に示したメモリ 1 0 8 で実行してもよいし、撮像装置の外部に設けられた信号処理部で処理するようにしてもよい。

【 0 0 6 0 】

このように、本実施例の撮像装置は、オフセット付与部である第 2 D A C 1 0 4 - 2 のスイッチ S 2 - 3、容量素子 C 2 - 3 がオフセットを比較信号に付与する。このオフセットが比較信号に付与された状態で、制御部である制御回路 1 0 6 は、比較器に、第 1 D A C 1 0 4 - 1 によって電圧が変化される比較信号である信号 V d a c とアナログ信号である信号 V v 1 との比較を行わせる。これにより、デジタル信号 D 1 の値によらず、所定のビット数分のオフセットを信号 V d a c に付与して 2 回目以降の A D 変換を行うことができる。

40

【 0 0 6 1 】

( 実施例 2 )

実施例 1 では、2 回目以降の A D 変換として、N ビットのうちの下位 n ビットである 4

50

ビット分のAD変換を行った。この2回目以降のAD変換の対象とするビット数の設定について、本実施例では説明する。

【0062】

図6は、本実施例における、2回目以降のAD変換のビット数を決定する処理を示したチャートである。

【0063】

ランダムノイズが正規分布をすると仮定し、標準偏差を  $\sigma$  とすると、2回目のAD変換は、6 LSB以上のAD変換を行うようにする。本実施例においても実施例1と同じく、この6 が7以下であることを想定する。

【0064】

ADC107は、N - 1回目のAD変換を実行する。

【0065】

不図示の演算部は、ノイズの絶対値  $|N_{am}|$  の見積もりを行う。この見積もりは、 $|N_{am}| \cdot 6 \times (N - 1)$  として計算できる。N - 1が4であるとする、 $|N_{am}| \cdot 3.5$  (LSB) として見積もられる。

【0066】

従って演算部は、ノイズがXビット相当の信号であると判定する。ここでは、 $|N_{am}| \cdot 3.5$  (LSB) であるので、3.5 LSBを包含する、2ビット相当の信号であると判定する。また、演算部は、これまでに得られたデジタル信号の平均化処理を行うことで、デジタル信号Aveを生成する。

【0067】

演算部は、デジタル信号Aveから、 $2^X$  LSB (ここで^の記号はべき乗を表す) 分の信号を差し引いた信号をオフセット量として得る。また、演算部は、X + 1ビットを次のAD変換であるAD(N)のビット数として決定する。

【0068】

N = 2の場合は、6 が7 LSB相当であるから、X + 1ビットは4となる。よって、2回目のAD変換を4ビットのAD変換とする。N = 3および4の場合、X + 1ビットは、4となる。3回目、4回目のAD変換もまた、4ビットのAD変換とする。N = 5の場合、X + 1ビットは3となる。よって、5回目のAD変換は3ビットのAD変換とする。このように、AD変換の実行済回数の増加に応じて、次のAD変換のビット数を減らすことができる。

【0069】

よって、本実施例の撮像装置では、ノイズ量を見積もることにより、複数回のAD変換に要する期間を短縮することができる。

【0070】

(実施例3)

本実施例の撮像装置について、実施例1と異なる点を中心に説明する。

【0071】

図7は本実施例の撮像装置の構成を示した図である。本実施例の撮像装置は、信号Vv1を増幅した増幅信号Vampを比較器105に出力する増幅器103を備える。

【0072】

図8は、図7の増幅器103、ADC107を示した図である。増幅器103のゲインは可変であり、不図示のタイミングジェネレータから信号Gainによって、ゲインが設定される。また、この増幅率の設定情報である信号Gainは、ADC107の制御回路106にも入力される。制御回路106は、この信号Gainによって2回目以降のAD変換のビット数を設定する。

【0073】

増幅器103は、信号Gainによって設定されたゲインを信号Vv1に適用する。そ

10

20

30

40

50

して増幅器 103 は、信号  $V_{v1}$  を設定されたゲインで増幅した信号を、増幅信号  $V_{amp}$  として比較器 105 に出力する。

【0074】

増幅器 103 のゲインが増加するにつれて、増幅信号  $V_{amp}$  に含まれるノイズは増加する傾向にある。したがって、本実施例の撮像装置は、増幅器 103 のゲインの増加に応じて、2 回目以降の A/D 変換のビット数を増加させる。ここで、仮にゲインが 1 倍、4 倍、16 倍のそれぞれの場合のランダムノイズの  $\sigma$  をそれぞれ順に、 $\sigma_1$ 、 $\sigma_2$ 、 $\sigma_3$  とする。典型的には、ゲインが 1 倍の場合には、2 回目以降の A/D 変換のビット数を 3 ビットとする。典型的には、ゲインが 4 倍の場合には、2 回目以降の A/D 変換のビット数を 4 ビットとする。典型的には、ゲインが 16 倍の場合には、2 回目以降の A/D 変換のビット数を 5 ビットとする。このように、増幅器 103 のゲインの増加に応じて、2 回目以降の A/D 変換のビット数を増加させる。これにより、本実施例の撮像装置は、増幅器のゲインに対応して、ノイズを低減させたデジタル信号を生成することができる。

10

【0075】

なお、本実施例の撮像装置は実施例 2 と組み合わせることも可能である。

【0076】

(実施例 4)

本実施例の撮像装置について、実施例 1 と異なる点を中心に説明する。

【0077】

本実施例の撮像装置は、図 2 に示した画素 11 の構成において、画素 11 は、フォトダイオード 601a の電荷に基づく信号 (A 信号とする) を出力する。さらに画素 11 は、フォトダイオード 601a、601b の電荷を加算して得られる電荷に基づく信号 (A + B 信号) を出力する。A 信号は、複数の光電変換部の一部のみの光電変換部の電荷に基づく第 1 信号である。A + B 信号は、複数の光電変換部の電荷に基づく第 2 信号である。

20

【0078】

本実施例の撮像装置は A 信号の A/D 変換のビット数を A + B 信号の A/D 変換のビット数よりも少なくする。具体的には、A 信号の A/D 変換のビット数を、A + B 信号の A/D 変換のビット数よりも、下位の 1 ビット分少なくする。

【0079】

また、本実施例では N 信号の A/D 変換のビット数についても、A + B 信号の A/D 変換のビット数よりも少なくする。具体的には、N 信号の A/D 変換のビット数を、A + B 信号の A/D 変換のビット数よりも、上位の 2 ビット分少なくする。

30

【0080】

図 9 は、本実施例の撮像装置の動作を示したタイミング図である。図 9 に示した、650、655、660 は、図 2 に示した各制御線と対応する。

【0081】

時刻  $t_{102}$  に、垂直走査回路 101 は制御線 660 の電圧を High レベルから Low レベルに変化させる。これにより、FD 部 605 のリセットが解除され、ノイズ信号 (N 信号とする) が信号線 201 に出力される。

【0082】

時刻  $t_{103}$  から時刻  $t_{107}$  の期間、ADC 107 は N 信号の A/D 変換を行う。時刻  $t_{103}$  から時刻  $t_{104}$  までの期間に、N 信号の 1 回目の A/D 変換が A ビットで行われる (NAD1)。

40

【0083】

2 回目以降の N 信号の A/D 変換は、A ビットよりも少ない、B ビットで行われる。この B ビットの A/D 変換を 3 回繰り返す (NAD2 ~ 4)。

【0084】

NAD2 ~ 4 で得られたデジタル信号を平均化した信号と、NAD1 で得られたデジタル信号とを用いて、N 信号に対応するデジタル信号 DN が得られる。

【0085】

50

時刻  $t_{108}$  に、垂直走査回路 101 は、制御線 650 の電圧を High レベルとする。そして、時刻  $t_{109}$  に、垂直走査回路 101 は、制御線 650 の電圧を Low レベルとする。これにより、フォトダイオード 601a の電荷が FD 部 605 に転送される。これにより、増幅トランジスタ 607 は、フォトダイオード 601a の電荷に対応する信号である A 信号を信号線 201 に出力する。

【0086】

時刻  $t_{110}$  から時刻  $t_{114}$  の期間、ADC 107 は A 信号の AD 変換を行う。時刻  $t_{110}$  から時刻  $t_{111}$  までの期間に、A 信号の 1 回目の AD 変換が C ビットで行われる (SAD1\_\_A)。C ビットは、A ビットよりも多いビット数である。

【0087】

2 回目以降の A 信号の AD 変換は、C ビットよりも少ない、D ビットで行われる。この D ビットの AD 変換を 3 回繰り返す (SAD2\_\_A ~ 4\_\_A)。この D ビットは、B ビットよりも多いビット数である。

【0088】

SAD2\_\_A ~ 4\_\_A で得られたデジタル信号を平均化した信号と、SAD1\_\_A で得られたデジタル信号とを用いて、A 信号に対応するデジタル信号 DA が得られる。

【0089】

FD 部 605 には、時刻  $t_{115}$  よりも前にフォトダイオード 601a から転送された電荷が保持されている。

【0090】

時刻  $t_{115}$  に、垂直走査回路 101 は、制御線 650、制御線 655 の電圧を High レベルとする。そして、時刻  $t_{116}$  に、垂直走査回路 101 は、制御線 650、制御線 655 の電圧を Low レベルとする。これによって、時刻  $t_{109}$  から時刻  $t_{116}$  までの期間にフォトダイオード 601a に蓄積された電荷と、時刻  $t_{101}$  以前から時刻  $t_{116}$  までの期間にフォトダイオード 601b に蓄積された電荷とが FD 部 605 に転送される。これにより、FD 部 605 では、フォトダイオード 601a、601b のそれぞれの電荷が加算される。増幅トランジスタ 607 は、フォトダイオード 601a、601b のそれぞれの電荷を加算した電荷に対応する信号である A + B 信号を信号線 201 に出力する。

【0091】

時刻  $t_{117}$  から時刻  $t_{121}$  の期間、ADC 107 は A + B 信号の AD 変換を行う。時刻  $t_{117}$  から時刻  $t_{118}$  までの期間に、A + B 信号の 1 回目の AD 変換が E ビットで行われる (SAD1\_\_B)。E ビットは、C ビットよりも多いビット数である。

【0092】

2 回目以降の A 信号の AD 変換は、E ビットよりも少ない、F ビットで行われる。この F ビットの AD 変換を 3 回繰り返す (SAD2\_\_B ~ 4\_\_B)。この F ビットは、B ビットよりも多いビット数である。

【0093】

SAD2\_\_B ~ 4\_\_B で得られたデジタル信号を平均化した信号と、SAD1\_\_B で得られたデジタル信号とを用いて、A + B 信号に対応するデジタル信号 DAB が得られる。

【0094】

N 信号、A 信号、A + B 信号のそれぞれの信号が取り得る最大振幅は、N 信号最大振幅 < A 信号最大振幅 < A + B 信号最大振幅の関係となる。この関係に応じて、本実施例の撮像装置の ADC は、各信号の 1 回目の AD 変換のビット数と、2 回目以降の AD 変換のビット数をそれぞれ変更する。

【0095】

本実施例の AD 変換のビット数を整理する。

NAD1 : A ビット

NAD2 ~ 4 : B ビット

SAD1\_\_A : C ビット

10

20

30

40

50

SAD2\_\_A ~ 4\_\_A : Dビット

SAD1\_\_B : Eビット

SAD2\_\_B ~ 4\_\_B : Fビット

【0096】

ビット数の関係は次のようになる。各信号の1回目のAD変換のビット数の関係は $A < C < E$ となる。また、各信号の2回目以降のAD変換のビット数の関係は、 $B < D < F$ となる。典型的には、FビットはAビットよりも小さいビット数となる。したがって、 $B < D < F < A < C < E$ の関係となる。

【0097】

図10は、本実施例のA信号のAD変換におけるADC107の動作を示した図である。実施例1のAD変換動作と異なるのは、ビット数をA+B信号のAD変換に比べて少なくしているため、スイッチS1-0、S2-0の接続先が電圧VRLに固定化されている点である。その他の点は、実施例1のAD変換動作と同様である。

10

【0098】

これにより、本実施例の撮像装置は、ノイズの少ないデジタル信号の生成と、1つの信号に対して行う複数回のAD変換に要する期間の短縮とを行うことができる。

【0099】

なお、本実施例ではA信号のAD変換のビット数をA+B信号のAD変換のビット数よりも少なくしていた。A信号の分解能を高めたい場合には、A信号のビット数を、A+B信号のビット数よりも多くするようにしてもよい。図2の画素11は先述したように1つのマイクロレンズに対して、フォトダイオード601a、601bが設けられている。したがって、A信号と、A+B信号からA信号を引いて得られるB信号とを用いて、位相差検出方式の焦点検出を行うことができる。この焦点検出の精度を高めたい場合には、A信号の分解能をA+B信号に比べて高めることができる。この場合には、A信号のビット数を、A+B信号のビット数よりも多くするようにしてもよい。この場合におけるビット数の関係は、 $A < E < C$ となる。

20

【0100】

また、別の例として、焦点検出を行うためにA+B信号からA信号を差し引いたB信号を得るが、A信号とB信号との分解能が揃っていることが好ましい。この観点で言えば、A信号とA+B信号のAD変換のビット数を同じとしてもよい。この場合におけるビット数の関係は、 $A < C = E$ となる。したがって、本実施例が包含するビット数の関係は、 $A < C = E$ 、 $A < E < C$ となる。

30

【0101】

(実施例5)

実施例1~4の撮像装置は、1つの半導体基板に形成された撮像装置に限定されるものではなく、積層型の撮像装置にも適用可能である。

【0102】

以下に述べる実施例は、積層型の撮像装置に関する。

【0103】

(撮像装置の全体構成)

図11は、本実施例の撮像装置が備える、第1チップ1、第2チップ5を示した図である。第1チップ1は、複数行および複数列に渡って画素11が配された画素アレイを備える画素チップである。また、第2チップ5は、複数行および複数列に渡って、信号処理回路21が配された回路チップである。なお、ここでは画素11と信号処理回路21のみを図示しているが、他に画素11を制御する制御線、画素11が出力する信号を伝送する信号線が適宜、第1チップ1に配される。また、垂直走査回路、タイミングジェネレータ等の駆動回路が適宜、第1チップ1あるいは第2チップ5に配される。

40

【0104】

(画素アレイ内の画素配置)

図12は、第1チップ1が備える画素アレイを示した図である。本実施例の画素アレイ

50

の画素 1 1 は、有効画素、オブティカルブラック画素（OB 画素）、リファレンス画素を有する。各画素の構成については後述する。画素アレイは、有効画素領域 8 1 0、水平 OB 画素領域 8 1 2 A、垂直 OB 画素領域 8 1 2 B、リファレンス画素領域 8 1 5 を有する。

【0105】

垂直 OB 画素領域 8 1 2 B はリファレンス画素領域 8 1 5 と有効画素領域 8 1 0 の間に配されている。水平 OB 画素領域 8 1 2 A は、有効画素領域 8 1 0 の一方の端部の外側に配されている。水平 OB 画素領域 8 1 2 A と、垂直 OB 画素領域 8 1 2 B とを組み合わせた OB 画素領域が、有効画素領域 8 1 0 を L 字型に囲むように配されているともいえる。

【0106】

（平面視における、画素と信号処理回路の配置関係）

図 1 3 は、図 1 2 において、領域 8 2 0 として示した部分に関する、平面視における、第 1 チップ 1 が備える画素 1 1 と、第 2 チップ 5 が備える信号処理回路 2 1（A）～（C）のレイアウトを示した図である。以下、信号処理回路 2 1（A）～（C）を区別せずに表記する場合には、単に信号処理回路 2 1 とする。

【0107】

画素 1 1 は、有効画素 1 3 を有する。図 1 3 では、有効画素 1 3 が備えるカラーフィルタの色も合わせて示している。図 1 3 に示した R は、有効画素 1 3 が赤（R）のカラーフィルタを備えることを示している。以下、同じく G、B はそれぞれ、有効画素 1 3 が緑（G）、青（B）のカラーフィルタを備えることを示している。

【0108】

別の言い方をすれば、第 1 色に対応する波長の光が入射する画素と、第 2 色に対応する波長の光が入射する画素とを備えるとも言える。

【0109】

典型的には、赤色に対応する波長は 600～830 nm である。また、緑色に対応する波長は、500～600 nm である。また、青色に対応する波長は 360～500 nm である。

【0110】

また、カラーフィルタの色は、カラーフィルタの透過率がピークとなるピーク波長で区別してもよい。典型的には、青色のカラーフィルタの透過率のピーク波長は約 450 nm である。また、緑色のカラーフィルタの透過率のピーク波長は約 540 nm である。また、赤色のカラーフィルタの透過率のピーク波長は約 630 nm である。

【0111】

1 つの有効画素 1 3 のカラーフィルタは、単一のカラーフィルタ部材によって構成されていてもよい。また、1 つの画素 1 1 のカラーフィルタは、カラーフィルタが設けられる領域の一部と他の一部とで、実質的に同一色とみなせる範囲で、互いに組成が異なるカラーフィルタ部材が設けられた例であってもよい。

【0112】

また、図 1 3 では、「A」の符号を付した画素を記載している。「A」を付した画素は、遮光膜によって遮光されたオブティカルブラック画素 1 5（以下、OB 画素 1 5）である。有効画素 1 3 は、光電変換によって生成した電荷を蓄積する電荷生成部である第 1 導電型の半導体領域を備える。OB 画素 1 5 は、有効画素 1 3 が備える電荷生成部に対応する、第 1 導電型の半導体領域を備える。OB 画素 1 5 では、この第 1 導電型の半導体領域は遮光されている。

【0113】

また、図 1 3 では、「N」の符号を付した画素を記載している。「N」を付した画素は、リファレンス画素 1 7 である。リファレンス画素 1 7 は、有効画素 1 3 と OB 画素 1 5 は備える、第 1 導電型の半導体領域を有しない画素である。

【0114】

1 つの信号処理回路 2 1 は、複数行および複数列に渡って配された画素 1 1 と平面視において重なるように配置されている。ここでは、1 つの信号処理回路 2 1 は、4 行 1 2 列

10

20

30

40

50

の画素 1 1 に、平面視において重なるように配置されている。特に、1 つの信号処理回路 2 1 は、OB 画素 1 5 と重なるように配されている。また、1 つの信号処理回路 2 1 は、有効画素 1 3、リファレンス画素 1 7 と重なるように配されている。後述するが、信号処理回路 2 1 は、マルチプレックス回路、AD 変換回路を有する。したがって、1 つの信号処理回路 2 1 のマルチプレックス回路と AD 変換回路の一方、あるいは両方が、画素 1 1 に重なるように配置されていると言える。

【0115】

また、後述するが、本実施例の AD 変換回路は、1 列の画素 1 1 の信号を AD 変換する。例えば、信号処理回路 2 1 (A) は 1 列目の画素 1 1、すなわち OB 画素 1 5、リファレンス画素 1 7 の信号をデジタル信号に変換し、有効画素 1 3 の信号の AD 変換を行わない。

10

【0116】

信号処理回路 2 1 (B) は 2 列目の画素 1 1、すなわち有効画素 1 3、OB 画素 1 5、リファレンス画素 1 7 の信号をデジタル信号に変換する。

【0117】

信号処理回路 2 1 (C) は 3 列目の画素 1 1、すなわち有効画素 1 3、OB 画素 1 5、リファレンス画素 1 7 の信号をデジタル信号に変換する。

【0118】

なお、この配置は一例であって、本実施例では、1 つの信号処理回路 2 1 に対し、複数行、複数列の画素 1 1 が配されている形態を採用することができる。

20

【0119】

(撮像装置の等価回路)

図 1 4 は、撮像装置の等価回路を示している。図 1 4 では、図 1 1 に示した画素 1 1 のうち、1 列目、2 列目、N 列目の画素 1 1 を示している。第 1 チップ 1 の画素 1 1 は、1 列の画素 1 1 に対し、4 本の信号線 2 0 1 (A) ~ (D) を有する。なお、以下では信号線 2 0 1 (A) ~ (D) を区別なく表記する場合には、単に信号線 2 0 1 と表記する。1 行目の画素 1 1 は信号線 2 0 1 (A) に接続されている。以下、同様に 2 ~ 4 行目の画素 1 1 は、順に信号線 2 0 1 (B) ~ (D) に接続されている。信号線 2 0 1 (A) ~ (D) は、他の列においても、1 列目の画素 1 1 と同じように配されている。

【0120】

1 列の画素 1 1 に対応する信号線 2 0 1 (A) ~ (D) のそれぞれは、接続部 3 0 3 を介して、信号処理回路 2 1 が備えるマルチプレックス回路 (以下、MPX 回路と表記する) 3 5 0 (A) に接続されている。また、信号処理回路 2 1 は、AD 変換回路 (以下、明細書および図面にて ADC と表記する) 3 6 0 (A)、3 6 0 (B) を有する。MPX 回路 3 5 0 (A) は、信号線 2 0 1 (A) ~ (D) に接続される入力部と、ADC 3 6 0 (A) に接続される出力部とを備える第 1 選択部である。

30

【0121】

ADC 3 6 0 は、実施例 1 ~ 4 で説明した ADC 1 0 7 を適用することができる。

【0122】

別の列の画素 1 1 に対応する信号線 2 0 1 (A) ~ (D) のそれぞれは、接続部 3 0 3 を介して、信号処理回路 2 1 が備える MPX 回路 3 5 0 (B) に接続されている。MPX 回路 3 5 0 (B) は、信号線 2 0 1 (A) ~ (D) に接続される入力部と、ADC 3 6 0 (B) に接続される出力部とを備える第 2 選択部である。

40

【0123】

図 1 4 に示しているように、ADC 3 6 0 に接続される画素 1 1 は全て、同じ列に属している。本実施例では、ADC 3 6 0 (A) に接続される画素 1 1 は同じ 1 列に属する OB 画素 1 5 とリファレンス画素 1 7 である。同じく、ADC 3 6 0 (B) に接続される全ての画素 1 1 もまた、同じ列に属する OB 画素 1 5、リファレンス画素 1 7 である。

【0124】

ADC 3 6 0 (A)、(B) は、図 1 2 に示した水平 OB 画素領域 8 1 2 A に配される

50

OB画素15の信号をAD変換する。さらに、ADC360(A)、360(B)は、図12に示した垂直OB画素領域812Bに配されるOB画素15の信号をAD変換する。

【0125】

ADC360(C)に接続される全ての画素11もまた、同じ1列に属する。本実施例では、ADC360(C)に接続される画素11は有効画素13、OB画素15、リファレンス画素17である。ADC360(C)は、図12に示した水平OB画素領域812Aに配されるOB画素15の信号のAD変換を行わない。ADC360(C)は、有効画素領域810に配された有効画素13、垂直OB画素領域812Bに配されたOB画素15、リファレンス画素領域815に配されたリファレンス画素17の信号をAD変換する。

【0126】

また、図14に示したように、第2チップ5は電流源310を有する。電流源310は、接続部303を介して、各列の信号線201に電流を供給する。

【0127】

図14に示したように、画素アレイの1列目には水平OB画素領域812AのOB画素15と、リファレンス画素17が配されている。1列目のOB画素15が出力する信号を、ADC360(A)がAD変換する。ここで、図13の配置を参照する。図13では、信号処理回路21と画素との平面視における配置の関係を示した。図13に示した信号処理回路21(A)は、図14に示したADC360(A)を有する。すなわち、水平OB画素領域812AのOB画素15と、当該OB画素15の信号をAD変換するADC360(A)は、平面視において重なる位置に配されていると言える。さらに、水平OB画素領域812AのOB画素15と、当該OB画素15の信号をAD変換するADC360(B)もまた、平面視において重なる位置に配されていると言える。なお、本実施例では、ADC360(A)、(B)は、さらに、9~12列目の有効画素13とも、平面視において重なる例を示している。

【0128】

(ADCの配列)

図15は、ADC360を有する信号処理回路21の配列の一部と、画素アレイの画素配列の一部とを示す図である。図12で付した符号と同じ部材については、図12で付した符号と同じ符号を図15においても付している。

【0129】

信号処理回路21(A)は、1列目の画素11と接続される。具体的には、1列目の画素11が接続される信号線201が、接続部303(A)に接続される。この接続部303(A)は、接続配線170(A)を介して、信号処理回路21の入力部160(A)に接続される。このようにして、1列目の画素11と、信号処理回路21(A)が接続される。

【0130】

同じく、信号処理回路21(B)は、2列目の画素11と接続される。また信号処理回路21(C)は、3列目の画素11と接続される。また信号処理回路21(D)は、4列目の画素11と接続される。

【0131】

1列目の画素11である第1画素群から、2列目の画素11である第2画素群への方向は、第1方向である。つまり第1方向とは、列番号が進む方向を指す。一方、1列目の画素11に接続される信号処理回路21(A)から、2列目の画素11に接続される信号処理回路21(B)への方向は、第1方向に交差する方向である第2方向である。この信号処理回路21の並び方は、水平OB画素領域812AのOB画素15の信号をAD変換する信号処理回路21に適用することができる。同じく、この信号処理回路21の並び方は、有効画素13の信号をAD変換する信号処理回路21に適用することもできる。

【0132】

本実施例では、水平OB画素領域812Aは複数列のOB画素15を有する。仮に、この複数列をX列であるとすれば、水平OB画素領域812AのOB画素15に接続される

10

20

30

40

50

信号処理回路 2 1 は X 行設けられることとなる。水平 O B 画素領域 8 1 2 A は、図 1 2、図 1 5 で示したように、複数行の O B 画素 1 5 を有する。したがって、水平 O B 画素領域 8 1 2 A の O B 画素 1 5 に接続される信号処理回路 2 1 は、水平 O B 画素領域 8 1 2 A に、平面視において重なっている。別の見方をすれば、水平 O B 画素領域 8 1 2 A の O B 画素 1 5 に接続される M P X 回路 3 5 0 は、水平 O B 画素領域 8 1 2 A に、平面視において重なっている。別の見方をすれば、水平 O B 画素領域 8 1 2 A の O B 画素 1 5 を A D 変換する A D C 3 6 0 は、水平 O B 画素領域 8 1 2 A に、平面視において重なっている。

#### 【 0 1 3 3 】

( 撮像装置の接続部周りの断面構造 )

図 1 6 は、図 1 4 に示した撮像装置の断面構造を示した図である。図 1 6 では、1 列目の 4 行の O B 画素 1 5 と、5 列目の 4 行のリファレンス画素 1 7 とを中心に記載している。図 1 1 に示した第 1 チップ 1 と第 2 チップ 5 は、接合面 3 0 0 で接合されている。

10

#### 【 0 1 3 4 】

本実施例の撮像装置は、裏面照射型の撮像装置である。O B 画素 1 5 は、不図示の光電変換部を備える。この光電変換部と、接合面 3 0 0 との間に信号線 2 0 1 が設けられている。信号線 2 0 1 は、画素 1 1 の所定の方向 ( 図では列に沿った方向 ) に延在している。信号線 2 0 1 は、接続配線 4 0 1 を介して接続部 3 0 3 に接続される。また、M P X 回路 3 5 0 ( A ) は、接続配線 4 0 5 を介して接続部 3 0 3 に接続される。

#### 【 0 1 3 5 】

図 1 6 では、図 1 5 に示した接続配線 1 7 0 の図示を省略しているが、図 1 6 に示した M P X 回路 3 5 0 ( A ) に接続配線 1 7 0 が内包されていてもよい。また、別の例として、接続配線 1 7 0 が、接続配線 4 0 5 と M P X 回路 3 5 0 ( A ) との間の配線層に形成されていてもよい。

20

#### 【 0 1 3 6 】

接続配線 4 0 1、接続配線 4 0 5、接続部 3 0 3 は、平面視において重なるように配置されている。信号処理回路 2 1 と信号線 2 0 1 との接続は、接続配線 4 0 5 に対して、平面視において重なる位置に接続配線 4 0 1 を形成することによって行うことができるとも言える。そして、所定の方向に沿って延在する信号線 2 0 1 と接続配線 4 0 1 とを接続することによって、信号線 2 0 1 と、M P X 回路 3 5 0 とを接続することができる。信号線 2 0 1 が所定の方向に延在していることにより、接続配線 4 0 1 と信号線 2 0 1 との接続を容易にすることができる。

30

#### 【 0 1 3 7 】

( 画素の等価回路 )

図 1 7 ( a ) は、本実施例の有効画素 1 3、O B 画素 1 5 の等価回路図である。有効画素 1 3、O B 画素 1 5 は、光電変換部であるフォトダイオード 6 0 1 a、6 0 1 b を有する。有効画素 1 3 のフォトダイオード 6 0 1 a、6 0 1 b には、不図示の 1 つのマイクロレンズと、図 1 3 に示した配列に従って設けられたカラーフィルタを透過した光が入射する。つまり、フォトダイオード 6 0 1 a に入射する光と、フォトダイオード 6 0 1 b に入射する光の波長は実質的に同じである。一方、O B 画素 1 5 のフォトダイオード 6 0 1 a、6 0 1 b は遮光されている。

40

#### 【 0 1 3 8 】

フォトダイオード 6 0 1 a は、転送トランジスタ 6 0 3 a を介して、フローティングゲイション部 ( 以下、F D 部 ) 6 0 5 に接続されている。また、転送トランジスタ 6 0 3 a のゲートは、制御線 6 5 0 を介して、不図示の垂直走査回路に接続されている。

#### 【 0 1 3 9 】

フォトダイオード 6 0 1 b は、転送トランジスタ 6 0 3 b を介して、フローティングゲイション部 ( 以下、F D 部 ) 6 0 5 に接続されている。また、転送トランジスタ 6 0 3 b のゲートは、制御線 6 5 5 を介して、不図示の垂直走査回路に接続されている。

#### 【 0 1 4 0 】

F D 部 6 0 5 は、リセットトランジスタ 6 0 6 と、増幅トランジスタ 6 0 7 のゲートに

50

接続されている。

【 0 1 4 1 】

リセットトランジスタ 6 0 6 および増幅トランジスタ 6 0 7 は、電源電圧  $V_{dd}$  が供給される。リセットトランジスタ 6 0 6 のゲートは、制御線 6 6 0 を介して、不図示の垂直走査回路に接続されている。

【 0 1 4 2 】

増幅トランジスタ 6 0 7 は、選択トランジスタ 6 0 8 に接続されている。選択トランジスタ 6 0 8 のゲートは、制御線 6 6 5 を介して、不図示の垂直走査回路に接続されている。

【 0 1 4 3 】

選択トランジスタ 6 0 8 は、信号線 2 0 1 に接続されている。

10

【 0 1 4 4 】

図 1 7 ( b ) は、リファレンス画素 1 7 の等価回路である。リファレンス画素 1 7 の等価回路は、図 1 7 ( a ) の等価回路に対し、フォトダイオード 6 0 1 a、6 0 1 b の代わりに容量 6 0 1 0 a、6 0 1 0 b が設けられた構成である。すなわち、リファレンス画素 1 7 は光電変換部を有していない。

【 0 1 4 5 】

( 撮像装置の動作 )

M P X 回路 3 5 0 ( A ) は、1 列の画素 1 1 に対応して配される複数の信号線 2 0 1 ( A ) ~ ( D ) の信号を順次、A D C 3 6 0 ( A ) に出力する。図 1 8 では、M P X 回路 3 5 0 ( A ) が出力する信号を、R o w \_ n と示している。n は、M P X 回路 3 5 0 ( A ) が A D C 3 6 0 ( A ) に出力する信号に対応する画素行を示している。つまり、R o w \_ 1 が H i g h レベルであれば、M P X 回路 3 5 0 ( A ) は A D C 3 6 0 ( A ) に 1 行目の画素 1 1 が信号線 2 0 1 ( A ) に出力した信号を出力していることを示す。

20

【 0 1 4 6 】

( 動作 : 各行の画素 1 1 からの N 信号の読み出し )

時刻  $t_1$  に、垂直走査回路は 1 行目の画素 1 1 に出力する信号 P S E L ( 1 ) を H i g h レベルにする。

【 0 1 4 7 】

時刻  $t_2$  に、垂直走査回路は 2 行目の画素 1 1 に出力する信号 P S E L ( 1 ) を H i g h レベルにする。

30

【 0 1 4 8 】

時刻  $t_3$  に、垂直走査回路は 3 行目の画素 1 1 に出力する信号 P S E L ( 1 ) を H i g h レベルにする。

【 0 1 4 9 】

以降、同様に垂直走査回路は、4 行目の画素 1 1 に出力する信号 P S E L ( 4 ) を H i g h レベルとする。

【 0 1 5 0 】

時刻  $t_5$  に、垂直走査回路は 1 行目の画素 1 1 に出力する信号 P R E S を H i g h レベルから L o w レベルにする。これにより、N 信号が信号線 2 0 1 ( A ) に出力される。

【 0 1 5 1 】

時刻  $t_6$  に、垂直走査回路は 2 行目の画素 1 1 に出力する信号 P R E S を H i g h レベルから L o w レベルにする。これにより、N 信号が信号線 2 0 1 ( B ) に出力される。

40

【 0 1 5 2 】

時刻  $t_7$  に、垂直走査回路は 3 行目の画素 1 1 に出力する信号 P R E S を H i g h レベルから L o w レベルにする。これにより、N 信号が信号線 2 0 1 ( C ) に出力される。

【 0 1 5 3 】

時刻  $t_8$  に、垂直走査回路は 4 行目の画素 1 1 に出力する信号 P R E S を H i g h レベルから L o w レベルにする。これにより、N 信号が信号線 2 0 1 ( D ) に出力される。

【 0 1 5 4 】

( 動作 : 各行の画素 1 1 の N 信号の A D 変換 )

50

以下、N信号のAD変換について説明する。図18では、実施例4で説明した、N信号の複数回のAD変換を1つのAD変換ブロックとして纏めて示している。

【0155】

時刻t9に、MPX回路350(A)は信号線201(A)の信号、すなわち1行目の画素11のN信号をADC360(A)に出力する。ADC360(A)は、1行目の画素11のN信号をデジタル信号に変換する。

【0156】

時刻t10に、MPX回路350(A)は信号線201(B)の信号、すなわち2行目の画素11のN信号をADC360(A)に出力する。ADC360(A)は、2行目の画素11のN信号をデジタル信号に変換する。

10

【0157】

時刻t11に、MPX回路350(A)は信号線201(C)の信号、すなわち3行目の画素11のN信号をADC360(A)に出力する。ADC360(A)は、3行目の画素11のN信号をデジタル信号に変換する。

【0158】

時刻t12に、MPX回路350(A)は信号線201(D)の信号、すなわち4行目の画素11のN信号をADC360(A)に出力する。ADC360(A)は、4行目の画素11のN信号をデジタル信号に変換する。

【0159】

(動作：各行の画素11のA+B信号の読出し)

20

時刻t10に、垂直走査回路は、1行目の画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、フォトダイオード601a、601bが蓄積した電荷が、転送トランジスタ603a、603bを介してFD部605に転送される。FD部605では、フォトダイオード601a、601bのそれぞれの電荷が加算される。これにより、FD部605は、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応する電圧となる。仮に、フォトダイオード601aのみの電荷によるFD部605の電圧に基づいて増幅トランジスタ607が出力する信号をA信号とする。また、仮に、フォトダイオード601bのみの電荷によるFD部605の電圧に基づいて増幅トランジスタ607が出力する信号をB信号とする。この表記に従うと、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応するFD部605の電圧に基づいて増幅トランジスタ607が出力する信号はA信号とB信号を加算したA+B信号とみなすことができる。各列の信号線201(A)には、1行目の画素11のA+B信号が出力されている。

30

【0160】

時刻t11に、垂直走査回路は、2行目の画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、フォトダイオード601a、601bが蓄積した電荷が、転送トランジスタ603a、603bを介してFD部605に転送される。これにより、信号線201(B)には、2行目の画素11のA+B信号が出力される。

【0161】

時刻t12に、垂直走査回路は、3行目の画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、フォトダイオード601a、601bが蓄積した電荷が、転送トランジスタ603a、603bを介してFD部605に転送される。これにより、信号線201(C)には、3行目の画素11のA+B信号が出力される。

40

【0162】

時刻t13に、垂直走査回路は、4行目の画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、フォトダイオード601a、601bが蓄積した電荷が、転送トランジスタ603a、603bを介してFD部605に転送される。これにより、信号線201(D)には、4行目の画素11のA+B信号が出力される。

【0163】

(動作：各行の画素11のA+B信号のAD変換)

50

以下、A + B 信号の A D 変換について説明する。図 1 8 では、実施例 1 ~ 4 で説明した、A + B 信号の複数回の A D 変換を 1 つの A D 変換ブロックとして纏めて示している。

【 0 1 6 4 】

時刻 t 1 9 に、M P X 回路 3 5 0 ( A ) は信号線 2 0 1 ( A ) の信号、すなわち 1 行目の画素 1 1 の A + B 信号を A D C 3 6 0 ( A ) に出力する。A D C 3 6 0 ( A ) は、1 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 5 】

時刻 t 2 0 に、M P X 回路 3 5 0 ( A ) は信号線 2 0 1 ( B ) の信号、すなわち 2 行目の画素 1 1 の A + B 信号を A D C 3 6 0 ( A ) に出力する。A D C 3 6 0 ( A ) は、2 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 6 】

時刻 t 2 1 に、M P X 回路 3 5 0 ( A ) は信号線 2 0 1 ( C ) の信号、すなわち 3 行目の画素 1 1 の A + B 信号を A D C 3 6 0 ( A ) に出力する。A D C 3 6 0 ( A ) は、3 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 7 】

時刻 t 2 2 に、M P X 回路 3 5 0 ( A ) は信号線 2 0 1 ( D ) の信号、すなわち 4 行目の画素 1 1 の A + B 信号を A D C 3 6 0 ( A ) に出力する。A D C 3 6 0 ( A ) は、4 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 8 】

その後、垂直走査回路は 5 行目の画素 1 1 の信号 P S E L ( 5 ) を H i g h レベルとする。以降、同様の動作が繰り返される。

【 0 1 6 9 】

このようにして、本実施例の撮像装置は、各画素の N 信号に基づくデジタル信号と、各画素の A + B 信号に基づくデジタル信号とを得ることができる。つまり、有効画素 1 3 の N 信号に基づくデジタル信号と、A + B 信号に基づくデジタル信号を得る。また、O B 画素 1 5 の N 信号に基づくデジタル信号と、A + B 信号に基づくデジタル信号を得る。また、リファレンス画素 1 7 の N 信号に基づくデジタル信号と、A + B 信号に基づくデジタル信号とを得る。なお、O B 画素 1 5 の A + B 信号は、F D 部 6 0 5 の暗電流成分と、遮光されたフォトダイオード 6 0 1 a、6 0 1 b の電荷（主として暗電流成分）に基づく信号である。また、リファレンス画素 1 7 の A + B 信号は、主として F D 部 6 0 5 の暗電流成分に基づく信号である。

【 0 1 7 0 】

その後、複数の A D C 3 6 0 のそれぞれが生成したデジタル信号が、不図示の転送線を介して、デジタル信号処理回路に出力される。このデジタル信号処理回路は、O B 画素 1 5 の信号に基づくデジタル信号、リファレンス画素 1 7 の信号に基づくデジタル信号を用いて、有効画素 1 3 の信号に基づくデジタル信号に含まれるノイズ成分を低減する補正処理を行う。

【 0 1 7 1 】

( 本実施例の効果 )

本実施例の撮像装置では、図 1 5 を参照しながら説明したように、水平 O B 画素領域 8 1 2 A に接続される信号処理回路 2 1 が、水平 O B 画素領域 8 1 2 A に、平面視において重なっている。

【 0 1 7 2 】

もし仮に、水平 O B 画素領域 8 1 2 A に接続される信号処理回路 2 1 が、水平 O B 画素領域 8 1 2 A と平面視において重なる領域を有さず、有効画素領域 8 1 0 に重なったとする。この場合には、有効画素 1 3 の信号が伝送されている信号線 2 0 1 と、水平 O B 画素領域 8 1 2 A の信号が入力される信号処理回路 2 1 が重なることとなる。この場合には、O B 画素 1 5 の信号が入力された接続配線 1 7 0 ( 図 1 5 参照 ) と、有効画素 1 3 の信号が入力された信号線 2 0 1 との間でクロストークが生じる可能性が有る。これにより、O B 画素 1 5 の信号と有効画素 1 3 の信号の信号精度の低下が生じうる。

10

20

30

40

50

## 【 0 1 7 3 】

一方、本実施例では、水平OB画素領域812Aに接続される信号処理回路21は、水平OB画素領域812Aと平面視において重なる領域を有する。これにより、OB画素15の信号が入力された接続配線170と、有効画素13の信号が入力された信号線201との間のクロストークを生じにくくすることができる。これにより、OB画素15の信号と有効画素13の信号の信号精度の低下が生じにくくなる。

## 【 0 1 7 4 】

(撮像装置の動作；焦点検出+撮像モード)

図19の動作は、撮像装置が焦点検出用の信号と、撮像用の信号を出力する動作である。

## 【 0 1 7 5 】

以下、図18に示した動作と異なる点を中心に説明する。

## 【 0 1 7 6 】

(動作：各行の画素11からのN信号の読出し)

図18に示した動作と同じである。

## 【 0 1 7 7 】

(動作：各行の画素11のN信号のAD変換)

図18に示した動作と同じである。

## 【 0 1 7 8 】

(動作：各行の画素11に対応するA信号の読み出し)

時刻t9に、垂直走査回路は、1行目の画素11に出力する信号PTXAをHighレベルとする。これにより、フォトダイオード601aが蓄積した電荷が、転送トランジスタ603aを介してFD部605に転送される。これにより、FD部605は、フォトダイオード601aの電荷に対応する電圧となる。各列の信号線201(A)には、1行目の画素11のA信号が出力される。このA信号は、複数のフォトダイオードのうちの一部のみのフォトダイオードの信号に基づく第1信号である。この第1信号は、焦点検出用の信号として用いることができる。

## 【 0 1 7 9 】

時刻t10に、垂直走査回路は、2行目の画素11に出力する信号PTXAをHighレベルとする。これにより、各列の信号線201(B)には、2行目の画素11のA信号が出力される。

## 【 0 1 8 0 】

時刻t11に、垂直走査回路は、3行目の画素11に出力する信号PTXAをHighレベルとする。これにより、各列の信号線201(C)には、3行目の画素11のA信号が出力される。

## 【 0 1 8 1 】

時刻t12に、垂直走査回路は、4行目の画素11に出力する信号PTXAをHighレベルとする。これにより、各列の信号線201(D)には、4行目の画素11のA信号が出力される。

## 【 0 1 8 2 】

(動作：各行の画素11に対応するA信号のAD変換)

以下、A信号のAD変換について説明する。図19では、実施例4で説明した、A信号の複数回のAD変換を1つのAD変換ブロックとして纏めて示している。

## 【 0 1 8 3 】

時刻t17に、MPX回路350(A)は信号線201(A)の信号、すなわち1行目の画素11のA信号をADC360(A)に出力する。ADC360(A)は、1行目の画素11のA信号をデジタル信号に変換する。

## 【 0 1 8 4 】

時刻t18に、MPX回路350(A)は信号線201(B)の信号、すなわち2行目の画素11のA信号をADC360(A)に出力する。ADC360(A)は、2行目の画素11のA信号をデジタル信号に変換する。

10

20

30

40

50

## 【 0 1 8 5 】

時刻  $t_{19}$  に、MPX 回路 350 (A) は信号線 201 (C) の信号、すなわち 3 行目の画素 11 の A 信号を ADC 360 (A) に出力する。ADC 360 (A) は、3 行目の画素 11 の A 信号をデジタル信号に変換する。

## 【 0 1 8 6 】

時刻  $t_{20}$  に、MPX 回路 350 (A) は信号線 201 (D) の信号、すなわち 4 行目の画素 11 の A 信号を ADC 360 (A) に出力する。ADC 360 (A) は、4 行目の画素 11 の A 信号をデジタル信号に変換する。

## 【 0 1 8 7 】

(動作：各行の画素 11 の A + B 信号の読出し)

時刻  $t_{18}$  に、垂直走査回路は、1 行目の画素 11 に出力する信号 PTXA、PTXB を High レベルとする。これにより、フォトダイオード 601a、601b が蓄積した電荷が、転送トランジスタ 603a、603b を介して FD 部 605 に転送される。これにより、信号線 201 (A) には、1 行目の画素 11 の A + B 信号が出力される。

## 【 0 1 8 8 】

時刻  $t_{19}$  に、垂直走査回路は、2 行目の画素 11 に出力する信号 PTXA、PTXB を High レベルとする。これにより、フォトダイオード 601a、601b が蓄積した電荷が、転送トランジスタ 603a、603b を介して FD 部 605 に転送される。これにより、信号線 201 (B) には、2 行目の画素 11 の A + B 信号が出力される。

## 【 0 1 8 9 】

時刻  $t_{20}$  に、垂直走査回路は、3 行目の画素 11 に出力する信号 PTXA、PTXB を High レベルとする。これにより、フォトダイオード 601a、601b が蓄積した電荷が、転送トランジスタ 603a、603b を介して FD 部 605 に転送される。これにより、信号線 201 (C) には、3 行目の画素 11 の A + B 信号が出力される。

## 【 0 1 9 0 】

時刻  $t_{21}$  に、垂直走査回路は、4 行目の画素 11 に出力する信号 PTXA、PTXB を High レベルとする。これにより、フォトダイオード 601a、601b が蓄積した電荷が、転送トランジスタ 603a、603b を介して FD 部 605 に転送される。これにより、信号線 201 (D) には、4 行目の画素 11 の A + B 信号が出力される。

## 【 0 1 9 1 】

(動作：各行の画素 11 の A + B 信号の AD 変換)

時刻  $t_{26}$  に、MPX 回路 350 (A) は信号線 201 (A) の信号、すなわち 1 行目の画素 11 の A + B 信号を ADC 360 (A) に出力する。ADC 360 (A) は、1 行目の画素 11 の A + B 信号をデジタル信号に変換する。

## 【 0 1 9 2 】

時刻  $t_{27}$  に、MPX 回路 350 (A) は信号線 201 (B) の信号、すなわち 2 行目の画素 11 の A + B 信号を ADC 360 (A) に出力する。ADC 360 (A) は、2 行目の画素 11 の A + B 信号をデジタル信号に変換する。

## 【 0 1 9 3 】

時刻  $t_{28}$  に、MPX 回路 350 (A) は信号線 201 (C) の信号、すなわち 3 行目の画素 11 の A + B 信号を ADC 360 (A) に出力する。ADC 360 (A) は、3 行目の画素 11 の A + B 信号をデジタル信号に変換する。

## 【 0 1 9 4 】

時刻  $t_{29}$  に、MPX 回路 350 (A) は信号線 201 (D) の信号、すなわち 4 行目の画素 11 の A + B 信号を ADC 360 (A) に出力する。ADC 360 (A) は、4 行目の画素 11 の A + B 信号をデジタル信号に変換する。

## 【 0 1 9 5 】

その後、垂直走査回路は 5 行目の画素 11 の信号 PSEL (5) を High レベルとする。以降、同様の動作が繰り返される。

## 【 0 1 9 6 】

10

20

30

40

50

このようにして、本実施例の撮像装置は、各画素のN信号に基づくデジタル信号と、各画素のA信号に基づくデジタル信号と、各画素のA+B信号に基づくデジタル信号とを得ることができる。

【0197】

(本実施例のさらなる効果：図19の動作における、撮像装置が行う並行動作による高速化)

図19に示した動作では、以下のように、複数の動作を並行して行っている。

(1) 1行目の画素11に対応するN信号の読出しと2行目の画素11に対応するN信号の読出しとの並行動作

(2) 1行目の画素11に対応するN信号のAD変換と、2行目の画素11に対応するN信号の読み出しとの並行動作

10

(3) 4行目の画素11に対応するN信号のAD変換と、1行目の画素11に対応するA信号の読み出しとの並行動作

(4) 1行目の画素11に対応するA信号の読出しと、2行目の画素11に対応するA信号の読出しとの並行動作

(5) 1行目の画素11に対応するA信号のAD変換と、2行目の画素11に対応するA信号の読出しとの並行動作

(6) 4行目の画素11に対応するA信号のAD変換と、1行目の画素11に対応するA+B信号の読み出しとの並行動作

(7) 1行目の画素11に対応するA+B信号の読出しと、2行目の画素11に対応するA+B信号の読出しとの並行動作

20

(8) 1行目の画素11に対応するA+B信号のAD変換と、2行目の画素11に対応するA信号の読出しとの並行動作

【0198】

この並行動作により、ADC360(A)が1度のAD変換を終えてから、次のAD変換を行うまでの待機期間を短縮することができる。これにより、全ての画素11が出力する信号のAD変換に要する期間を短縮することができる。よって、撮像装置の高フレームレート化を進展させることができる。

【0199】

本実施例は、この例に限定されるものではない。例えば、1フレーム期間において、第1色のカラーフィルタが配された有効画素13と接続され、第2色のカラーフィルタが配された有効画素13とは接続されないようにすることもできる。R、Gのカラーフィルタが配された1列の有効画素13に注目して説明すると、MPX回路350は、第1色であるRのカラーフィルタを有する有効画素13が接続された信号線201(A)、201(C)をADC360に接続する。一方、当該1フレーム期間において、MPX回路350は、第2色であるGのカラーフィルタを有する有効画素13が接続された信号線201(B)、201(D)をADC360に接続しない。この構成では、ADC360に入力される有効画素13の信号を、1色のみに対応する信号とすることができる。これにより、ADC360のAD変換の補正、AD変換後の補正を簡略にすることができるという効果を得ることができる。

30

40

【0200】

また、本実施例では、1列の画素11に対し、1つの信号処理回路21が対応して設けられる構成としたが、この例に限定されるものではない。1列の画素11に対して、複数の信号処理回路21が設けられてもよい。例えば、信号線201(A)、201(B)に接続される信号処理回路21と、信号線201(C)、201(D)に接続される別の信号処理回路21が設けられていてもよい。また、複数の画素列で、1つの信号処理回路21を共有するようにしてもよい。

【0201】

(実施例6)

図20は、本実施例による撮像システム500の構成を示すブロック図である。本実施

50

例の撮像システム 500 は、上述の各実施例で述べた撮像装置のいずれかの構成を適用した撮像装置 200 を含む。撮像システム 500 の具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図 20 に、上述の各実施例のいずれかの撮像装置を撮像装置 200 として適用したデジタルスチルカメラの構成例を示す。

#### 【0202】

図 20 に例示した撮像システム 500 は、撮像装置 200、被写体の光学像を撮像装置 200 に結像させるレンズ 5020、レンズ 5020 を通過する光量を可変にするための絞り 504、レンズ 5020 の保護のためのバリア 506 を有する。レンズ 5020 及び絞り 504 は、撮像装置 200 に光を集光する光学系である。

#### 【0203】

撮像システム 500 は、また、撮像装置 200 から出力される出力信号の処理を行う信号処理部 5080 を有する。信号処理部 5080 は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。信号処理部 5080 は、撮像装置 200 より出力される出力信号に対して A/D 変換処理を実施する機能を備えていてもよい。この場合、撮像装置 200 の内部には、必ずしも A/D 変換器を有する必要はない。

#### 【0204】

撮像システム 500 は、更に、画像データを一時的に記憶するためのバッファメモリ部 510、外部コンピュータ等と通信するための外部インターフェース部（外部 I/F 部）512 を有する。更に撮像システム 500 は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 514、記録媒体 514 に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I/F 部）516 を有する。なお、記録媒体 514 は、撮像システム 500 に内蔵されていてもよく、着脱可能であってもよい。

#### 【0205】

更に撮像システム 500 は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部 518、撮像装置 200 と信号処理部 5080 に各種タイミング信号を出力するタイミング発生部 520 を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム 500 は、少なくとも撮像装置 200 と、撮像装置 200 から出力された出力信号を処理する信号処理部 5080 とを有すればよい。全体制御・演算部 518 及びタイミング発生部 520 は、撮像装置 200 の制御機能の一部又は全部を実施するように構成してもよい。

#### 【0206】

撮像装置 200 は、画像用信号を信号処理部 5080 に出力する。信号処理部 5080 は、撮像装置 200 から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部 5080 は、画像用信号を用いて、画像を生成する。

#### 【0207】

上述した各実施例の撮像装置による撮像装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

#### 【0208】

（実施例 7）

本実施例の撮像システム及び移動体について、図 21 及び図 22 を用いて説明する。

#### 【0209】

図 21 は、本実施例による撮像システム及び移動体の構成例を示す概略図である。図 22 は、本実施例による撮像システムの動作を示すフロー図である。

#### 【0210】

本実施例では、車載カメラに関する撮像システムの一例を示す。図 21 は、車両システムとこれに搭載される撮像システムの一例を示したものである。撮像システム 701 は、撮像装置 702、画像前処理部 715、集積回路 703、光学系 714 を含む。光学系 714 は、撮像装置 702 に被写体の光学像を結像する。撮像装置 702 は、光学系 714 により結像された被写体の光学像を電気信号に変換する。撮像装置 702 は、上述の各実施例のいずれかの撮像装置である。画像前処理部 715 は、撮像装置 702 から出力され

10

20

30

40

50

た信号に対して所定の信号処理を行う。画像前処理部 715 の機能は、撮像装置 702 内に組み込まれていてもよい。撮像システム 701 には、光学系 714、撮像装置 702 及び画像前処理部 715 が、少なくとも 2 組設けられており、各組の画像前処理部 715 からの出力が集積回路 703 に入力されるようになっている。

#### 【0211】

集積回路 703 は、撮像システム用途向けの集積回路であり、メモリ 705 を含む画像処理部 704、光学測距部 706、視差演算部 707、物体認知部 708、異常検出部 709 を含む。画像処理部 704 は、画像前処理部 715 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 705 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 706 は、被写体の合焦や、測距を行う。視差演算部 707 は、複数の撮像装置 702 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う。物体認知部 708 は、車、道、標識、人等の被写体の認知を行う。異常検出部 709 は、撮像装置 702 の異常を検出すると、主制御部 713 に異常を発報する。

10

#### 【0212】

集積回路 703 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

#### 【0213】

主制御部 713 は、撮像システム 701、車両センサ 710、制御ユニット 720 等の動作を統括・制御する。なお、主制御部 713 を持たず、撮像システム 701、車両センサ 710、制御ユニット 720 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば CAN 規格）方法も取りうる。

20

#### 【0214】

集積回路 703 は、主制御部 713 からの制御信号を受け或いは自身の制御部によって、撮像装置 702 へ制御信号や設定値を送信する機能を有する。例えば、集積回路 703 は、撮像装置 702 内の電圧スイッチ 13 をパルス駆動させるための設定や、フレーム毎に電圧スイッチ 13 を切り替える設定等を送信する。

#### 【0215】

撮像システム 701 は、車両センサ 710 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 710 は、視差画像から対象物までの距離情報を取得する距離情報取得手段でもある。また、撮像システム 701 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 711 に接続されている。特に、衝突判定機能に関しては、撮像システム 701 や車両センサ 710 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

30

#### 【0216】

また、撮像システム 701 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 712 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 713 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 712 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

40

#### 【0217】

本実施例では、車両の周囲、例えば前方又は後方を撮像システム 701 で撮影する。図 21 (b) に、車両前方を撮像システム 701 で撮像する場合の撮像システム 701 の配置例を示す。

50

## 【 0 2 1 8 】

2つの撮像装置702は、車両700の前方に配置される。具体的には、車両700の進退方位又は外形（例えば車幅）に対する中心線を対称軸に見立て、その対称軸に対して2つの撮像装置702が線対称に配置されると、車両700と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、撮像装置702は、運転者が運転席から車両700の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置712は、運転者の視野に入りやすい配置が好ましい。

## 【 0 2 1 9 】

次に、撮像システム701における撮像装置702の故障検出動作について、図22を用いて説明する。撮像装置702の故障検出動作は、図22に示すステップS810～S880に従って実施される。

10

## 【 0 2 2 0 】

ステップS810は、撮像装置702のスタートアップ時の設定を行うステップである。すなわち、撮像システム701の外部（例えば主制御部713）又は撮像システム701の内部から、撮像装置702の動作のための設定を送信し、撮像装置702の撮像動作及び故障検出動作を開始する。

## 【 0 2 2 1 】

次いで、ステップS820において、有効画素から画素信号を取得する。また、ステップS830において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換部を備える。この光電変換部には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換部に書き込まれた電圧に対応する信号を出力する。なお、ステップS820とステップS830とは逆でもよい。

20

## 【 0 2 2 2 】

次いで、ステップS840において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。

## 【 0 2 2 3 】

ステップS840における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップS850に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップS860へと移行する。ステップS860では、走査行の画素信号をメモリ705に送信して一次保存する。そののち、ステップS820に戻り、故障検出動作を継続する。

30

## 【 0 2 2 4 】

一方、ステップS840における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップS870に移行する。ステップS870において、撮像動作に異常があると判定し、主制御部713、又は警報装置712に警報を発報する。警報装置712は、表示部に異常が検出されたことを表示させる。その後、ステップS880において撮像装置702を停止し、撮像システム701の動作を終了する。

## 【 0 2 2 5 】

なお、本実施例では、1行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1フレーム毎に故障検出動作を行ってもよい。

40

## 【 0 2 2 6 】

なお、ステップS870の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

## 【 0 2 2 7 】

また、本実施例では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システム701は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用する

50

ことができる。

【0228】

[変形実施例]

本発明は、上記実施例に限らず種々の変形が可能である。

【0229】

例えば、いずれかの実施例の一部の構成を他の実施例に追加した例や、他の実施例の一部の構成と置換した例も、本発明の実施例である。

【0230】

また、上述の実施例は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。

10

【符号の説明】

【0231】

11 画素

105 比較器

107 AD変換器

20

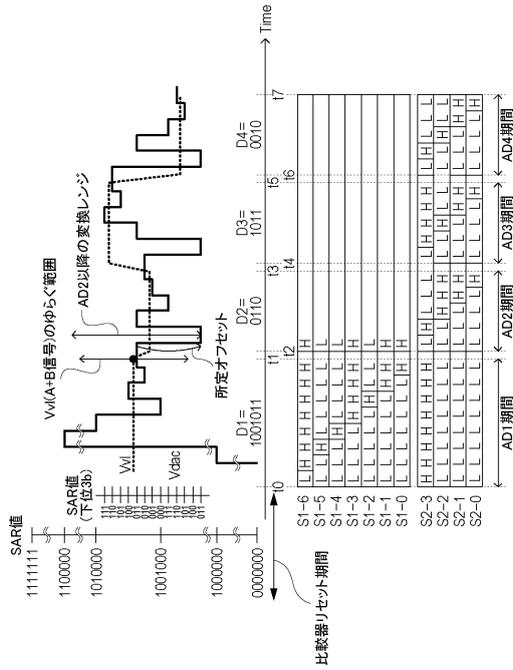
30

40

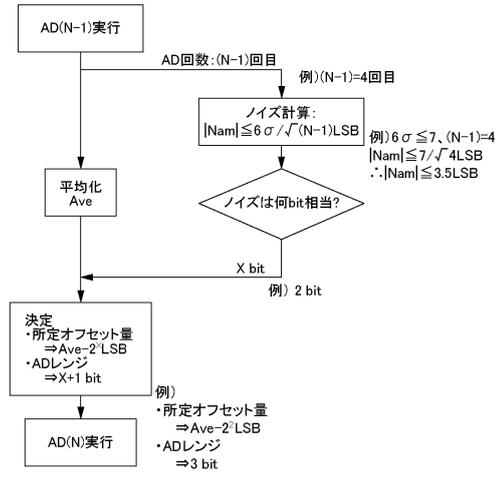
50



【図 5】



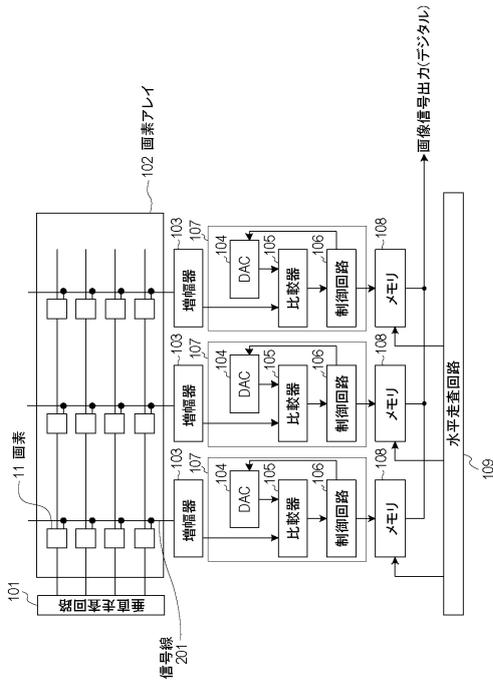
【図 6】



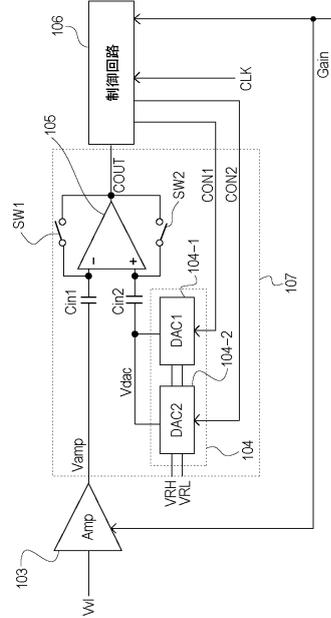
10

20

【図 7】



【図 8】

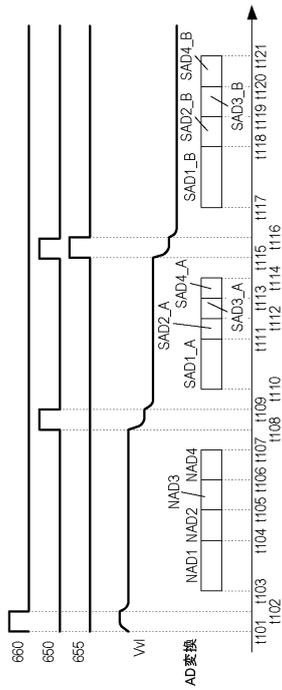


30

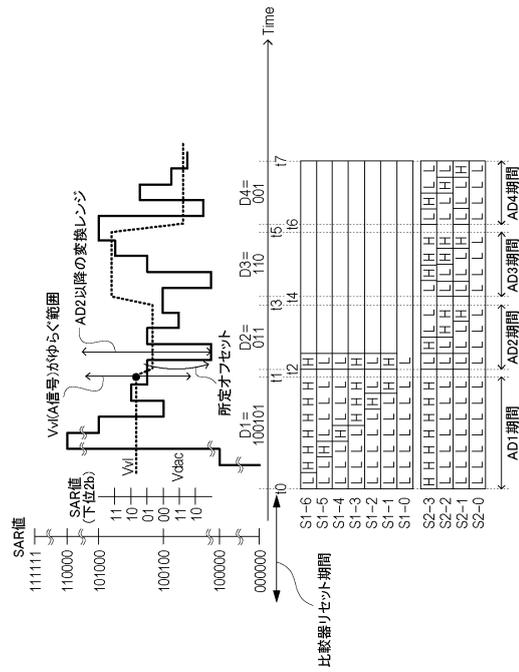
40

50

【図 9】



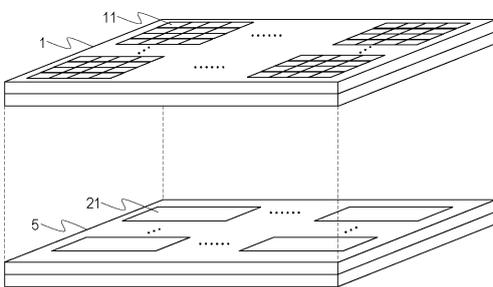
【図 10】



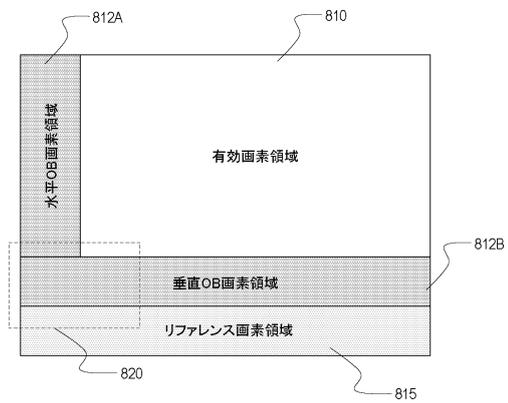
10

20

【図 11】



【図 12】

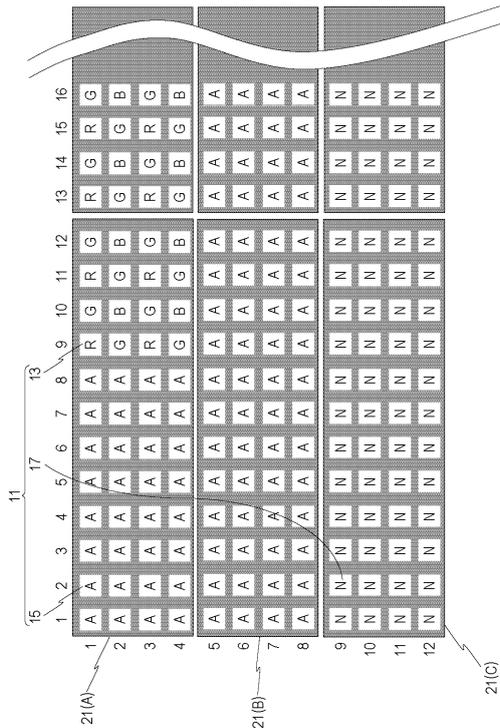


30

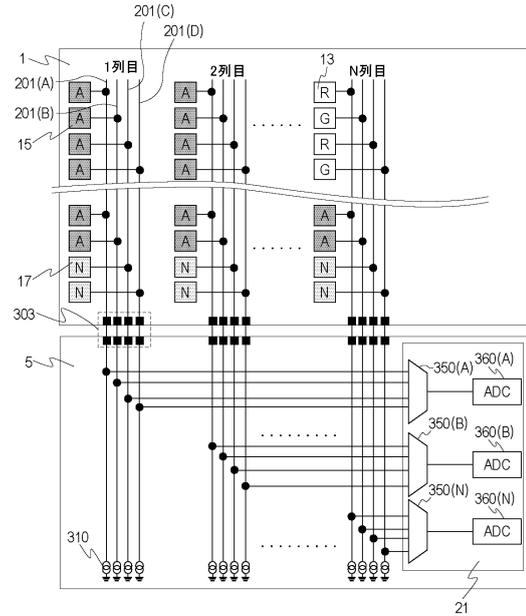
40

50

【図 13】



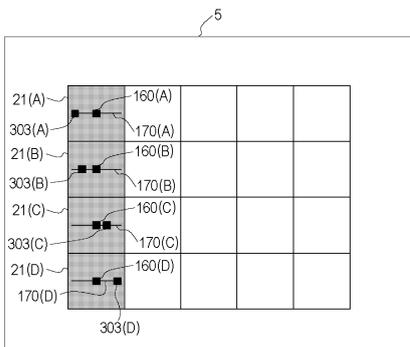
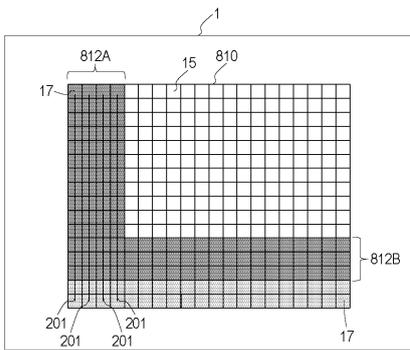
【図 14】



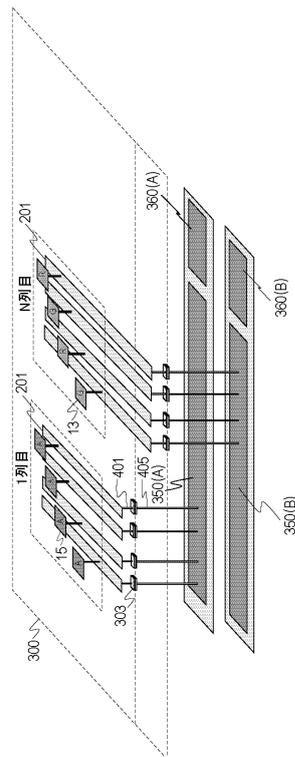
10

20

【図 15】



【図 16】



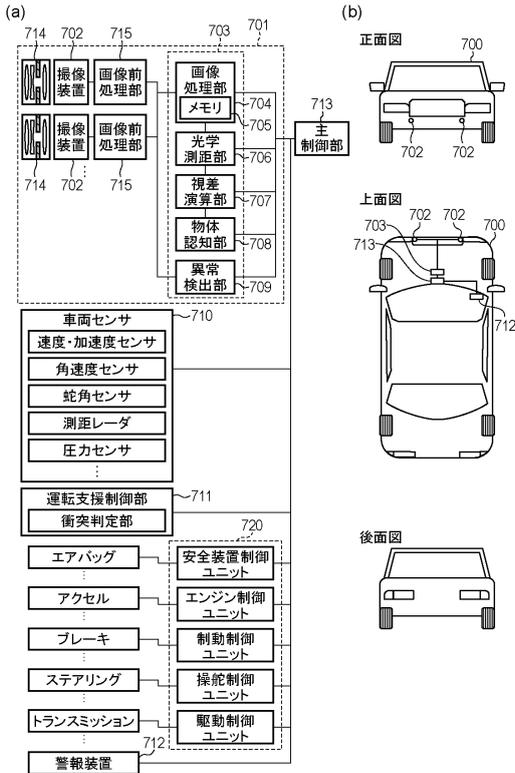
30

40

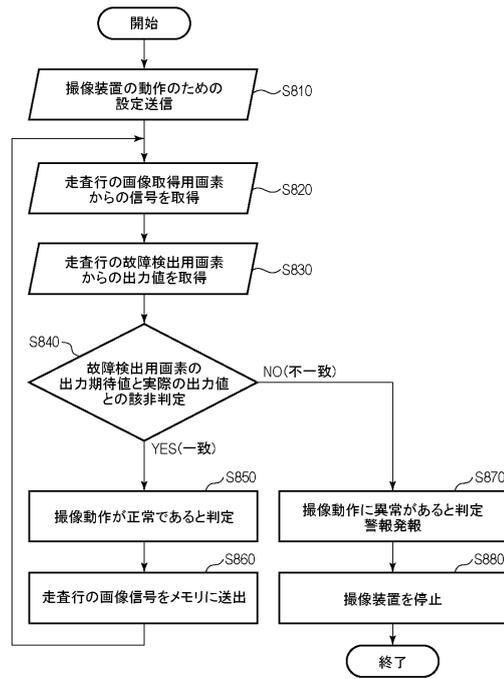
50



【図 2 1】



【図 2 2】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開2015-165648(JP,A)  
特開2010-063055(JP,A)  
特開2015-198273(JP,A)  
特開2009-005139(JP,A)  
特開2017-161512(JP,A)  
特開平11-154866(JP,A)
- (58)調査した分野 (Int.Cl., DB名)  
H04N 25/00 - 25/79  
H03M 1/12  
H03M 1/38