

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G03F 7/20

G03F 9/00 G06T 1/00

H01L 21/027 H01L 29/786



# [12] 发明专利申请公开说明书

[21] 申请号 03128638.0

[43] 公开日 2003 年 10 月 22 日

[11] 公开号 CN 1450411A

[22] 申请日 2003.3.25 [21] 申请号 03128638.0

[30] 优先权

[32] 2002. 3. 25 [33] US [31] 60/366537

[71] 申请人 ASML 蒙片工具有限公司

地址 荷兰维尔德霍芬

[72] 发明人 D·-F·S·苏 N·科尔科兰

J·F·陈

[74] 专利代理机构 中国专利代理(香港)有限公司

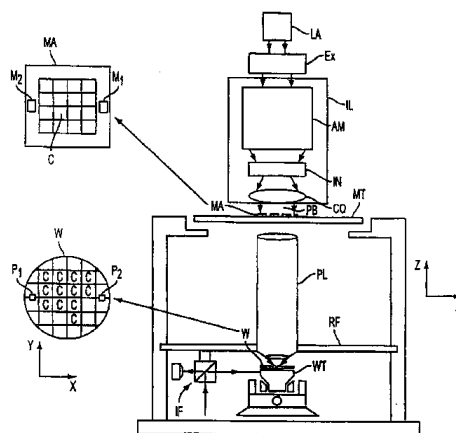
代理人 张志醒

权利要求书 4 页 说明书 10 页 附图 13 页

[54] 发明名称 利用双极照明进行基于规则的栅极缩小的方法和装置

[57] 摘要

一种在衬底上印刷栅极图形的方法，包括以下步骤：在栅极特征与一个有源区重叠的图形中确定出至少一个区域；在所述一个栅极特征重叠一个有源区的位置处减小一个栅极特征的宽度尺寸；从图形提取栅极特征；将栅极特征分解为垂直部件掩模和水平部件掩模；以及利用双极照明照射垂直部件掩模和水平部件掩模。



ISSN 1008-4274

1. 一种在衬底上印刷图形的方法，该图形包括栅极特征和有源区，所述方法包括以下步骤：
- 5 在一个所述栅极特征与一个所述有源区重叠的所述图形中确定出至少一个区域；
- 在所述一个所述栅极特征重叠所述一个所述有源区的位置处减小所述一个所述栅极特征的宽度尺寸；
- 从所述图形提取所述栅极特征；
- 10 将所述栅极特征分解为垂直部件掩模和水平部件掩模；以及利用双极照明照射所述垂直部件掩模和所述水平部件掩模。
2. 根据权利要求1的方法，其特征在于，在栅极特征与有源区重叠的位置处，具有与有源区重叠部分的每个所述栅极特征宽度尺寸减小。
3. 根据权利要求1的方法，还包括添加屏蔽部件到所述垂直部件掩模的步骤，所述屏蔽部件防止了当照射所述垂直部件掩模时照射所述栅极特征中含有的水平部件。
- 15 4. 根据权利要求1的方法，还包括添加屏蔽部件到所述水平部件掩模的步骤，所述屏蔽部件防止了当照射所述水平部件掩模时照射所述栅极特征中含有的垂直部件。
- 20 5. 根据权利要求1的方法，还包括添加光学邻近效应校正特征到所述垂直部件掩模和所述水平部件掩模的步骤。
6. 根据权利要求1的方法，其特征在于，所述垂直部件掩模包括印刷在所述衬底上的垂直栅极分量，所述水平部件掩模包括印刷在所述晶片上的水平栅极分量。
- 25 7. 根据权利要求6的方法，其特征在于，对于重叠有源区的每个垂直栅极分量，调节所述垂直部件掩模以增加在垂直方向中垂直栅极分量的重叠量，对于重叠有源区的每个水平栅极分量，调节所述水平部件掩模以增加水平方向中水平栅极分量的重叠量。
8. 一种在多曝光光刻成像工艺中使用的产生补模的方法，所述方法包括
- 30 以下步骤：

定义要印刷在衬底上的图形，所述图形包括栅极特征和有源区；

在一个所述栅极特征与一个所述有源区重叠的所述图形中确定出至少一个区域；

5 在所述一个所述栅极特征重叠所述一个所述有源区的位置处减小所述一个所述栅极特征的宽度尺寸；

从所述图形提取所述栅极特征；以及

将所述栅极特征分解为垂直部件掩模和水平部件掩模。

9. 根据权利要求8的方法，其特征在于，在栅极特征与有源区重叠的位置处，具有与有源区重叠部分的每个所述栅极特征宽度尺寸减小。

10 10. 根据权利要求8的方法，还包括将第一组屏蔽部件添加到所述垂直部件掩模的步骤，所述第一组屏蔽部件防止了当照射所述垂直部件掩模时照射所述栅极特征中含有的水平部件，第二组屏蔽部件添加到所述水平部件掩模的步骤，所述第二组屏蔽部件防止了当照射所述水平部件掩模时照射所述栅极特征中含有的垂直部件。

15 11. 根据权利要求8的方法，还包括添加光学邻近效应校正特征到所述垂直部件掩模和所述水平部件掩模的步骤。

12. 一种在多曝光光刻成像工艺中使用的产生补模的装置，所述装置包括：

定义要印刷在衬底上的图形的装置，所述图形包括栅极特征和有源区；

20 在一个所述栅极特征与一个所述有源区重叠的所述图形中确定出至少一个区域的装置；

在所述一个所述栅极特征重叠所述一个所述有源区的位置处减小所述一个所述栅极特征的宽度尺寸的装置；

从所述图形提取所述栅极特征的装置；以及

25 将所述栅极特征分解为垂直部件掩模和水平部件掩模的装置。

13. 根据权利要求12的装置，其特征在于，在栅极特征与有源区重叠的位置处，具有与有源区重叠部分的每个所述栅极特征宽度尺寸减小。

14. 根据权利要求12的装置，还包括将第一组屏蔽部件添加到所述垂直部件掩模的装置，所述第一组屏蔽部件防止了当照射所述垂直部件掩模时照射  
30 所述栅极特征中含有的水平部件，第二组屏蔽部件添加到所述水平部件掩模的

步骤，所述第二组屏蔽部件防止了当照射所述水平部件掩模时照射所述栅极特征中含有的垂直部件。

15. 根据权利要求 12 的装置，还包括添加光学邻近效应校正特征到所述垂直部件掩模和所述水平部件掩模的步骤。

- 5 16. 一种控制计算机的计算机程序产品，包括计算机可读的记录介质，记录在记录介质上装置，用于指示计算机产生对应于多曝光光刻成像工艺中使用的补模的文件，所述文件的所述产生包括以下步骤：

定义要印刷在衬底上的图形，所述图形包括栅极特征和有源区；

- 10 在一个所述栅极特征与一个所述有源区重叠的所述图形中确定出至少一个区域；

在所述一个所述栅极特征重叠所述一个所述有源区的位置处减小所述一个所述栅极特征的宽度尺寸；

从所述图形提取所述栅极特征；以及

将所述栅极特征分解为垂直部件掩模和水平部件掩模。

- 15 17. 根据权利要求 16 的计算机程序产品，其特征在于，在栅极特征与有源区重叠的位置处，具有与有源区重叠部分的每个所述栅极特征宽度尺寸减小。

18. 根据权利要求 16 的计算机程序产品，其特征在于，所述文件的产生还包括添加屏蔽部件到所述垂直部件掩模的步骤，所述屏蔽部件防止了当照射  
20 所述垂直部件掩模时照射所述栅极特征中含有的水平部件。

19. 根据权利要求 16 的计算机程序产品，其特征在于，所述文件的产生还包括添加屏蔽部件到所述水平部件掩模的步骤，所述屏蔽部件防止了当照射所述水平部件掩模时照射所述栅极特征中含有的垂直部件。

20. 根据权利要求 16 的计算机程序产品，其特征在于，所述文件的产生  
25 还包括添加光学邻近效应校正特征到所述垂直部件掩模和所述水平部件掩模的步骤。

21. 根据权利要求 16 的计算机程序产品，其特征在于，所述垂直部件掩模包括要印刷在所述衬底上的垂直栅极分量，所述水平部件掩模包括要印刷在所述晶片上的水平栅极分量。

- 30 22. 根据权利要求 21 的计算机程序产品，其特征在于，对于重叠有源区

的每个垂直栅极部件，调节所述垂直部件掩模以增加在垂直方向中垂直栅极分量的重叠量，对于重叠有源区的每个水平栅极分量，调节所述水平部件掩模以增加水平方向中水平栅极分量的重叠量。

23. 一种器件的制造方法，包括以下步骤：

- 5       (a) 提供至少部分由辐照敏感材料层覆盖的衬底；
- (b) 使用辐照系统提供投射束；
- (c) 使用构图装置使投射束的截面具有图形；
- (d) 将辐照的构图的束投射到辐照敏感材料层的靶部分；

其中用第一图形进行第一次步骤 (c) 和 (d)，然后用第二图形进行第二  
10 次，使用根据权利要求 8 的方法产生所述第一和第二图形。

## 利用双极照明进行基于规则的 栅极缩小的方法和装置

5

### 技术领域

本发明涉及光刻技术，特别涉及和双极照明技术共同使用产生掩模布图，该技术减小了晶体管的最小可印刷的栅极长度并提高了所得分辨率。此外，本发明涉及使用光刻装置的器件制造方法，光刻装置包括提供辐照的投射束的辐照系统；固定掩模的掩模台，用于构图投射束；固定衬底的衬底台；以及将构图的投射束投射到衬底的靶部分上的投射系统。

### 背景技术

光刻投射装置（设备）可以用在例如集成电路（IC）的制造中。此时，掩模含有对应于 IC 各层的电路图形，该图形成像到已涂敷有辐照敏感材料（抗蚀剂）层的衬底（硅晶片）上的靶部分（例如，包括一个或多个管芯）上。一般来说，单个晶片含有借助投影系统一次一个地连续地辐照的相邻靶部分的整个网络。在一种类型的光刻投影装置中，通过将整个掩模图形一次（one go）暴露到靶部分照射每个靶部分；这种装置通常称做晶片步进器。在一个备选装置——通常称做分步-扫描装置——在给定参考方向中（“扫描方向”）中在投影束下渐进地扫描掩模图形辐照靶部分，同时同步扫描与该方向平行或反向平行的衬底台；由于，一般来说，投影系统具有放大因子  $M$ （通常  $<1$ ），扫描衬底台的速度  $V$  将为扫描掩模台速度的因子  $M$  倍。有关这里介绍的光刻装置的更详细信息可以参考例如 US 6,046,792，在这里作为参考引入。

在使用光刻投影装置的制造工艺中，掩模图形成像到至少部分被辐照敏感材料（抗蚀剂）层覆盖的衬底上。在该成像步骤之前，对衬底进行各种工序，例如涂底漆（priming）、涂敷抗蚀剂以及软烘焙。曝光之后，对衬底进行其它工艺，例如曝光后烘焙（PEB）、显影、硬烘焙以及成像特征的测量/检查。这种工艺排列为构图如 IC 的器件各层的基础。然后这种构图的层经历各种工艺，例如腐蚀、离子注入（掺杂）、金属化、氧化、化学机械抛光等，所有这些都用来完成各层。如果需要几层，那么对每个新层都要重复整个工序或变化

的工序。最后，器件的阵列出现在衬底（晶片）上。然后通过如划片或切割等的技术将这些器件相互分离。此后，各器件安装在载体上，连接到管脚等。有关这种工艺的进一步信息可以从书“Microchip Fabrication: A Practical Guide to Semiconductor Processing”，第三版，作者 Peter van Zant, McGraw Hill Publishing Co.,1997,ISBN 0-07-067250-4 得到，在这里作为参考引入。

光刻设备可以是具有两个或更多衬底台（和/或两个或多个掩模台）的类型。在这种“多级”装置中，可以并排使用辅助工作台，或者可以在一个或多个台上进行准备步骤，同时使用一个或多个其它台用于曝光。例如在 US 5,969,441 和 WO 98/40791 中介绍了双级光刻设备，在这里作为参考引入。

10 以上提到的光刻掩模包括对应于集成到硅晶片上的电路部件的几何图形。产生这种掩模使用的图形利用 CAD（计算机辅助设计）程序产生，这种过程经常称做 EDA（电子设计自动化）。大多数 CAD 程序遵循一套预定的设计规则，以便产生功能掩模。这些规则由处理和设计限制设置。例如，设计规则定义了电路器件（例如栅极、电容器等）之间或者互连线之间的空间容差，以确保电

15 路器件或线不以不希望的方式相互影响。

当然，集成电路制造中的一个目标是忠实地在晶片上再现原始电路设计（借助掩模）。另一目标是尽可能多地利用半导体晶片的可利用空间。然而，随着集成电路尺寸的减小和密度的增加，它的对应掩模图形的 CD（临界尺寸）接近了光学曝光设备的分辨率极限。对于曝光设备的分辨率定义为曝光设备能在

20 晶片上重复地曝光的最小特征。本曝光设备的分辨率值经常限制了许多先进 IC 电路设计的 CD。

此外，随着微处理器速度的不断提高，对于微电子部件存储压缩密度和低功耗直接涉及光刻技术在半导体器件的多种层上转移和形成图形的能力。现有的技术需要在可得到的光波长下很好地构图 CD。例如目前 248nm 的制造波长

25 推动了小于 100nm 的 CD 构图。如 International Technology Roadmap for Semiconductor (ITRS 2000) 中介绍的，在未来的 5 到 10 年中，这种制造趋势将继续并可能加速。

目标在于提高分辨率同时保持可接受的工艺范围和强度的光刻法被分为分辨率增强技术 (RET's) 并且包括很广的应用范围。例如包括：光源调整（例如，离轴照明）、使用专门的掩模，削减光干扰现象（例如，衰减相移掩模，

30

交替相移掩模、无铬掩模等)以及掩模布局调整(例如,光学临近效应校正)。

对于集成电路设计者特别重要的一个问题是尽可能减小晶体管栅极的长度。众所周知,晶体管栅极的长度减小导致晶体管工作速度增加,并相应地减小了功率需求。此外,栅极长度减小增加了晶体管在较低电压电平下更完全关断的能力并减小了漏电流。由此,非常需要能精确地再现具有减小栅极宽度的晶体管。

因此,需要一种利用目前可使用的光刻设备进一步减小可得到的最小栅极长度的方法,以便得到以上与减小晶体管栅极长度相关的优点。

### 发明内容

10 为了解决以上需要,本发明的一个目的是提供一种利用目前可使用的光刻技术减少集成电路中含有的晶体管栅极长度的方法。换句话说,本发明的一个目的是提供一种印刷长度减小的栅极的方法,同时保持高级别的分辨率。此外,本发明的一个目的是允许减少栅极长度同时不需要完全重新调节半导体设计。

15 更具体地,在一个示例性实施例中,本发明涉及在衬底上印刷栅极图形的方法,包括以下步骤:在其中一个栅极特征覆盖其中一个有源区的图形中确定出至少一个区域;在其中一个栅极特征覆盖其中一个有源区的位置处减小其中一个栅极特征的宽度尺寸;从图形中提取出栅极特征;将栅极特征分解成垂直部件掩模和水平部件掩模;以及利用双极照明照射垂直部件掩模和水平部件掩模。

20 虽然在本文中以 IC 的制造为例介绍了本发明,但应该清楚地理解本发明具有许多其它可能的应用。例如,它可以用于制造集成的光学系统、用于磁区存储器的引导和检测图形、液晶显示板、薄膜磁头等。技术人员应理解在这些备选应用中,本文中的术语“模板”、“晶片”或“管芯”可以分别由更通用的术语“掩模”、“衬底”和“靶部分”代替。

在本文中,术语“辐照”和“束”用于包含所有类型的电磁辐照,包括紫外线辐照(例如,365、248、193、157 或 126nm 的波长)和 EUV(极远紫外辐照,例如具有 5-20nm 范围内的波长)。

30 在本文中使用的术语掩模广义地称做普通的构图方式,是指用于施加具有构图的剖面的入射辐照束,对应于在衬底的靶部分中产生图形;术语“光阀”



也可以在本文中使用。除了传统的掩模（透射或反射；二进制，相移，混合等）之外，其它这种构图方式的例子包括：

- 5 a) 可编程的镜面阵列。这种器件的一个例子是具有粘弹性的控制层和反射表面的可寻址矩阵表面。这种器件的基本原理是（例如）反射表面的编址区域反射入射光作为衍射光，而未编址的区域反射入射光作为未衍射光。使用适当的滤光片，所述未衍射光可以从反射束中滤掉，仅留下衍射光；以此方式，根据可寻址矩阵表面的寻址图形，可以构图束。可以使用适当的电子装置进行需要的矩阵寻址。有关这种镜面阵列的更详细信息例如可以参考美国专利 US 5,296,891 和 US 5,523,193 中，在这里作为参考引入。
- 10 b) 可编程的 LCD 阵列。这种结构的一个例子介绍在美国专利 US 5,229,872 中，在这里作为参考引入。

和现有技术相比本发明的方法提供了重要的优点。例如，本发明提供了利用目前可使用的光刻技术减小晶体管栅极长度的简单方法。如上所述，栅极长度减小有利地增加了晶体管的工作速度、减小了晶体管功率要求并减少了漏电流。重要的是，本发明的技术允许减小晶体管的栅极长度同时不必完全重新调整半导体设计。

15

从下面本发明的示例性实施例的详细说明中，对于本领域中的技术人员来说，本发明的其它优点将变得很显然。

通过参考下面详细的说明和附图，将更容易理解本发明以及其它的目的和优点。

20

#### 附图说明

- 图 1 示出了离轴照明的原理。
- 图 2 示出了双极照明的原理。
- 图 3 (a) -3 (h) 示出了双极源的示例性形状。
- 25 图 4 示出了 100nm 线的双极照明得到的图像亮度。
- 图 5 示出了当第二照射中使用的屏蔽的宽度增加时，图 4 中示出的照明得到的图像亮度变化。
- 图 6 示出了本发明方法的示例性实施例的流程图。
- 图 7 示出了示例性靶设计图形，为具有 100nm 线的 SRAM 设计。
- 30 图 8 示出了本发明的“栅极缩小”步骤，其中与有源区重叠的栅极部分的

沟道宽度减小。在给定的例子中，栅极图形的这些重叠部分减小到 70nm。

图 9 示出了从图 8 中示出的整个图形提取的图 8 的栅极图形。

图 10 示出了利用双极分解法从图 9 的栅极图形提取的垂直部件图形。

图 11 示出了利用双极分解法从图 9 的栅极图形提取的水平部件图形。

5 图 12 示出了应用了屏蔽和光学临近效应校正技术之后的垂直部件掩模。

图 13 示出了应用了屏蔽和光学临近效应校正技术之后的水平部件掩模。

图 14 示出了利用图 12 和 13 中示出的掩模照射衬底得到的模拟结果。

图 15 示出了叠加在图 12 和 13 中示出的垂直掩模和水平掩模上的图 14 的模拟结果。如图所示，模拟结果精确地对应于需要的图形。

10 图 16 示出了利用本发明的方法得到的以上例子的栅极图形的 3 维抗蚀剂轮廓。

图 17 示意性示出了适合于和借助本发明设计的掩模一起使用的光刻投影装置。

### 具体实施方式

15 如下面将详细介绍的，本发明的优选实施例利用了为离轴照明 (OAI) 技术的双极照明结合栅极缩小技术，以便减小印刷在衬底上的半导体器件中含有的晶体管的栅极长度。图 1 示出了离轴照明的概念。如图所示，通过获取至少一个第一级图形空间频率获得增加的聚焦幅值和图像对比度。典型的离轴照明系统包括部分 (in-part) 光源 11、掩模 12、透镜 13 和由光致抗蚀剂覆盖的晶  
20 片 14。

图 2 示出了双极照明的基本原理。如图所示，光源限制为两极，以便产生具有理论无限对比度的两束成像条件。参考图 2 中的例子，双极照明系统包括部分双极孔径 16 (或其它双极产生装置，例如合适的衍射光学元件)、聚光透镜 17、掩模 18、凸透镜 19 和晶片 20。双极孔径 16 可以是各种形状和取向，  
25 例如水平、垂直或者任何给定角度。各种尺寸和形状的示例性双极孔径 16 如图 3 (a) -3 (h) 所示。双极照明概念的详细说明介绍在 2000 年 9 月 28 日申请的 US 专利申请序列号 No.09/671,802 中，在这里作为参考引入。

图 4 示出了结合本发明利用的双极图像形成。图 4 中示出的例子对应于  
100nm 垂直线 42 的印刷。如图所示，当利用双极照明时，通常有至少两次曝  
30 光。在第一次曝光中，X 双极孔径 44 为 100nm 的线 42 的垂直部分提供了最大

空间图像亮度（即，最大调制）。所得图像轮廓由图 4 中的线 43 表示。在第二次曝光中，利用了 Y 双极孔径 41，为 100nm 线 42 的水平部分产生最大空间图像亮度。然而，应该指出在使用 Y 双极孔径的第二次曝光期间，需要屏蔽 100nm 线的垂直部分以便第一次曝光期间形成的垂直特征在第二次曝光期间不退化。图 4 示出了用挡板（shield）45 屏蔽 100nm 线 42，在水平方向中每个为 20nm 宽。由此，当使用 Y 双极孔径曝光水平线时，垂直特征 42 基本上没有成像（即，调制）。空间成像为图 4 中的线 46 显示的 DC 调制，对应于 20nm 屏蔽。由图 4 中的线 47 表示的最终空间图像亮度对应于使用 X 双极孔径的第一曝光和使用 Y 双极孔径的第二曝光的总和。

10 参考图 5，应该指出，假设曝光能量不变，对于 100nm 垂直线 42 将屏蔽宽度从 20nm 挡板 45 增加到 40nm 挡板 48 使所得图像的最小亮度级别移动到较低级别。这由图 5 中的线 51 表示，示出了与特征的垂直部分相关的空间图像。如图所示，空间图像 51 仅为 DC 调制。然而，它比与 20nm 挡板相关的 DC 调制 46 低。由此，利用 40nm 屏蔽形成的合成图像 53 提供了比利用 20nm 屏蔽形成的合成图像 47 更好的成像。

应该指出虽然首先可以照射任何取向，但通常首先照射 Y 双极孔径以印刷水平特征，之后照射 X 双极孔径以印刷垂直特征。只有当对于两次曝光曝光能量相同时，Y 双极孔径和 X 双极孔径才能互换。

从以上可以清楚看出，当利用双极照明技术时，要成像的需要图形必须分成独立的水平和垂直几何结构。然而，在很多半导体设计中，例如静态随机存取存储器（SRAM），经常有 45 度角的几何结构（即，线）。这种认为短（例如，从多边形的短边到多边形的相对短边测量的直线距离不到临界尺寸的 5 倍）的 45 度几何结构可以认为是对应的垂直或水平几何结构中的垂直或水平特征。不认为是短的 45 度角的几何结构（即，超过以上短的定义的那些结构）应该从设计中取消，是由于这种几何结构不容易在可接受的限制内在晶片上再现。

根据本发明，以上的图形分解和随后的双极照明可以与后面的栅极缩小技术结合使用以便获得具有减小栅极长度的半导体设计。图 6 示出了本发明方法的示例性实施例的流程图。参考图 6，第一步骤 60 涉及获得与要印刷在晶片上或衬底上的需要图形相关的数据。要印刷的示例性图形显示在图 7 中。如图所

示，图形含有有源区 81 和栅极区 82。工艺中的下一步骤，步骤 61，需要识别与有源区 81 重叠的那部分栅极区域 82。这种区域由图 7 中的参考数字 83 表示。

在下一步骤中，步骤 62，为可选的步骤，与有源区 81 重叠的一部分垂直栅极区域 84 在垂直方向中延伸重叠容差（例如，25nm）以校正（或补偿）未对准容差。类似地，与有源区 81 重叠的一部分水平栅极区域 85 在水平方向中延伸相同的重叠容差。虽然重叠的量随成像衬底使用的装置的规格以及设计规则要求变化而变化，但通常重叠在 30% 的临界尺寸范围内。

接下来，在步骤 63 中，每个重叠有源区 81 的垂直栅极区域 84 和每个重叠有源区 81 的水平栅极区域 85 的尺寸减小（即，缩小），通常在 10% 或更多的数量级，栅极图形的垂直和水平几何结构相互分离。以上工艺显示在图 8-11 中。首先，图 8 示出了结合本发明进行的栅极缩小。如图 8 所示，每个垂直栅极区域 84 宽度（即，沿水平轴从边缘到边缘测量）减小以上的量，每个水平栅极区域 85 宽度（即，沿垂直轴从边缘到边缘测量）也减小相同的量。在本例中，栅极区域 84 和 85 的初始宽度为 100nm。这些区域已缩小到 70nm 的宽度。接下来，如图 9 所示，“缩小”的栅极图形从整个图形（即，有源区域）提取出。应该注意提取出栅极图形的垂直和水平几何图形。此后，和以上针对双极照明讨论的相同方式，栅极图形被分为图 10 所示的垂直几何图形 91 和图 11 中所示的水平几何图形 92。

接下来，在步骤 64 中，产生两个测试图形，一个用于水平特征一个用于垂直特征，此后用于确定用于各种间距和线:空间比的特定成像系统的性能。然后测试这些测试图形，借助模拟或实验，确定用于测试图形中制定的各种间距条件的所得性能。然后利用性能结果确定是否需要光学临近效应校正特征以提高成像性能。应该注意步骤 64 为工艺中的可选步骤。

参考图 12 和 13，在工艺的下一步骤中，步骤 65 和 66，需要屏蔽垂直特征 91 和水平特征 92。更具体地，图 12 示出了用于印刷含在需要栅极图形中的垂直栅极区域 91 的掩模（即，垂直掩模）。如图 12 所示，屏蔽 94 添加到含在垂直掩模中的水平特征 92 以防止水平特征被曝光。应该指出，通常档板的尺寸（即，宽度）与掩模图形允许的（例如，档板不干扰相邻特征的）一样大。类似地，图 13 示出了用于印刷含在图形中的水平栅极区域 92 的掩模（即，水平掩模）。如图 13 所示，屏蔽 96 添加到含在水平掩模中的垂直特征 91，以防

止垂直特征被曝光。以与以上针对双极照明讨论的相同方式施加屏蔽。还应该指出在图 12 中示出的垂直掩模和图 13 中示出的水平掩模都包括光学临近特征 97，例如线端校正和散射条。这种 OPC 技术可选，但经常使用。

一旦屏蔽（和可选的 OPC）施加到垂直掩模和水平掩模，在步骤 67 中，  
5 利用布尔“OR”运算对垂直掩模和水平掩模进行清除操作，以除去不对应于需要的特征或 OPC 特征的额外成像。

图 1 流程中的最终步骤为步骤 68，如步骤 64，该步骤也是可选步骤。根据步骤 68，当进行光学临近效应校正以提高整体成像性能时，需要考虑结合垂直掩模和水平掩模施加的 OPC 技术。这是由于本发明的方法为两个照射工艺。  
10 换句话说，结合由垂直和水平掩模照射得到的合成抗蚀剂图形时必须考虑 OPC 技术。

一旦完成了以上工艺，那么也完成了利用双极照明用于印刷“缩小”栅极特征的垂直掩模和水平掩模，并且可以用于在晶片上印刷“缩小”栅极图形。如上所述，在两次分别照射中使用垂直和水平掩模。

15 图 14 示出了在全抗蚀剂模拟中利用以上工艺得到的模拟结果。更具体地，图 14 示出了利用本发明的工艺图 5（即，100nm 的 SRAM 栅极缩小到 70nm）中示出的图形的俯视抗蚀剂成像的结果。如图 14 所示，利用适当的垂直和水平极照射设置，根据利用的工艺设备部分确定，栅极区域转移到具有清晰的图形分辨率的抗蚀剂。还应该注意也可以完全校正线端缩短误差。图 15 示出了  
20 叠加在图 12 和 13 示出的垂直掩模和水平掩模上的图 14 的模拟结果。如图所示，模拟结果精确地对应于需要的图形。图 16 示出了利用本发明的方法得到的以上例子的栅极图形的 3 维抗蚀剂轮廓。

应该注意虽然在以上的例子中本发明的方法应用于 SRAM 器件的设计中，但本发明不限于此。以上设计方法可以用在其它逻辑设计或 IC 设计的形  
25 成中。

此外，虽然以上介绍的方法在分解垂直和水平栅极特征之前进行了缩小栅极的工艺，但也可以在栅极缩小步骤之前进行垂直和水平栅极特征的分解。由此，可以在分解垂直和水平分量（component）之前或之后进行栅极缩小步骤。

30 图 17 示意性地示出了适合于和借助本发明设计的掩模一起使用的光刻投

影装置。装置包括：

辐照系统 Ex,IL, 用于提供辐照的投射束 PB。在特定情况中, 辐照系统也包括辐照源 LA;

5 第一物体台(掩模台) MT, 提供有支撑掩模 MA(例如模板)的掩模支架, 并连接到相对于单元 PL 精确地定位掩模的第一定位装置;

第二物体台(衬底台) WT, 提供有支撑衬底 W(例如, 涂敷抗蚀剂的硅晶片)的衬底支架, 并连接到相对于单元 PL 精确地定位衬底的第二定位装置;

投影系统(“透镜”) PL(例如, 折射、反射或反射折射光学系统), 将掩模 MA 的照射部分成像到衬底 W 的靶部分 C(例如, 包括一个或多个管芯)。

10 如这里所介绍的, 装置为透射型(即, 具有透射掩模)。然而, 一般来说, 例如它也可以是反射型, (具有反射掩模)。此外, 装置可以使用其它种类的构图装置代替使用掩模; 例子包括可编程的镜面阵列或 LCD 矩阵。

源 LA(例如, 汞灯、受激准分子激光器或等离子体放电源)产生辐照束。该束进入照明系统(照明装置) IL, 直接或具有横越调节装置之后, 例如束扩展器 Ex。照明装置 IL 包括调节装置 AM, 用于设置束中强度分布的外部和/或内部射线扩展(通常分别称做 $\sigma$ 外部和 $\sigma$ 内部)。此外, 它通常包括各种其它元件, 例如积分装置 IN 和聚光器 CO。以此方式, 撞击掩模 MA 的束 PB 在它的截面具有需要的一致性和强度分布。

20 应该指出对于图 17, 源 LA 可以在光刻投影装置的外壳内(例如当源 LA 为汞灯时的常见情况), 但它也可以远离光刻投影装置, 产生的辐照束被引入到装置内(例如, 借助合适的定向镜); 后一种情况为当源 LA 为受激准分子激光器(例如基于 KrF、ArF 或 F2 激光)时的常见情况。本发明包含这两种情况。

束 PB 随后与支撑在掩模台 MT 上的掩模 MA 相交。穿越掩模 MA 之后, 25 束 PB 穿过透镜 PL, 将束 PB 聚焦到衬底 W 的靶部分 C 上。借助第二定位装置(和干涉测量装置 IF), 可以精确地移动衬底台 WT, 例如在束 PB 的路径中定位不同的靶部分 C。类似地, 例如从掩模库中机械地重新获取掩模 MA 之后, 或者扫描期间, 第一定位装置可以相对于束 PB 的路径精确地定位掩模 MA。通常, 借助在图 17 中没有明确示出的长程组件(粗定位)和短程组件(精 30 细定位)可以实现物体台 MT, WT 的移动。然而, 对于晶片步进器(与步进-

扫描装置相对)，掩模台 MT 可以连接到短程致动器，或者可以固定。

可以两种方式使用介绍的装置。

在步进方式中，掩模台 MT 基本上保持静止，整个掩模图像一次（即，“闪”一次）投射到靶部分 C 上。然后在 x 和/或 y 方向中移动衬底台 WT，以便由束

5 PB 照射不同的靶部分 C；

在扫描方式中，除了给定的靶部分 C 不是“闪”一次曝光之外，情况基本上相同。取而代之，掩模台 MT 以速度  $v$  在给定的方向中（称做“扫描方向”，例如 y 方向）中移动，由此投射束 PB 在掩模图像上扫描；同时，衬底台 WT 以速度  $V=Mv$  在相同或相反的方向中同时移动，其中 M 是透镜 PL 的放大倍数  
10 （通常， $M=1/4$  或  $1/5$ ）。以此方式，可以曝光较大的靶部分 C，同时不必损害分辨率。

如上所述，和现有技术相比本发明的方法提供了重要的优点。例如，本发明提供了利用目前可使用的光刻技术减小晶体管栅极长度的简单方法。如上所述，栅极长度减小有利地增加了晶体管的工作速度、减小了晶体管功率要求并  
15 减少了漏电流。重要的是，本发明的技术允许减小晶体管的栅极长度同时不必完全重新调整半导体设计。

虽然公开了本发明的一些具体实施例，但应该注意本发明可以其它形式实施，同时不脱离本发明的精神或基本特性。因此可以认为本实施例为示例性而不是限定性的，本发明的范围由附带的权利要求指示出，并将在权利要求书的  
20 等效含义和范围内的所有变化都包含其内。

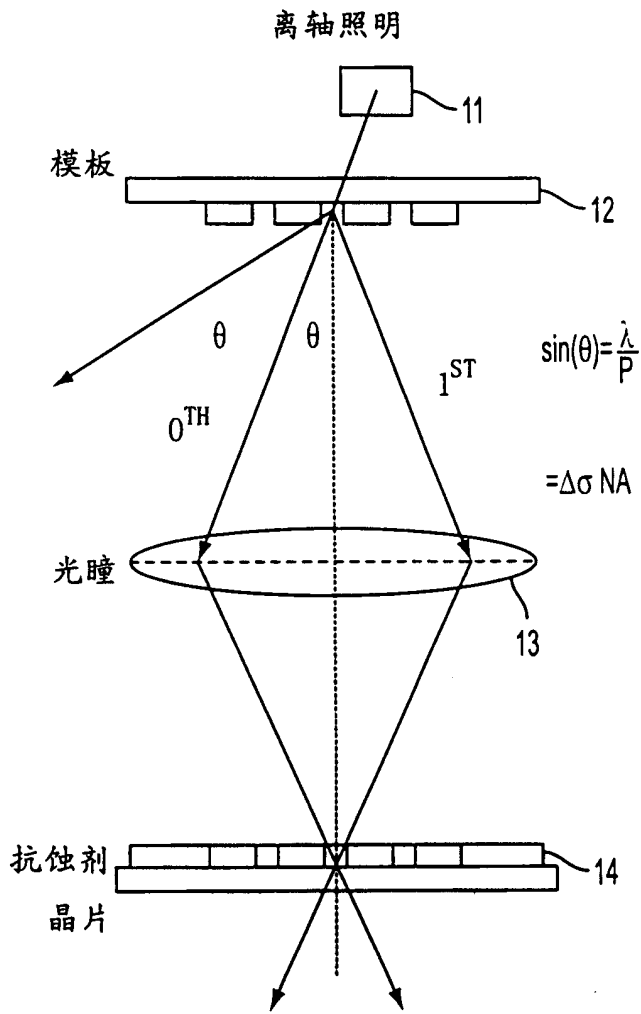


图 1



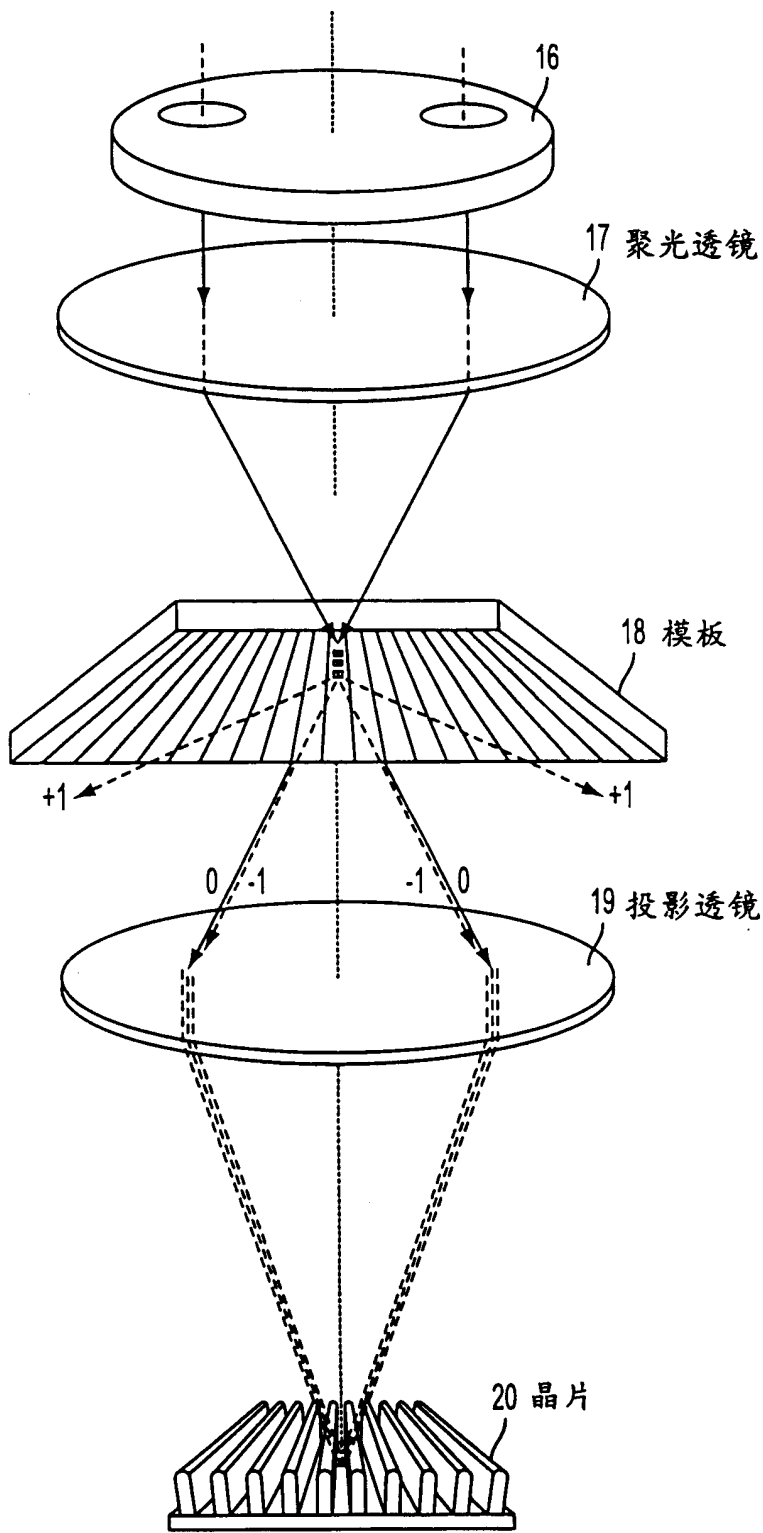


图 2

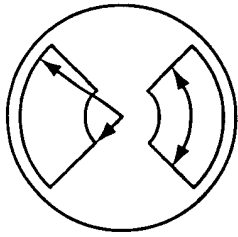


图 3(a)

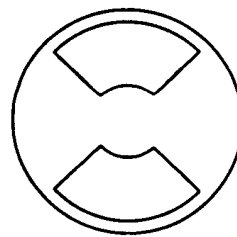


图 3(e)

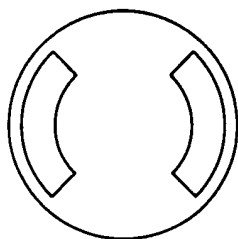


图 3(b)

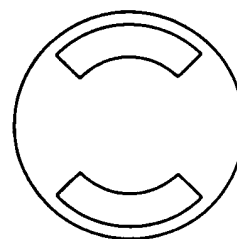


图 3(f)

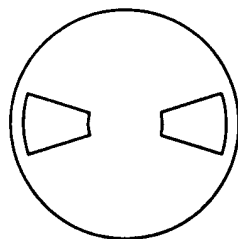


图 3(c)

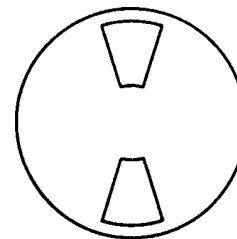


图 3(g)

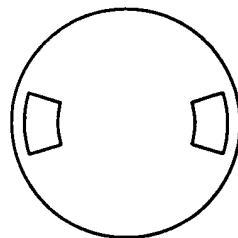


图 3(d)

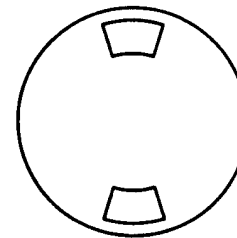
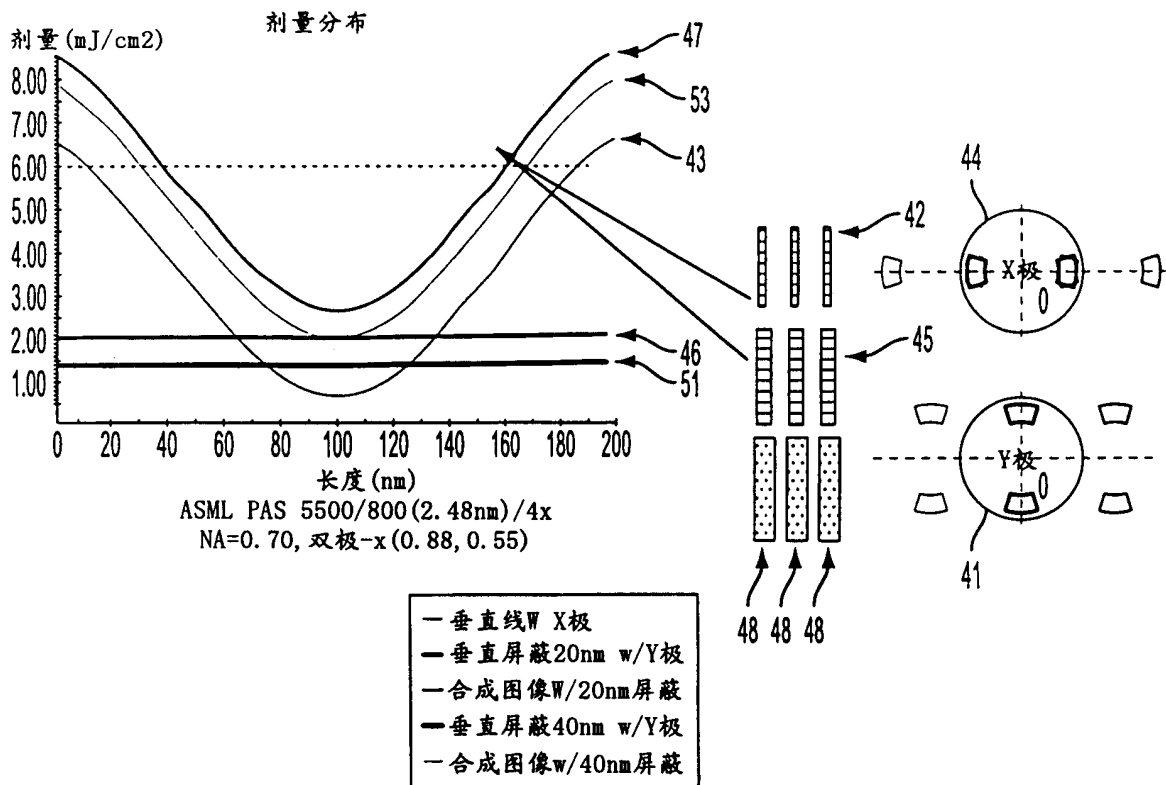
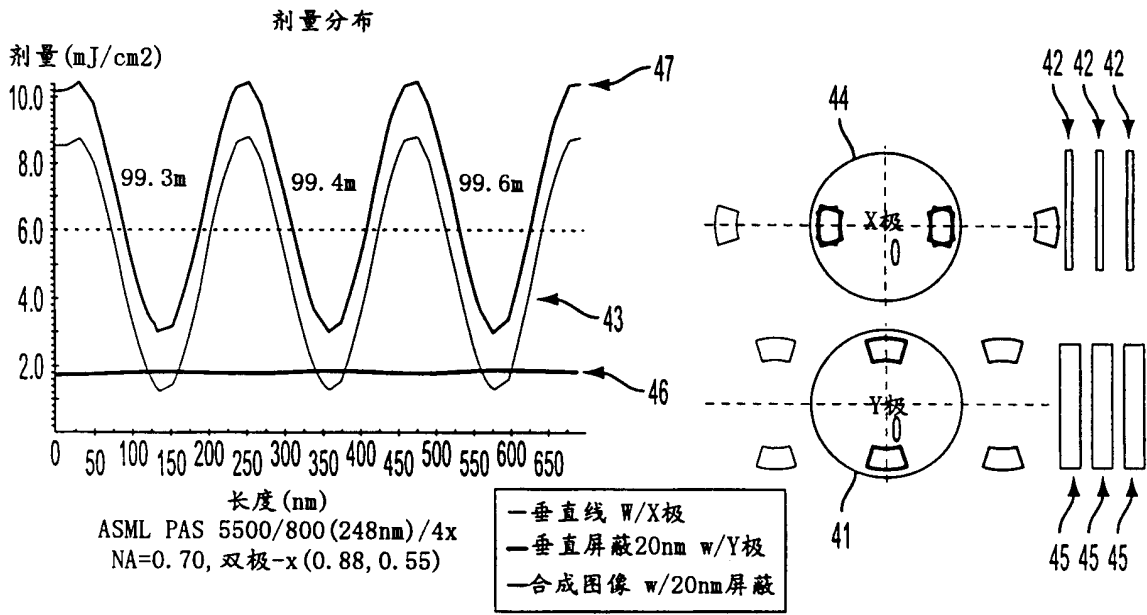


图 3(h)



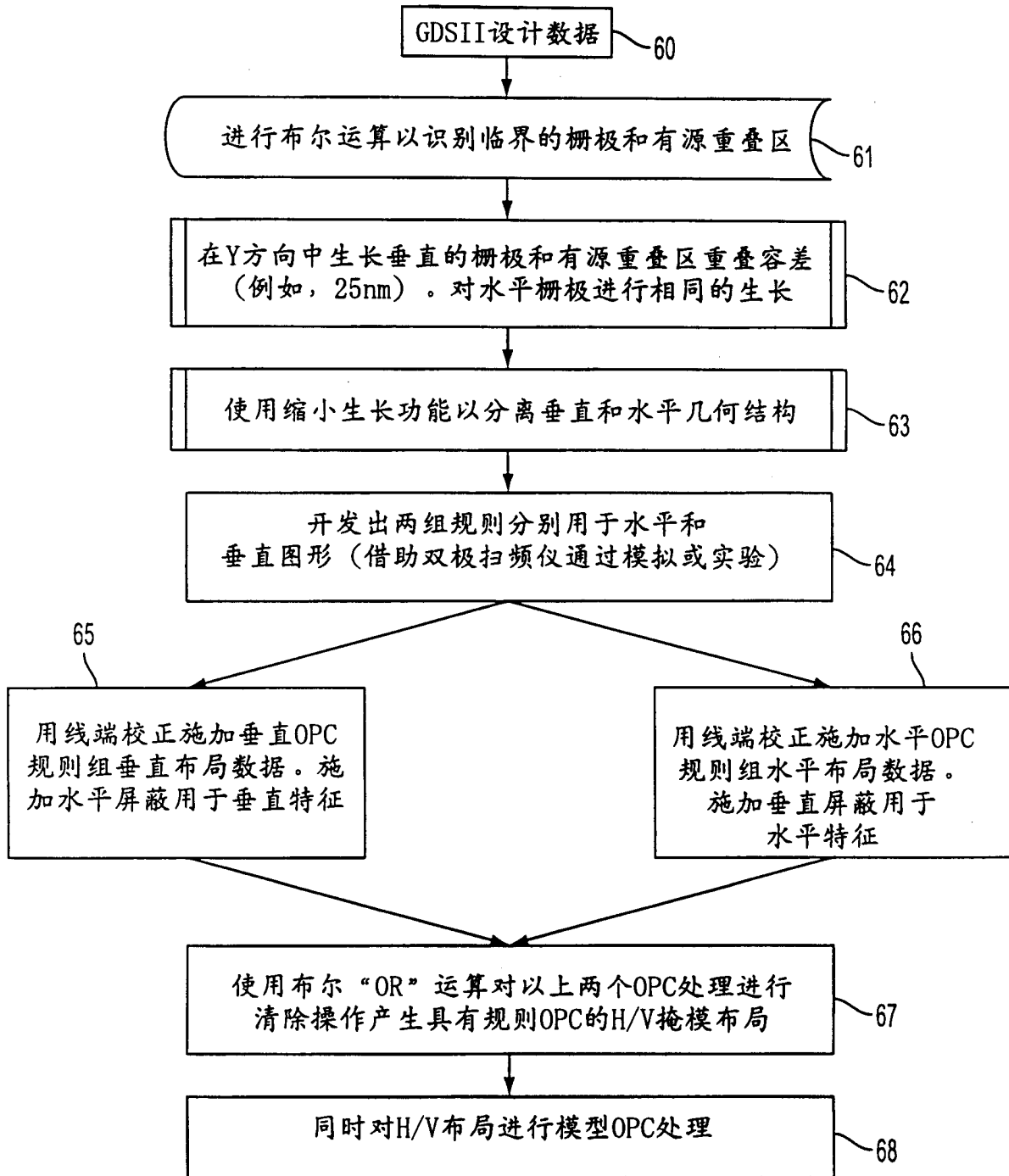
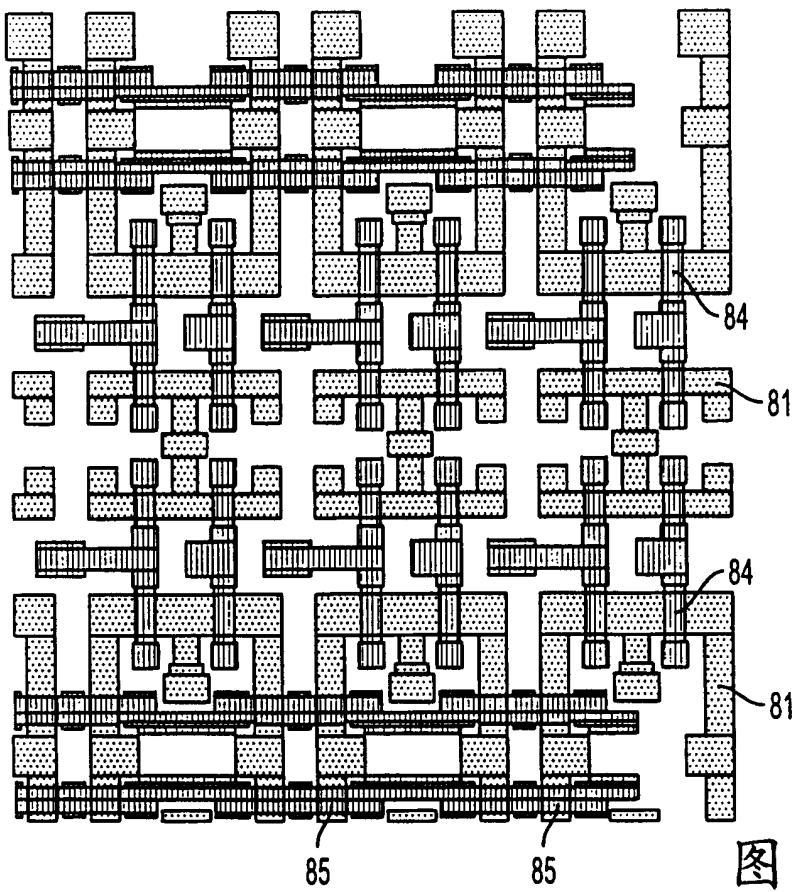
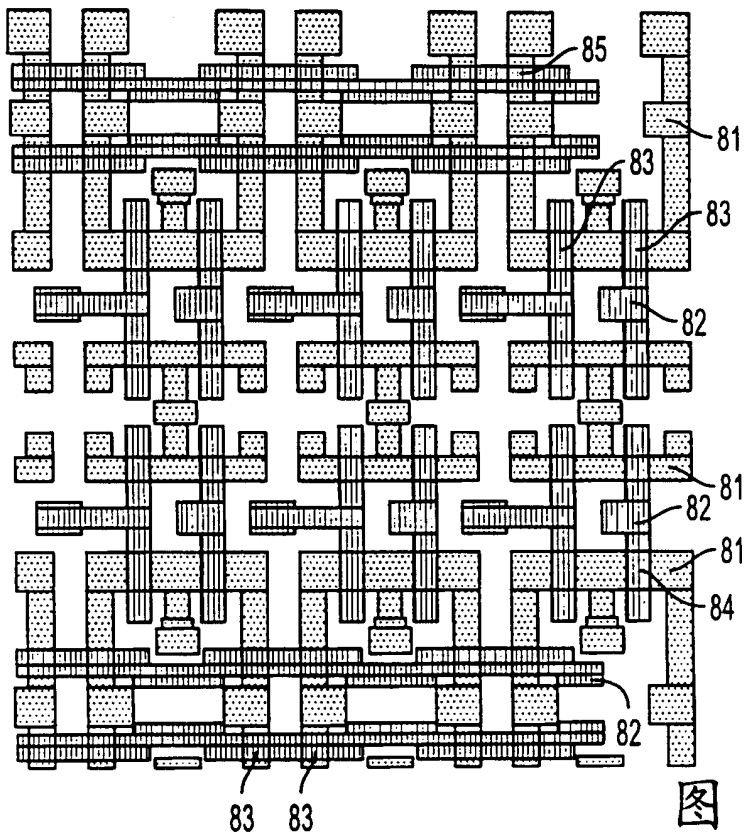
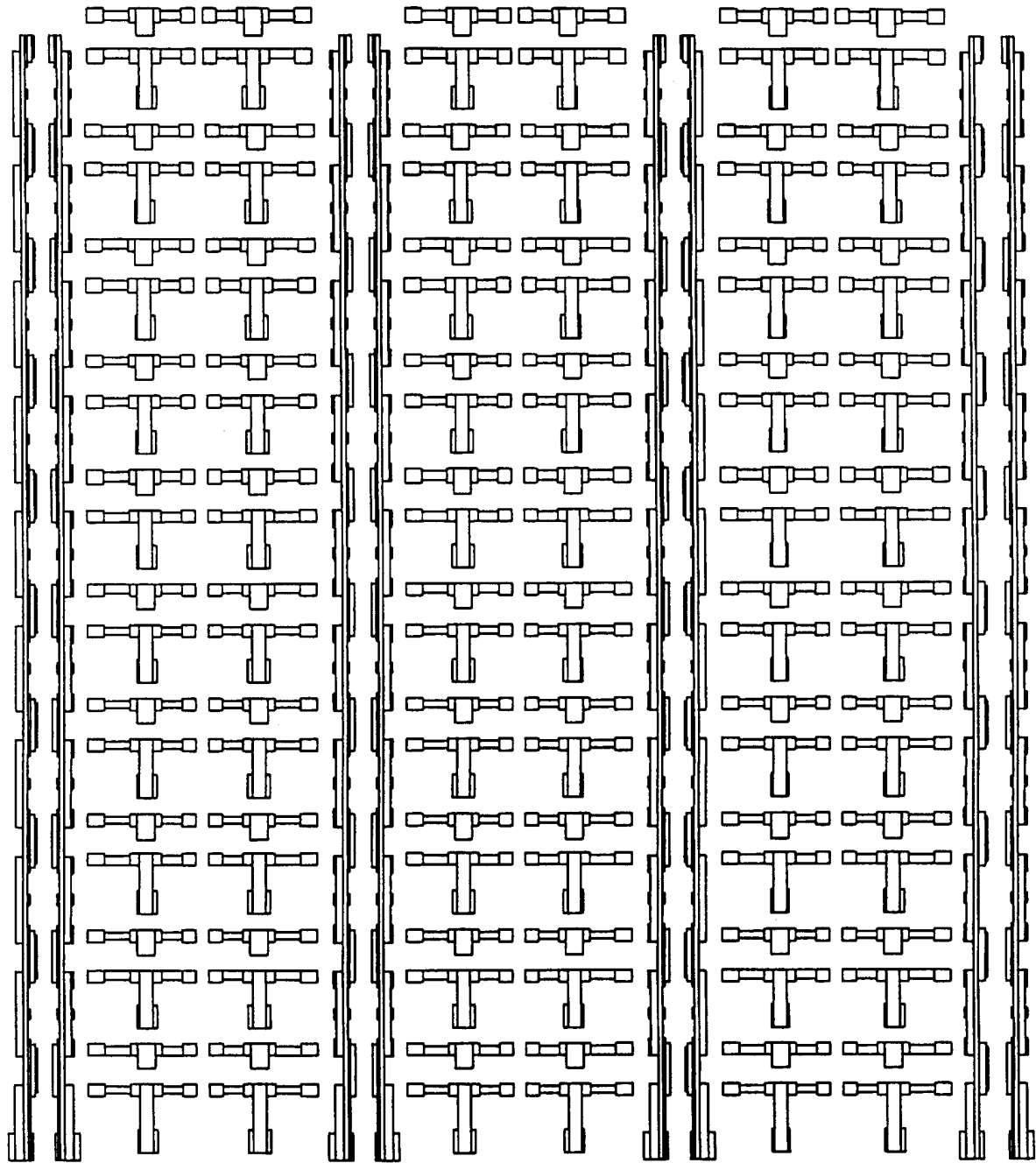


图 6



9



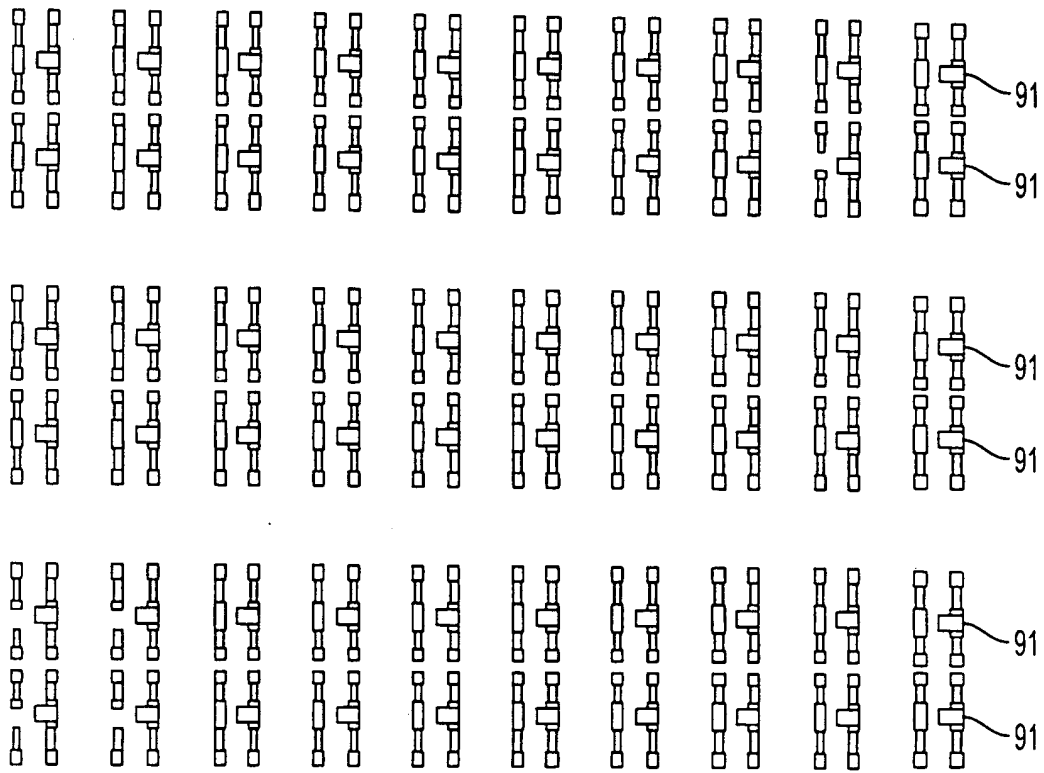


图 10

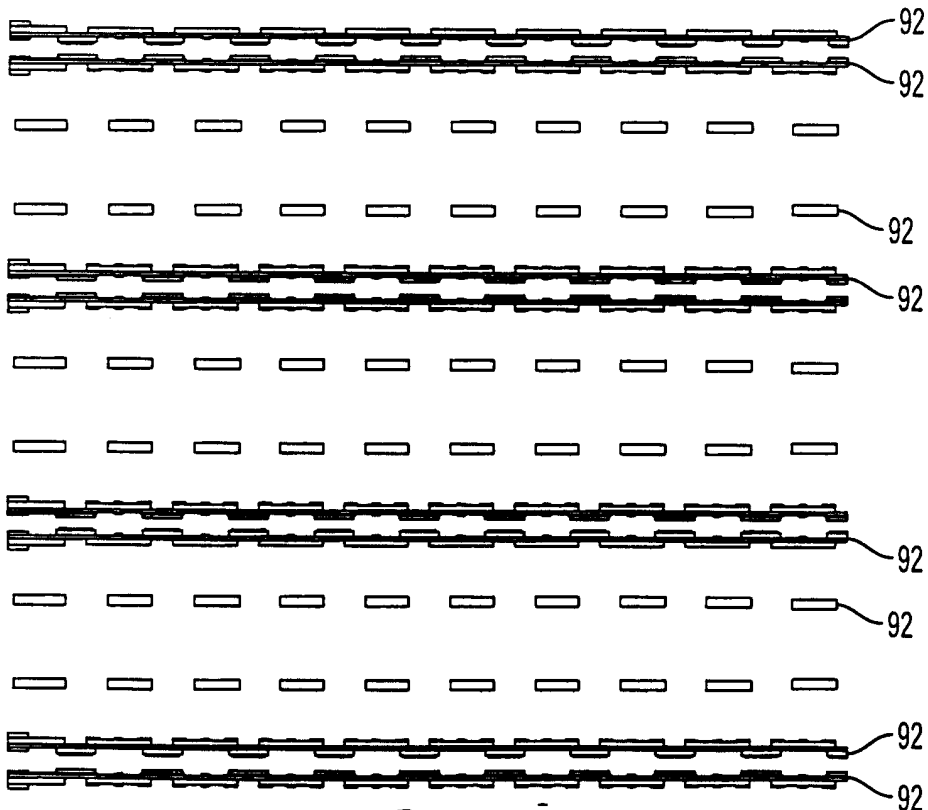


图 11

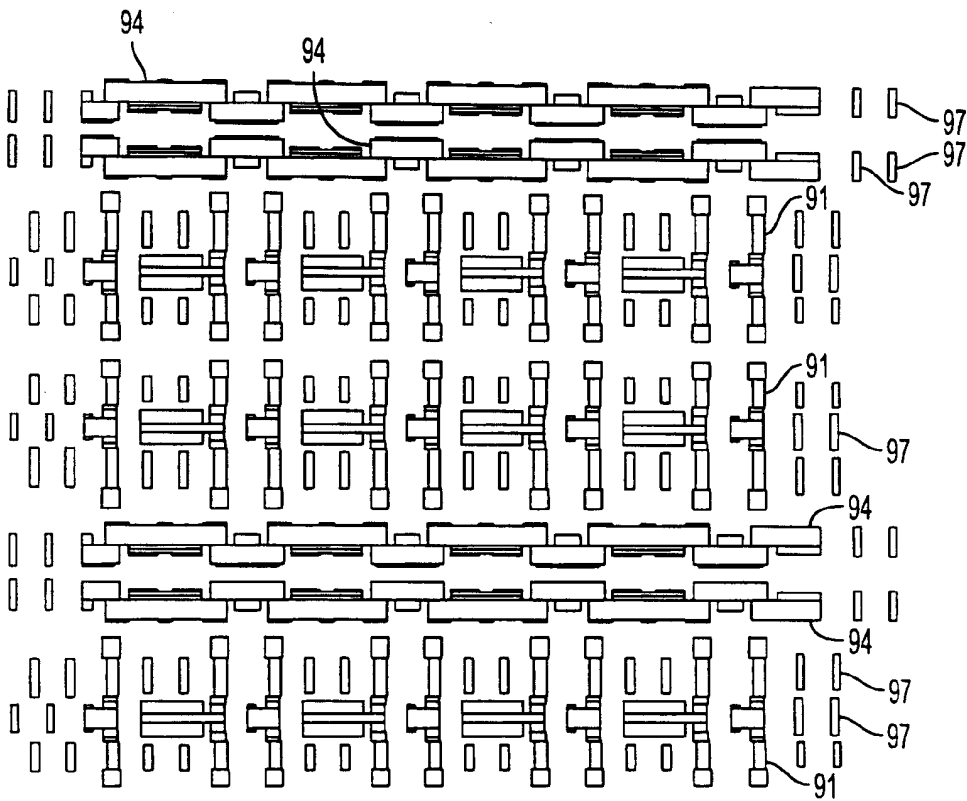


图 12

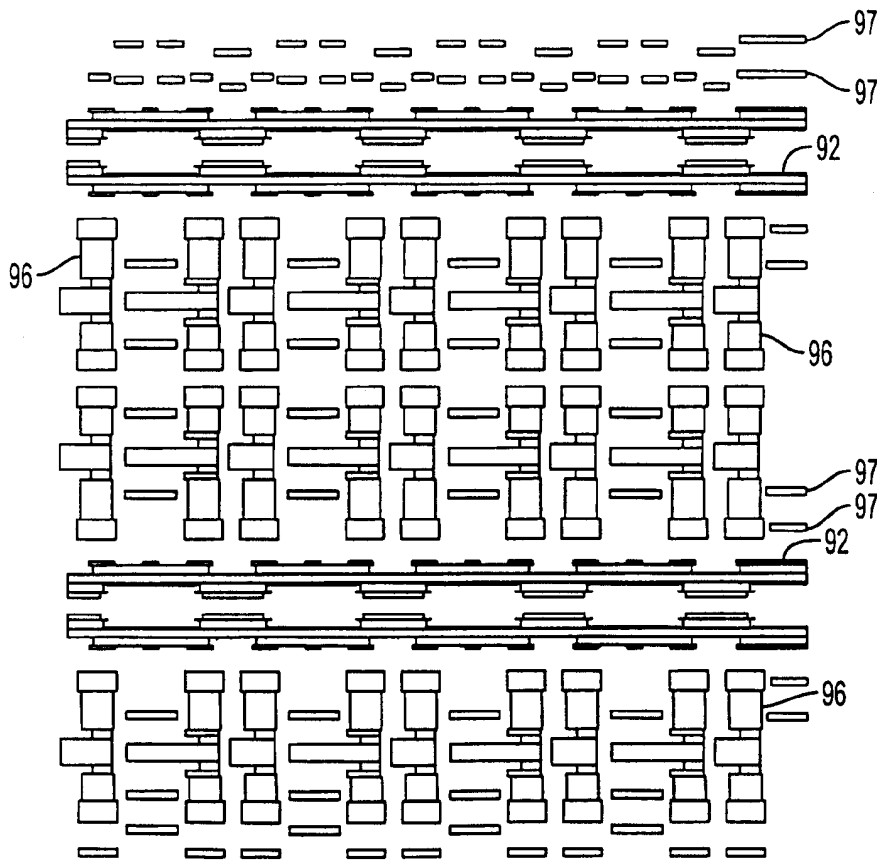


图 13



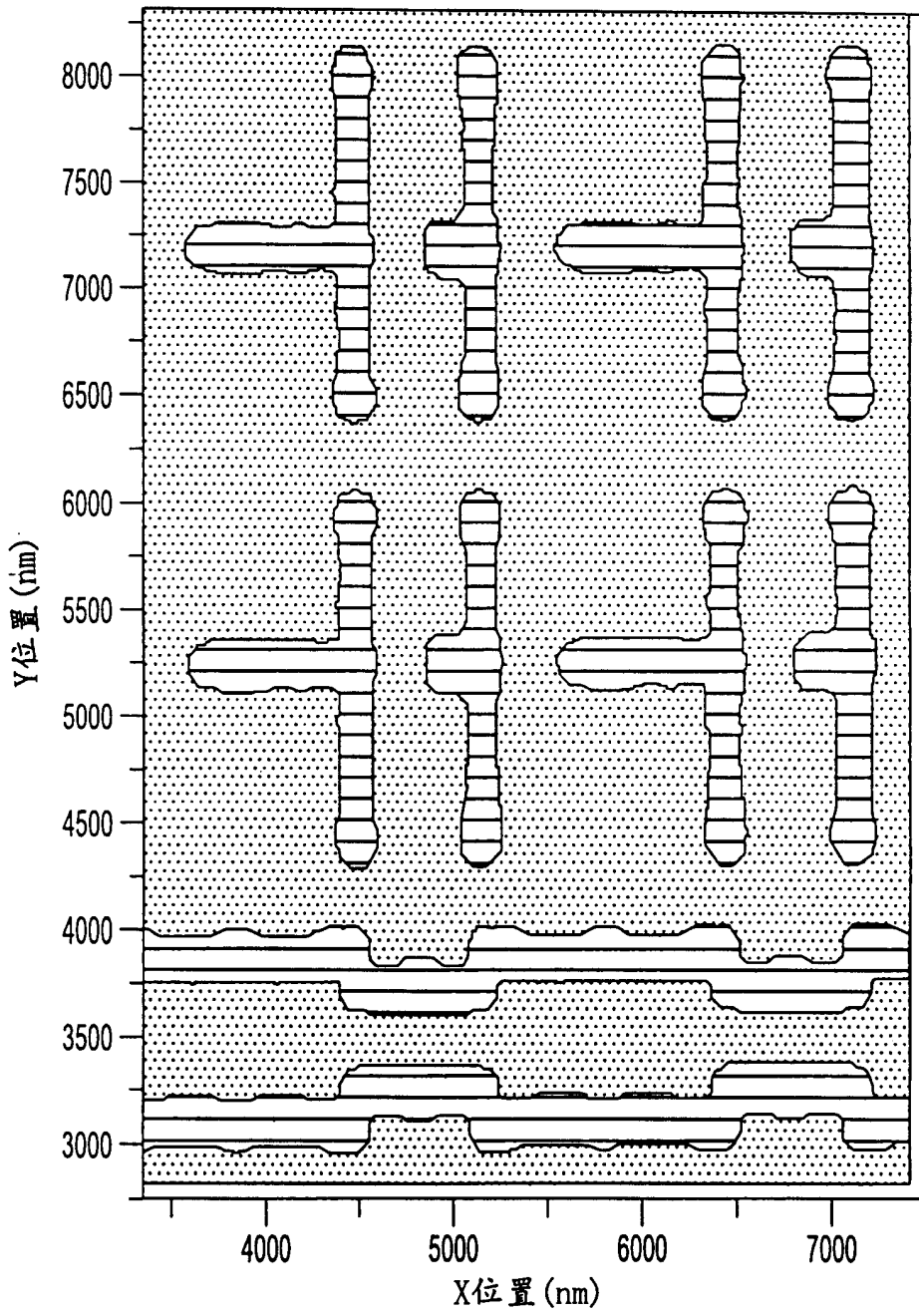


图 14

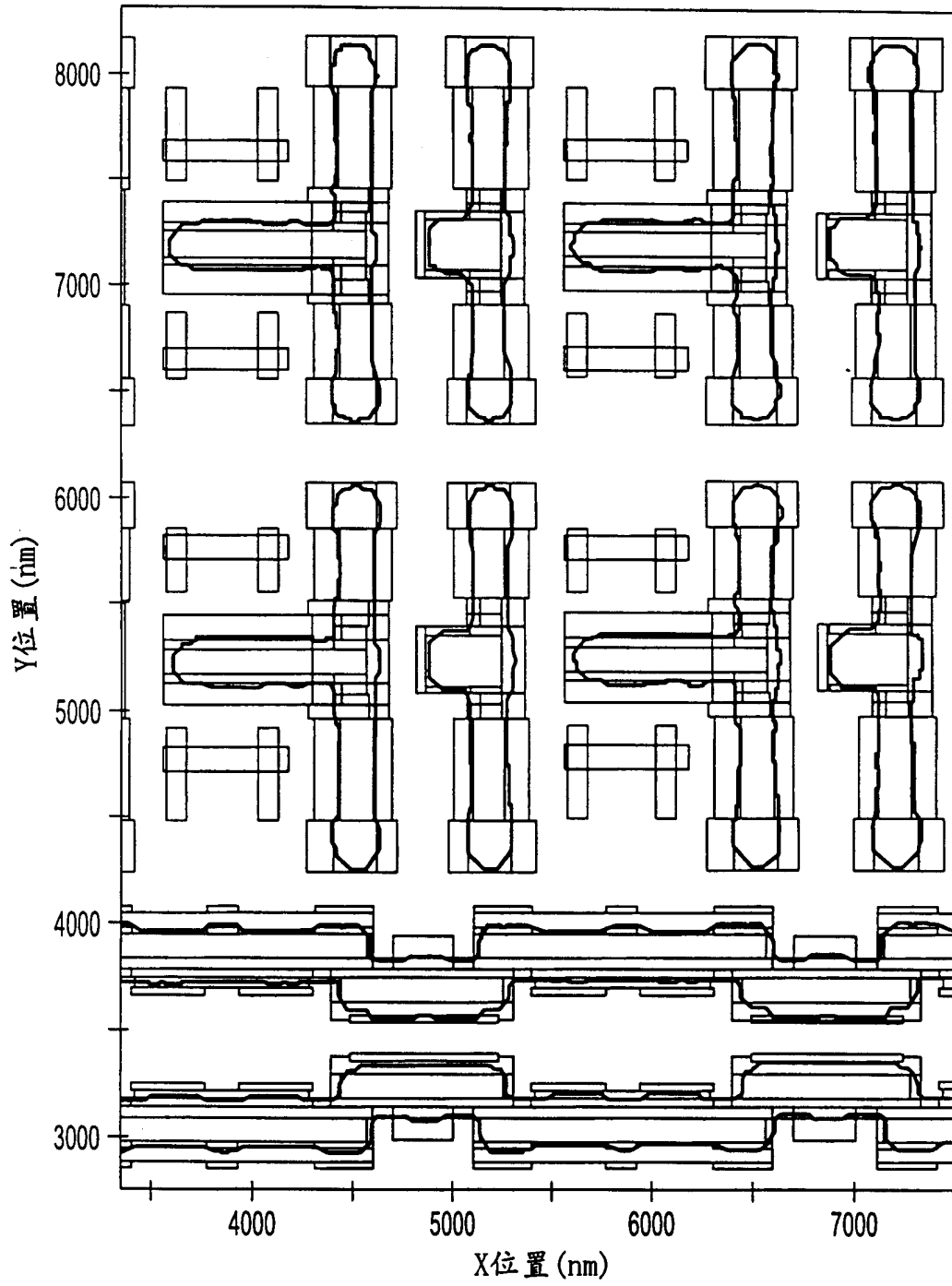


图 15

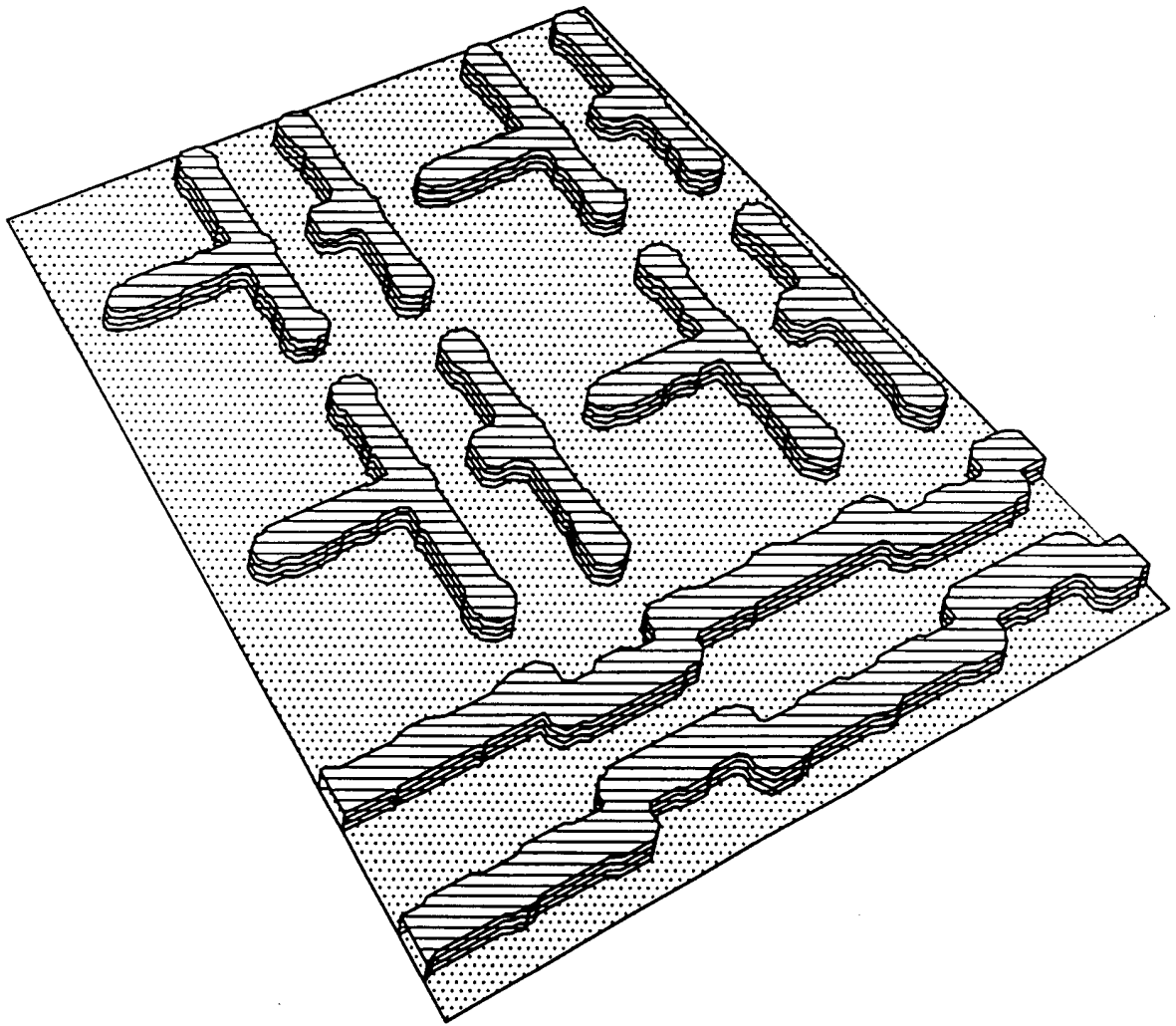


图 16

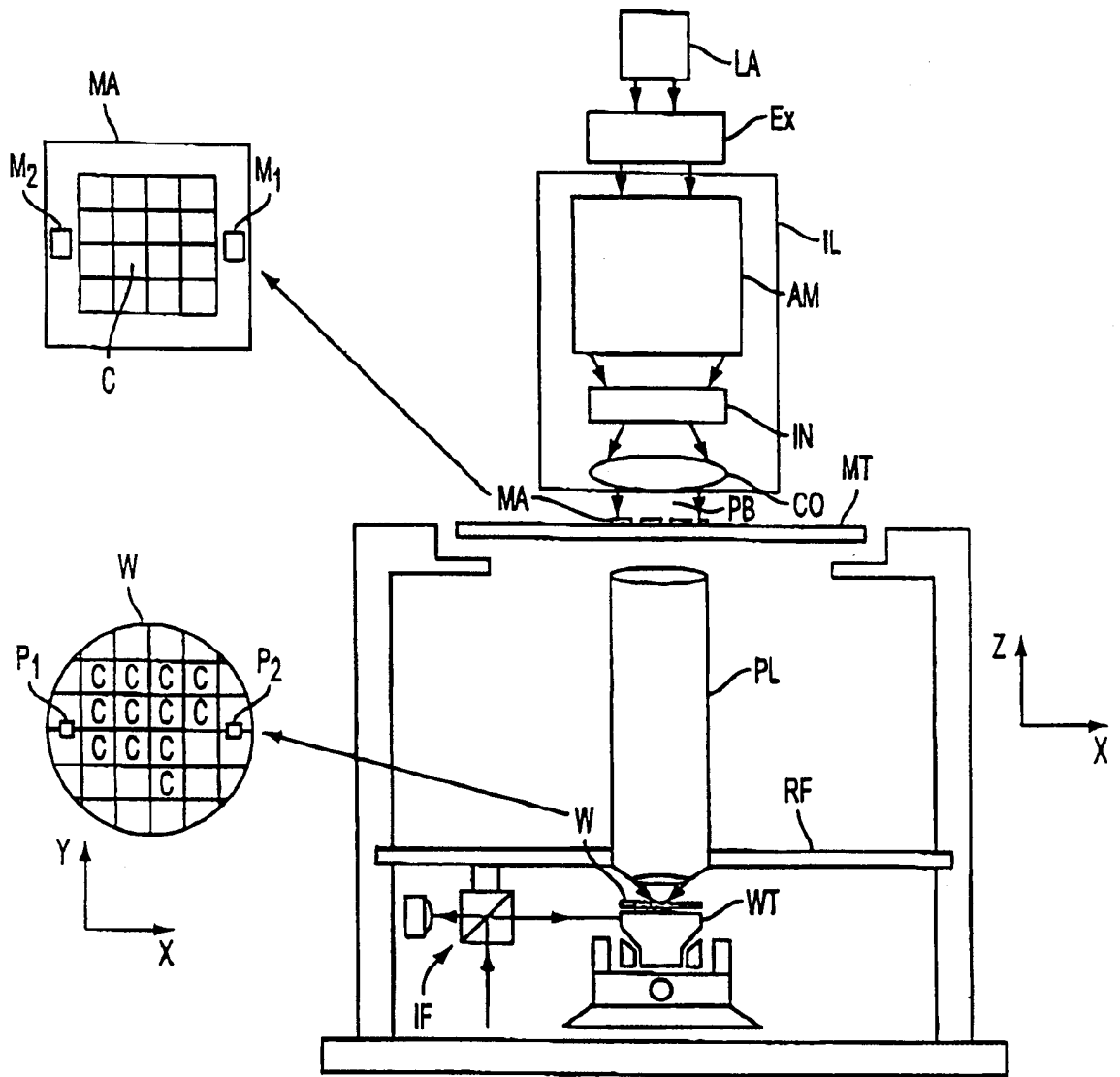


图 17