

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96150472

※申請日期：96.12.26

※IPC 分類：H01L 33/00 (2006.01)

G02F 1/3357 (2006.01)

一、發明名稱：(中文/英文)

半導體元件 / Semiconductor Device

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

晶元光電股份有限公司 / EPICSTAR CORPORATION

代表人：(中文/英文) 李秉傑 / Biing-Jye LEE

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行五路五號 / 5Li-hsin 5th Rd., Science-based Industrial Park

國籍：(中文/英文) 中華民國 / REPUBLIC OF CHINA

三、發明人：(共 3 人)

姓名：(中文/英文)

姚久琳 YAO CHIU LIN

陳澤澎 CHEN TZER PERNG

謝明勳 HSIEH MIN HSUN

國籍：(中文/英文) 中華民國 / REPUBLIC OF CHINA

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一半導體元件，尤其是一種具有導電點結構或導電線結構之發光二極體元件。

【先前技術】

發光二極體是半導體元件中一種被廣泛使用的光源。相較於傳統的白熾燈泡或螢光燈管，發光二極體具有省電及使用壽命較長的特性，因此逐漸取代傳統光源，而應用於各種領域，如交通號誌、背光模組、路燈照明、醫療設備等產業。隨著發光二極體光源的應用與發展對於亮度的需求越來越高，如何增加其發光效率以提高其亮度，便成為產業界所共同努力的重要方向。

其中，一個有效增加發光二極體元件之功率及光通量的方法為增加晶粒之表面積。然而當晶粒變大，電流無法從接觸電極均勻分散至發光層，若此時接觸電極也隨著變大以使電流均勻分散，則會產生遮光效應而減少出光面積，以上情形均造成發光二極體之發光效率無法提昇。因此如何在不改變接觸電極面積之前提下，而能將電流均勻地分散至發光層，提高發光

二極體之發光效率，是一個尚待克服之問題。

一習知作法係利用一半透明之電流分散層 (semi-transparent current spreading layer) 形成於 p 型半導體層之上，以達成電流分散之功效。電流分散層通常越薄越好，以降低吸光效應，可是電流分散層越薄，卻有片電阻 (sheet resistance) 越大的問題。

【發明內容】

本發明提供一種半導體元件，包含利用奈米壓印技術於電極與半導體疊層之間形成一導電結構，使得電流可以透過上述導電結構之設計，經由電極均勻分散至半導體疊層。上述導電結構可以是導電點結構或導電線結構之型式，其底部寬度與頂部寬度具有一特定比例，或其高度大於其任一寬度，或其任一寬度小於半導體元件之發光波長。更可以進一步於半導體疊層之表面形成一粗化結構或週期性凹凸結構。

本發明更提供一種半導體元件，其結構由上而下依序包含：電極、透明電極、導電結構及半導體疊層；或電極、第一透明電極、導電結構、第二透明電極及半導體疊層；或電極、

導電結構及半導體疊層。

本發明再提供一種半導體元件，在位於電極與半導體疊層之間的導電結構之側壁，形成一保護層，以加強導電結構之底部支撐力，解決當導電結構之高度與寬度的比值變大或半導體疊層具有粗糙表面時，導電結構容易傾倒的問題。或者，也可以利用導電結構作為光罩，進行蝕刻，使半導體發光疊層形成複數個通道後，填入絕緣保護層，以簡化製程所需之光罩數量，降低成本。

本發明也提供一種半導體元件，包含一半導體疊層，具有一第一半導體層、一主動層與一第二半導體層；以及一導電結構，形成於第一半導體層或第二半導體層之中。

透過上述各種導電結構之設計，可以使電流經由電極，均勻的分散至半導體疊層，使發光效率提高。

【實施方式】

本發明利用一奈米壓印技術，於一半導體元件之電極與半導體疊層間形成一導電結構，例如為許多導電點或導電線結構，使電流可以從電極經由導電點或導電線等結構設計，均勻

分散至半導體疊層。由於奈米壓印技術所形成之導電結構寬度相當細小，甚至小於半導體元件的發光波長，所以並不會產生明顯的遮光現象，而可以有效提升半導體元件的發光效率。上述之結構，並不侷限於任何特定半導體元件，例如可以是發光元件、太陽能光電元件或二極體元件等。基於上述之發明特徵提出各種不同之實施例，如下所述。

第 1A~1G 圖是本發明第一實施例之製程步驟示意圖。如第 1A 圖所示，於暫時基板 101 上形成一光阻層 102；另製備一具有奈米結構之壓印模板 103。然後，進行如第 1B 圖所示之奈米壓印步驟，將原本壓印模板 103 之奈米結構，壓印至光阻層 102，而形成一具有梯型形狀之圖案化光阻層 104。再者，更於一基板 111 上形成一半導體疊層，包含一第一半導體層 112、一主動層 113 與一第二半導體層 114，並將第二製程步驟所形成之具有梯型形狀之圖案化光阻層 104，連結於第二半導體層 114 之上，如第 1C 圖所示。接著利用剝離方法，將暫時基板 101 移除，如第 1D 圖所示。然後再利用氧電漿(O₂ Plasma)對圖案化光阻層 104 之表面進行蝕刻以移除部份光阻層，形成如第 1E 圖所示之一倒梯形的成型光阻層 105。接著，如第 1F 圖所示以濺鍍(Sputtering)法或電子束沉積(E-beam)法，填入一導電材料於成型光阻層 105 之空隙，再用剝離法將成型光阻層

105 移除，便可以獲得複數個上尖下寬而接近三角形之導電點結構 115，其實際形狀如第 9 圖之掃描式電子顯微鏡 (SEM) 照片所示。上述之導電點結構 115 具有與第二半導體層 114 所接觸的底部寬度 $W1$ 、頂部寬度 $W2$ 位於底部寬度 $W1$ 之相對側、以及高度 H 為底部寬度 $W1$ 與頂部寬度 $W2$ 之間的距離；其中底部寬度 $W1$ 係小於 $5\mu\text{m}$ ，較佳為介於 $0.1\mu\text{m}\sim 3\mu\text{m}$ 之間。再者，頂部寬度 $W2$ 小於底部寬度 $W1$ 的 0.7 倍，較佳為小於底部寬度 $W1$ 的 0.35 倍或是一接近於三角型之結構。另一方面，其高度 H 則大於底部寬度 $W1$ ，較佳為底部寬度 $W1$ 之 1.5 倍以上。再者，本實施例之底部寬度 $W1$ 與頂部寬度 $W2$ 更可以是小於半導體元件之發光波長，且其高度 H 大於 $50\mu\text{m}$ 。

最後，於導電點結構 115 上方形成一透明導電層 116，並分別於透明導電層 116 之上方形形成一第一電極 117，以及於基板 111 下方形成一第二電極 118，如第 1G 圖所示，即完成本實施例之具有複數個可將電流均勻分散之導電點結構的半導體元件。透過上述之半導體元件結構設計，可以使電流從第一電極 117，經透明導電層 116 做橫向傳導，再透過導電點結構 115 使電流均勻分散開來並往下傳導至半導體疊層，不讓電流只集中在第一電極 117 之下方區域。而第 1H 圖為本實施例第 1G 圖之上方透視圖，顯示導電點結構 115 為點狀均勻地分散

在半導體元件之中。

上述之暫時基板 101，可以是金屬基板、絕緣基板、半導體基板或熱塑性高分子基板，如銅(Cu)基板、鎳(Ni)基板、環氧樹脂(Epoxy)基板、藍寶石(Sapphire)基板或氮化鎵(GaN)基板；基板 111，可以是藍寶石(Sapphire)、碳化矽(SiC)、矽(Si)、氧化鋅(ZnO)、氧化鎂(MgO)、氮化鋁(AlN)、氮化鎵(GaN)、磷化鎵(GaP)、砷化鎵(GaAs)、砷化鋁鎵(AlGaAs)、磷化鎵砷(GaAsP)或金屬基板如銅(Cu)基板、鎳(Ni)基板；光阻層 102，可以是軟性金屬層、UV 膠、熱固性材料、熱塑性高分子層或氧化銦錫層；壓印模板 103，可以是由下列材料經由圖案化製程所形成，例如矽(Si)、鎳(Ni)、氮化鎵(GaN)、石英、藍寶石(Sapphire)與高分子材料等；第一半導體層 112、主動層 113 與第二半導體層 114，可以由磷化鋁銦鎵(AlGaInP)系列或氮化銦鎵(InGaN)系列之半導體材料，經由磊晶製程形成；導電點結構 115，可以是金(Au)、銀(Ag)、鉻/金(Cr/Au)、金/鈹金/金(Au/BeAu/Au)或金/鍺金鎳/金(Au/GeAuNi/Au) 或奈米碳管所組成；透明導電層 116 可以是氧化銦錫、氧化銦鋅、氧化鎳錫、氧化鋅、氧化銦、氧化錫、氧化銅鋁、氧化銅鎵、氧化鋇銅或奈米碳管所組成；第一電極 117 與第二電極 118，可以是鉻/金(Cr/Au)、鈦/鈷/金(Ti/Pt/Au)、金/鈹金/金(Au/BeAu/Au)、或金/鍺金鎳/金

(Au/GeAuNi/Au) 所組成。下述其他圖式中相同之元件將標以相同之標號，且不再贅述，合先述明。

第 2A 圖與第 2B 圖為本發明之第二實施例。其製程方法與結構，與第一實施例大致相似，主要的差異是將導電點結構 115 以導電線結構 121 取代。電流透過這些各種不同的圖案設計之導電線結構 121，均勻地分散至整體半導體元件，如第 2B 圖所示。上述之導電線結構 121，具有一與第二半導體層 114 所接觸的底部寬度 $W1$ 、頂部寬度 $W2$ 位於底部寬度 $W1$ 之相對側、以及高度 H 為底部寬度 $W1$ 與頂部寬度 $W2$ 之間的距離；其中底部寬度 $W1$ 係小於 $5\mu\text{m}$ ，較佳為介於 $0.1\mu\text{m}\sim 3\mu\text{m}$ 之間。再者，頂部寬度 $W2$ 小於底部寬度 $W1$ 的 0.7 倍，且較佳為小於底部寬度 $W1$ 的 0.35 倍或是一個接近於三角形之結構。另一方面，其高度 H 大於底部寬度 $W1$ ，且較佳為底部寬度 $W1$ 之 1.5 倍。本實施例之導電線結構 121 係一截面接近三角形之長條結構，其實際形狀如第 10 圖之掃描式電子顯微鏡 (SEM) 照片所示。

更可以進一步於第二半導體層 114 之表面進行粗糙化工程，形成一粗糙化結構 131，如第 3A 圖所示為本發明之第三實施例；或者，於第二半導體層 114 之表面，形成一具有週期

性或準週期之凹凸結構 132，如第 3B 圖所示為本發明之第四實施例。透過上述兩種結構，可以將主動層 113 所產生的光更有效的導出，而增加半導體元件的發光效率。

本發明之奈米壓印技術有別於一般傳統的光罩技術，可以簡單而有效的產生一線寬更小的光阻圖案，並且輕易的完成後續之圖案化製程。所以本發明更提出如第 3C 圖所示之第五實施例，於粗糙度(Ra)界於 $0.1\mu\text{m}\sim 3\mu\text{m}$ 之第二半導體層 114 的表面 133 上方，利用奈米壓印技術形成導電線結構 121。另外提出一第六實施例，如第 3D 圖所示，係利用奈米壓印技術於第二半導體層 114 上方形成光阻圖案，然後對第二半導體層 114 進行蝕刻形成複數個溝槽 122，再將導電線結構 121 填入複數個溝槽中以形成一平面 134，之後再覆蓋上透明導電層 116 與第一電極 117。

第 4A 圖為本發明之第七實施例。如圖所示，本實施例是於第一電極 117 下方設置各種不同圖案之導電線結構 121，並與第一電極 117 直接電性連結；因此電流便可以從第一電極 117，直接透過導電線結構 121 之傳導，均勻的分散至整體元件；同時也可以設計一具有指狀延伸圖案（圖未示）之第一電極 117，置於導電線結構 121 之上方，以便若導電線結構 121

有斷線產生時，仍可透過上方第一電極 117 之指狀延伸圖案，做電性導通。而本發明第之八實施例，如第 4B 圖所示，其主要特徵是先在第二半導體層 114 之上方，形成一第一透明導電層 141；之後於一第一透明導電層 141 之上方形形成導電線結構 121，再覆蓋一第二透明導電層 142；最後將第一電極 117 形成於第二透明導電層 142 之上。

第 5 圖所示為本發明之第九實施例。其製程方法與結構，與第一實施例大致相似，唯一的差異是，更包含一保護層 151，包覆於導電線結構 121 之側邊位置，以增加導電線結構 121 與第二半導體層 114 之附著強度，用以解決當導電線結構 121 之高度與寬度的比值變大時，導電線結構 121 缺乏支持而剝落的問題。其中，上述之保護層 151 可以是一透明材料例如二氧化矽或高分子材料，利用溶膠凝膠法(Sol-gel)或旋轉塗布法(Spin Coating)，於導電線結構 121 之側邊位置形成保護層 151。

第 6 圖所示為本發明之第十實施例。其中形成此元件之方法為，先利用使用奈米壓印技術，於半導體疊層之第二半導體層 114 之上形成導電線結構 121，然後再利用上述所形成之導電線結構 121 作為光罩，利用感應耦合電漿離子蝕刻法(Inductively Coupled plasma)對半導體疊層進行蝕刻，產生如圖

所示之導電線結構 121 下方的半導體疊層柱狀結構及複數個溝槽；之後使用絕緣材料將複數個溝槽填滿，形成一絕緣保護層 161；最後於絕緣保護層 161 上方，形成透明導電層 162 及第一電極 117，以完成該實施例之元件結構。透過上述半導體疊層柱狀結構之設計，可以增加半導體疊層所產生的光之發光效率。其中該透明保護層可以是環氧樹脂(Epoxy)、二氧化矽(SiO₂)等材料所組成。

上述之所有實施例之結構並不只侷限於導電點結構或導電線結構，兩者均可以互換或同時存在，或者是其它具有相同特性之導電結構；同時也並不侷限於金屬材料，只要是具有導電特性之材料即可。本發明之導電點結構或導電線結構並不侷限於電極與半導體疊層之間，也可以同時是位於半導體疊層之上下兩面，或半導體疊層之中或不同半導體疊層之間，以作為分散電流之用。

第 7 圖顯示一背光模組裝置。其中上述背光模組裝置包含：由上述任意實施例之半導體元件 711 所構成的一光源裝置 710；一光學裝置 720 置於光源裝置 710 之出光路徑上，負責將光做適當處理後出光；以及一電源供應系統 730，提供上述光源裝置 710 所需之電源。

第 8 圖顯示一照明裝置。上述照明裝置可以是車燈、街燈、手電筒、路燈、指示燈等等。其中照明裝置包含：一光源裝置 810，係由上述任意實施例的半導體元件 811 所構成；一電源供應系統 820，提供光源裝置 810 所需之電源；以及一控制元件 830 以控制電源供應系統 820 輸入光源裝置 810 之電源。

雖然本發明已藉各實施例說明如上，然其並非用以限制本發明之範圍；且任何對於本發明所作之各種修飾與變更，皆不脫本發明之精神與範圍。

【圖式簡單說明】

- 第 1A 圖 係本發明第一實施例之第一步驟。
- 第 1B 圖 係本發明第一實施例之第二步驟。
- 第 1C 圖 係本發明第一實施例之第三步驟。
- 第 1D 圖 係本發明第一實施例之第四步驟。
- 第 1E 圖 係本發明第一實施例之第五步驟。
- 第 1F 圖 係本發明第一實施例之第六步驟。
- 第 1G 圖 係本發明第一實施例之結構剖面圖。
- 第 1H 圖 係本發明第一實施例之上方透視圖。
- 第 2A 圖 係本發明第二實施例之結構圖。
- 第 2B 圖 係本發明第二實施例之上方透視圖。

- 第 3A 圖 係本發明第三實施例之結構圖。
 第 3B 圖 係本發明第四實施例之結構圖。
 第 3C 圖 係本發明第五實施例之結構圖。
 第 3D 圖 係本發明第六實施例之結構圖。
 第 4A 圖 係本發明第七實施例之結構圖。
 第 4B 圖 係本發明第八實施例之結構圖。
 第 5 圖 係本發明第九實施例之結構圖。
 第 6 圖 係本發明第十實施例之結構圖。
 第 7 圖 係本發明之背光模組裝置。
 第 8 圖 係本發明之照明裝置。
 第 9 圖 係本發明之導電點結構之 SEM 照片。
 第 10 圖 係本發明之導電線結構之 SEM 照片。

【主要元件符號說明】

- | | | | |
|-----|---------|-----|---------|
| 101 | 暫時基板 | 102 | 光阻層 |
| 103 | 壓印模板 | 104 | 圖案化光阻層 |
| 105 | 成型光阻層 | 111 | 基板 |
| 112 | 第一半導體層 | 113 | 主動層 |
| 114 | 第二半導體層 | 115 | 導電點結構 |
| 116 | 透明導電層 | 117 | 第一電極 |
| 118 | 第二電極 | 121 | 導電線結構 |
| 122 | 溝槽 | | |
| 131 | 粗糙化結構 | 132 | 週期性凹凸結構 |
| 141 | 第一透明導電層 | 142 | 第二透明導電層 |
| 151 | 保護層 | 161 | 絕緣保護層 |
| 162 | 透明導電層 | 710 | 光源裝置 |
| 711 | 半導體元件 | 720 | 光學裝置 |
| 730 | 電源供應系統 | 810 | 光源裝置 |

200929601

820 電源供應系統

830 控制元件

811 半導體元件

五、中文發明摘要：

半導體元件

一種半導體元件，包含有一半導體疊層，一電極，與一利用奈米壓印技術所形成之導電結構形成於電極與半導體疊層之間，使電流可以透過電極與導電結構，均勻的分散至半導體疊層之中。上述之導電結構具有一頂部寬度、一底部寬度與一高度，且其頂部寬度小於底部寬度或其高度大於底部寬度。

六、英文發明摘要：

Semiconductor Device

A semiconductor device includes a conductive structure made by a nano-imprint process located between an electrode and a semiconductor stacked layer. The conductive structure spreads the current passing through the electrode uniformly to the semiconductor stacked layer. The conductive structure has a bottom width, a top width and a height wherein the top width is smaller than the bottom width, or the height is greater than the bottom width.

十、申請專利範圍：

1. 一半導體元件，包含：
一半導體疊層；以及
一導電結構，形成於該半導體疊層之上，且具有與該半導體疊層接觸之一底部寬度，位於該底部寬度之相對側之一頂部寬度，以及一高度係該底部寬度與該頂部寬度之距離，其中該頂部寬度與該底部寬度之比值小於 0.7。
2. 如申請專利範圍第 1 項所述之一半導體元件，其中該頂部寬度與該底部寬度之比值小於 0.35。
3. 如申請專利範圍第 1 項所述之一半導體元件，其中該導電結構之截面係一三角形。
4. 如申請專利範圍第 1 項所述之一半導體元件，其中該底部寬度小於 $5\mu\text{m}$ ，且較佳為 $0.1\mu\text{m}\sim 3\mu\text{m}$ 。
5. 如申請專利範圍第 1 項所述之一半導體元件，其中該底部寬度小於該半導體元件的發光波長。
6. 如申請專利範圍第 1 項所述之一半導體元件，其中該高度大於該底部寬度，且較佳為該底部寬度之 1.5 倍以上。
7. 如申請專利範圍第 1 項所述之一半導體元件，其中更包含於該半導體疊層之表面形成一粗糙化結構或一週期性凹凸結構。
8. 如申請專利範圍第 1 項所述之一半導體元件，更包含一保護

層形成於該導電結構之側壁。

9. 如申請專利範圍第 1 項所述之一半導體元件，更包含一透明導電層覆蓋於該導電結構之上。
10. 如申請專利範圍第 1 項所述之一半導體元件，更包含另一透明導電層形成於該導電結構與該半導體疊層之間。
11. 如申請專利範圍第 1 項所述之一半導體元件，更包含複數個溝槽位於該半導體疊層之中，並以一絕緣保護層填滿。
12. 如申請專利範圍第 1 項所述之一半導體元件，其中該導電結構可以是一導電點結構或一導電線結構。
13. 如申請專利範圍第 1 項所述之一半導體元件，其中該半導體疊層上方具有一平均粗糙度(Ra)大於 $0.1\mu\text{m}$ 之表面。
14. 如申請專利範圍第 1 項所述之一半導體元件，其中該導電結構是一導電線結構，以及更包含一電極直接形成於該導電線結構之上方。
15. 如申請專利範圍第 14 項所述之一半導體元件，其中該電極具有一指狀延伸圖案。
16. 一半導體元件，包含：
一半導體疊層；以及
一導電結構，形成於該半導體疊層之上，且具有與該半導體疊層接觸之一底部寬度，位於該底部寬度之相對側之一頂部寬度，以及一高度係該底部寬度與該頂部寬度之距離，其中

該高度大於該底部寬度。

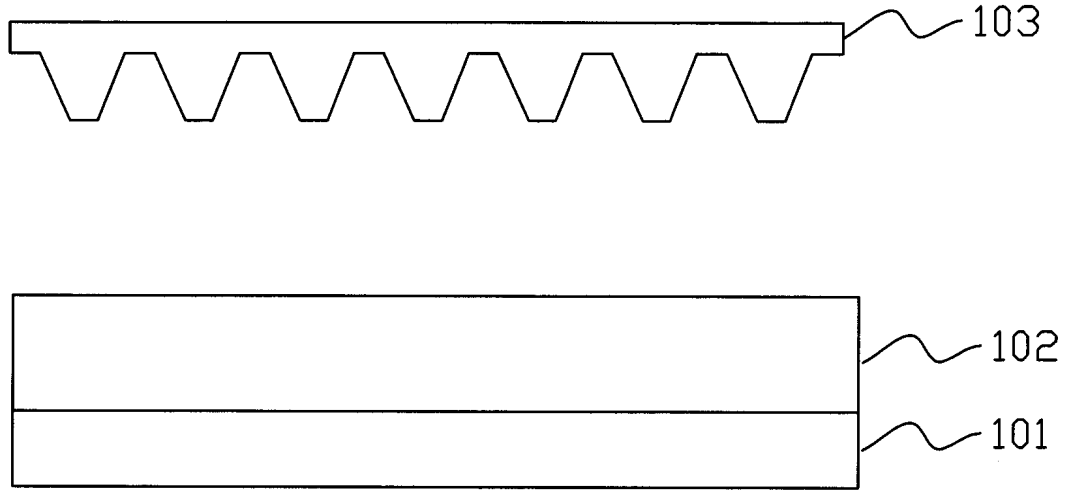
17. 如申請專利範圍第 16 項所述之一半導體元件，該高度大於該底部寬度之 1.5 倍。
18. 如申請專利範圍第 16 項所述之一半導體元件，其中該底部寬度小於該半導體元件的發光波長。
19. 如申請專利範圍第 16 項所述之一半導體元件，更包含一保護層形成於該導電結構之側壁。
20. 一半導體元件，包含：
一半導體疊層，包含一第一半導體層、一主動層與一第二半導體層；以及
一導電結構，形成於該第一半導體層或該第二半導體層之中。
21. 如申請專利範圍第 20 項所述之一半導體元件，其中該導電結構可以是一導電點結構或一導電線結構。
22. 如申請專利範圍第 20 項所述之一半導體元件，其中該導電結構之寬度小於 $5\mu\text{m}$ ，且較佳為 $0.1\mu\text{m}\sim 3\mu\text{m}$ 。
23. 如申請專利範圍第 20 項所述之一半導體元件，更包含一透明導電層形成於該半導體疊層之上。
24. 一背光模組裝置包含：
一光源裝置，係由申請專利範圍第 1~23 項所述之任一半導體元件所組成；

- 一光學裝置，位於該光源裝置之一出光路徑上；以及
- 一電源供應系統，提供該光源裝置所需之電源。

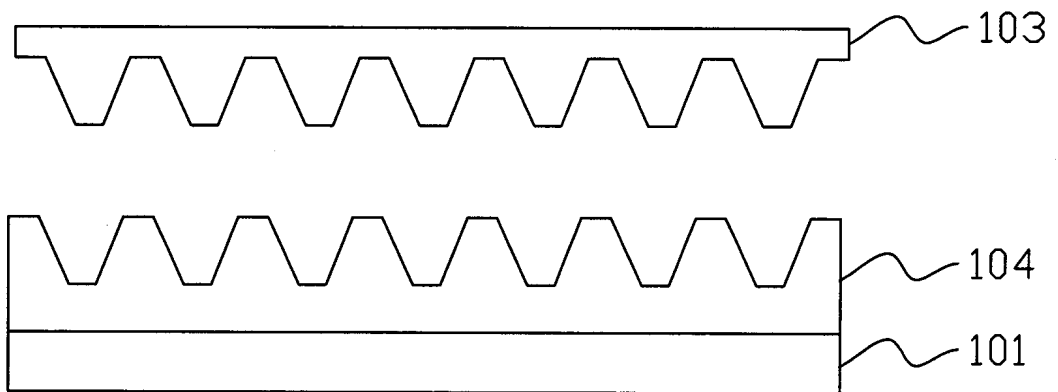
25. 一照明裝置包含：

- 一光源裝置，係由申請專利範圍第 1~23 項所述之任一半導體元件所組成；
- 一電源供應系統，係提供該光源裝置所需之電源；以及
- 一控制元件，係控制該電源供應系統輸入該光源裝置之電源。

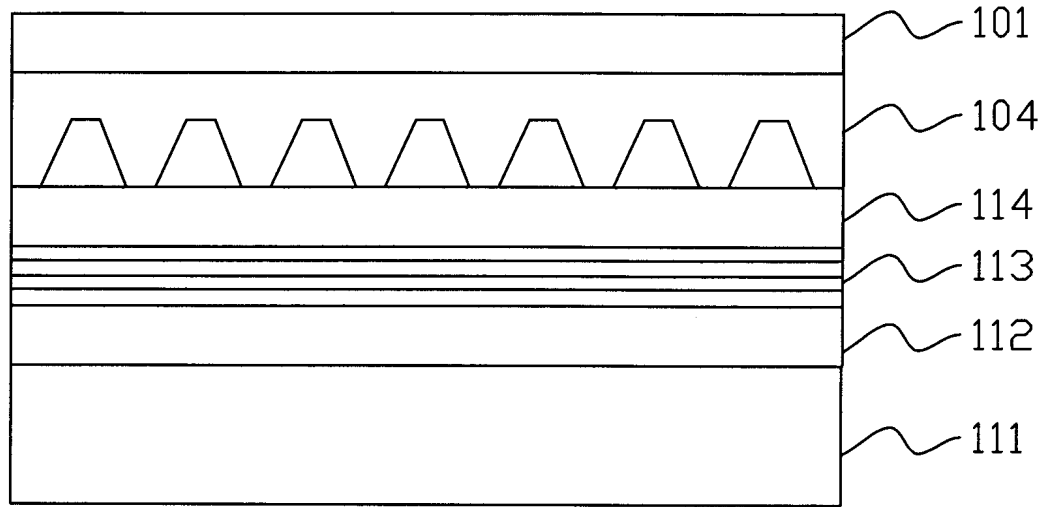
十一、圖式：



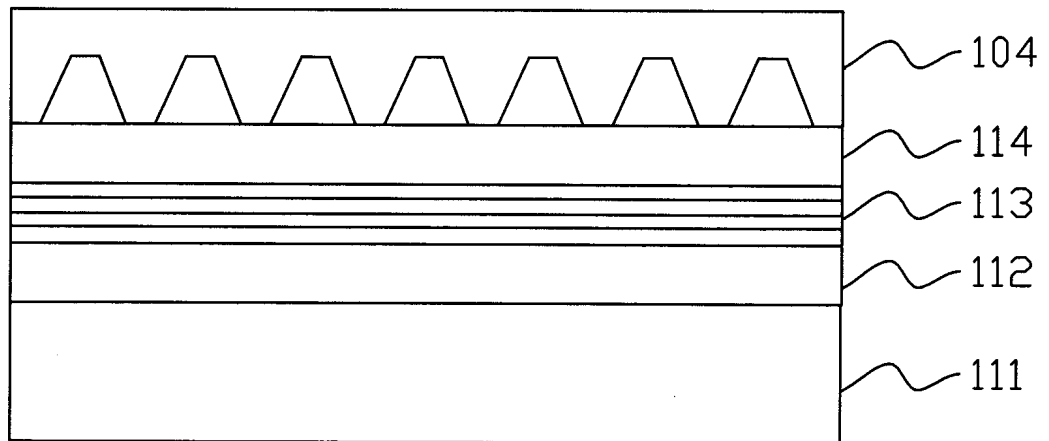
第1A圖



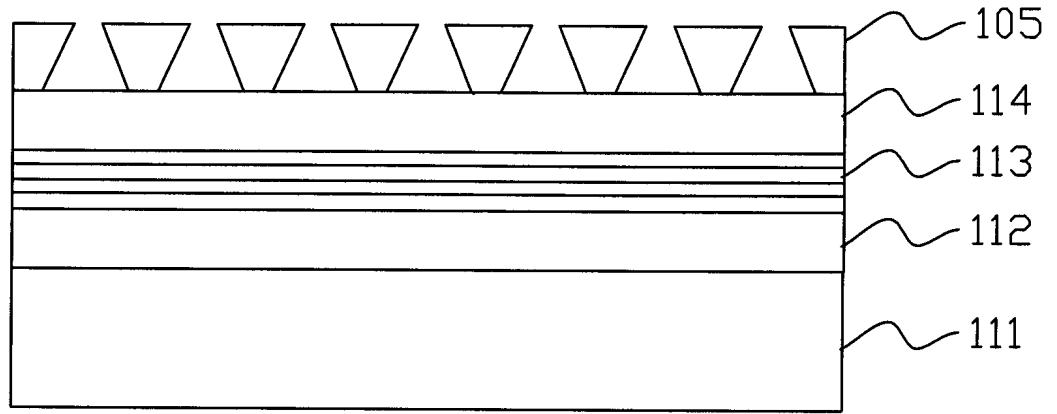
第1B圖



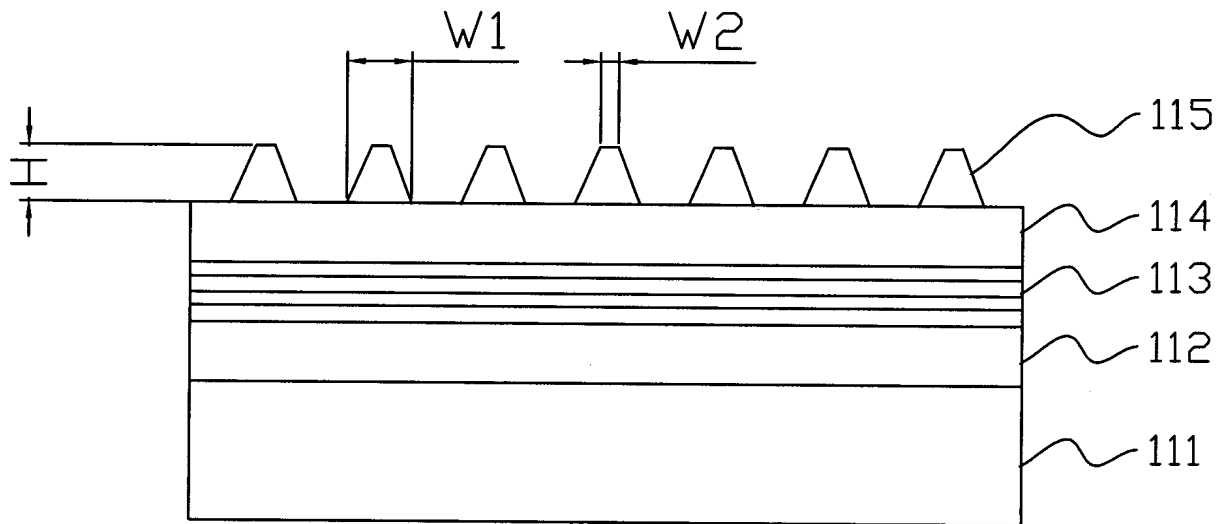
第1C圖



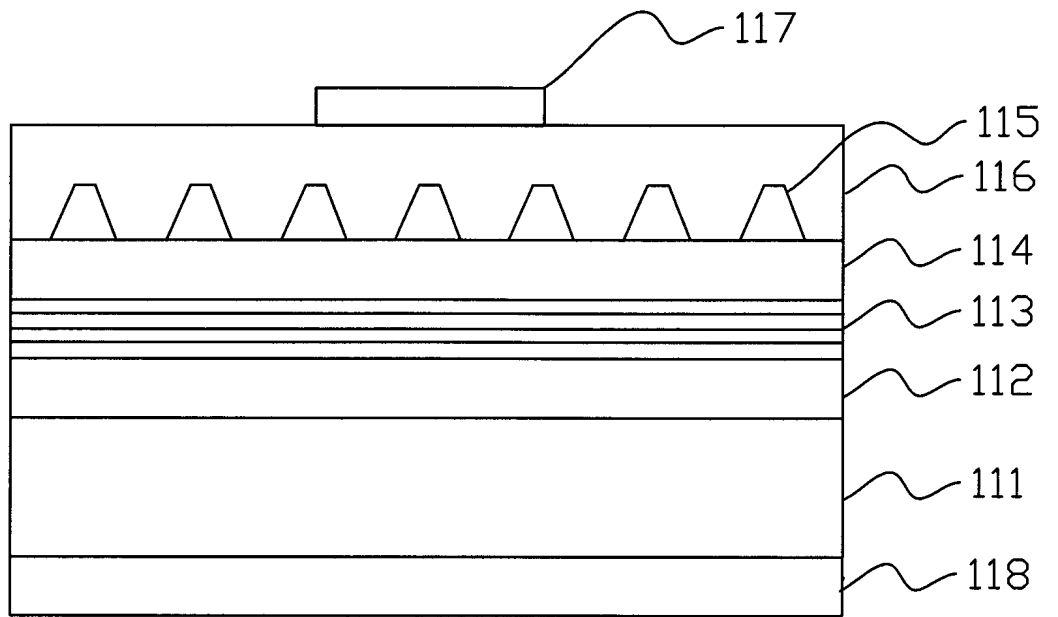
第1D圖



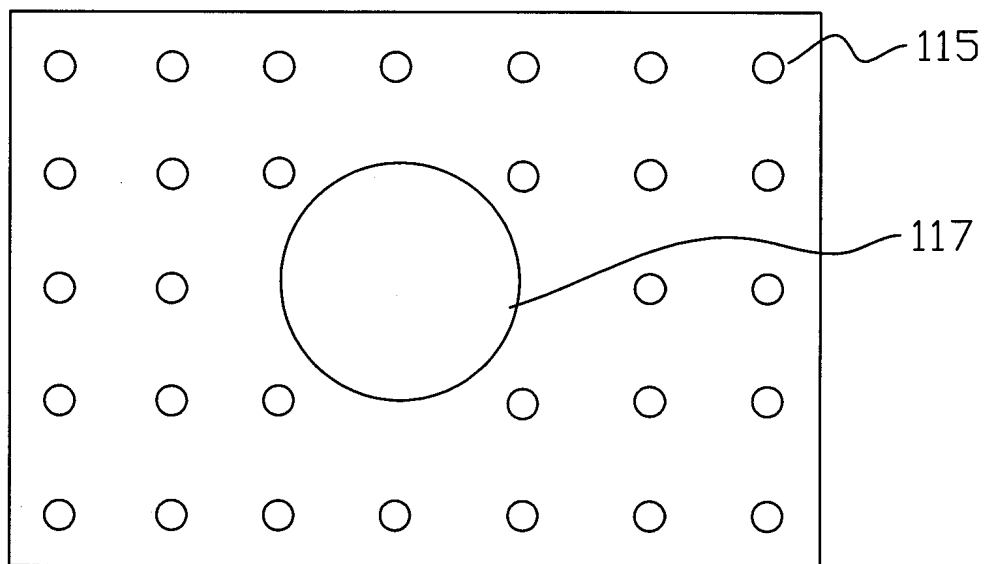
第1E圖



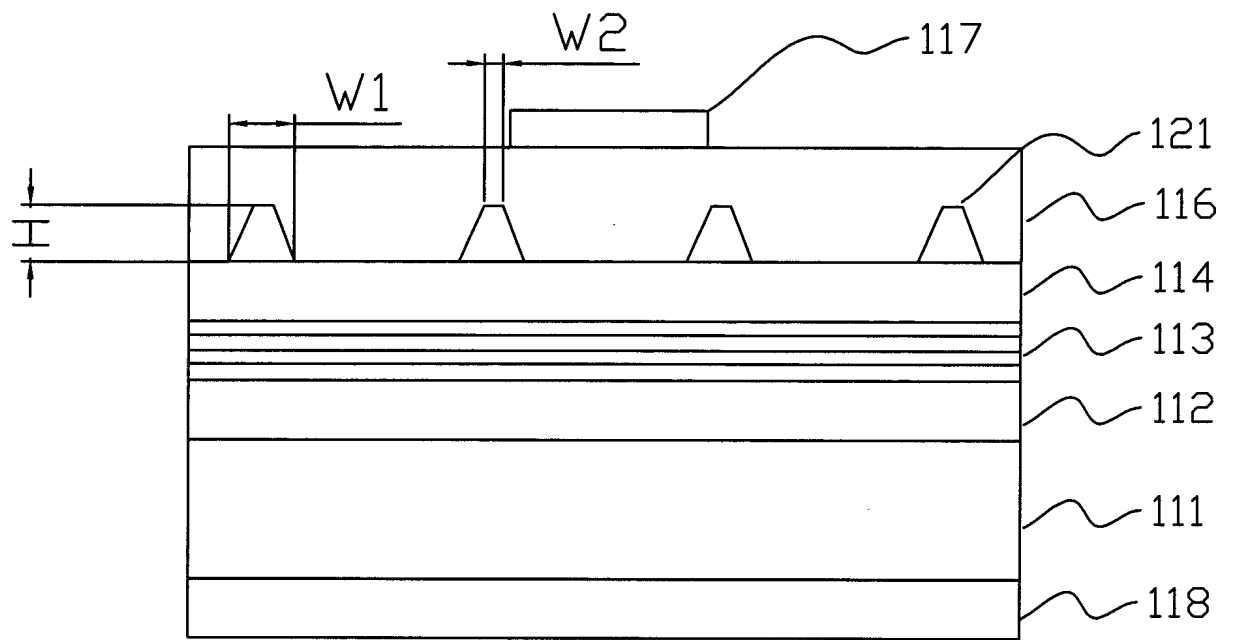
第1F圖



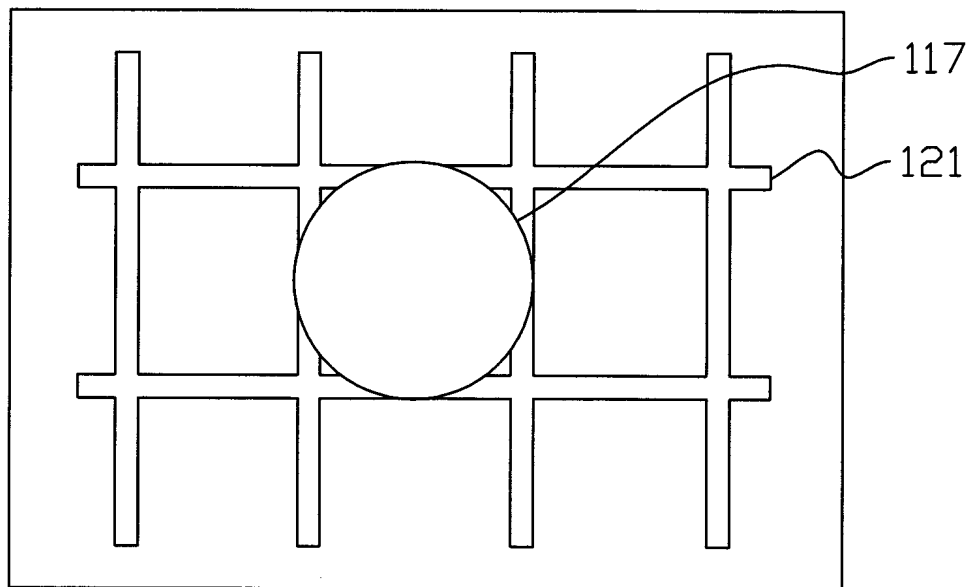
第1G圖



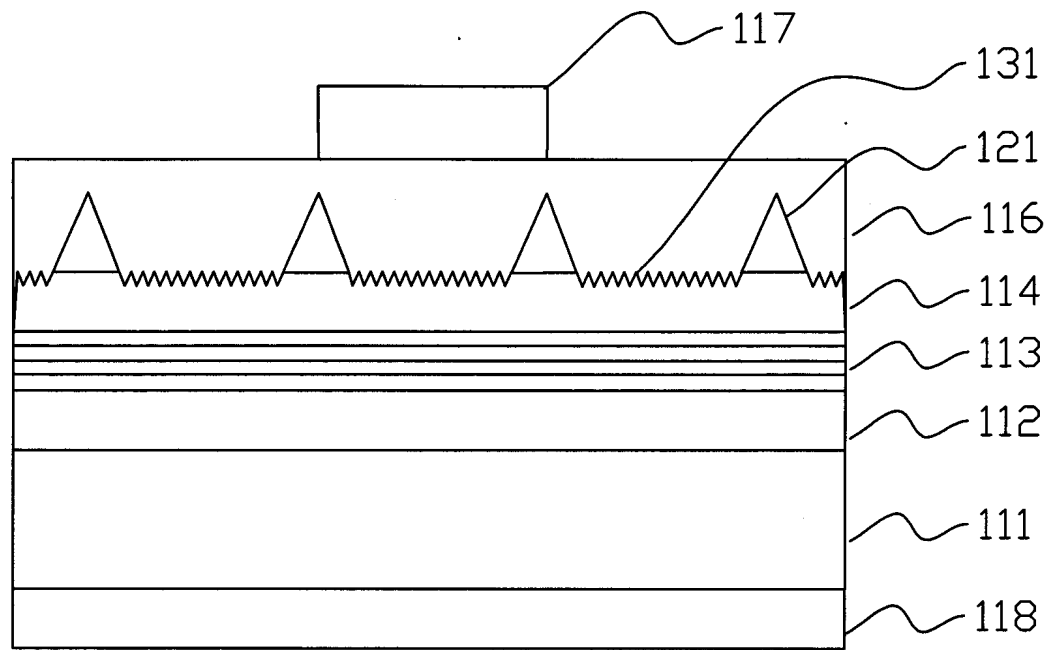
第1H圖



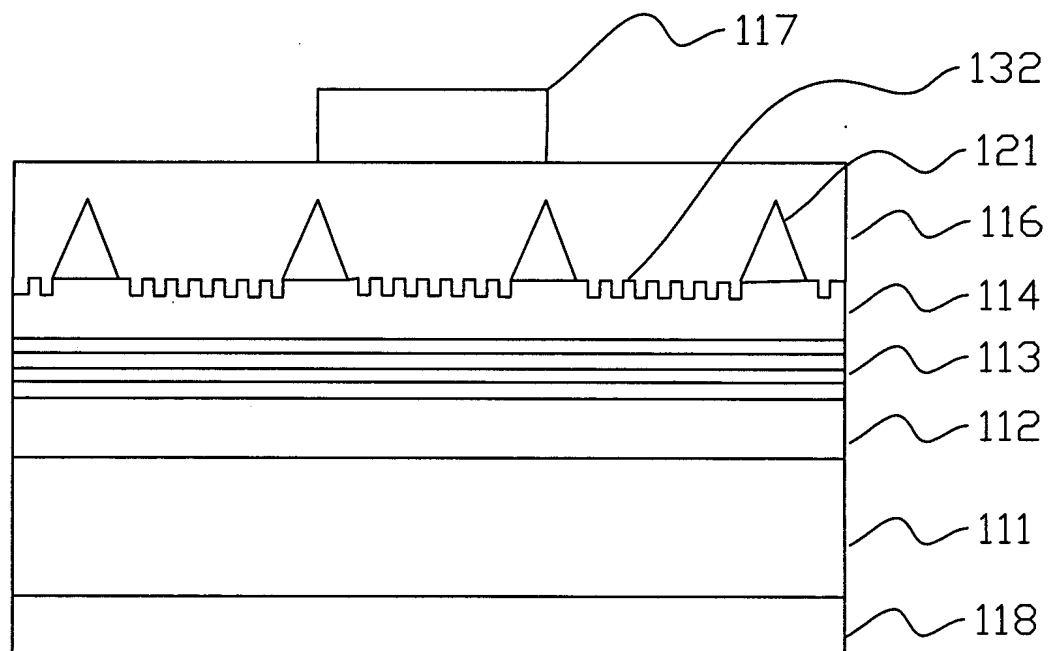
第2A圖



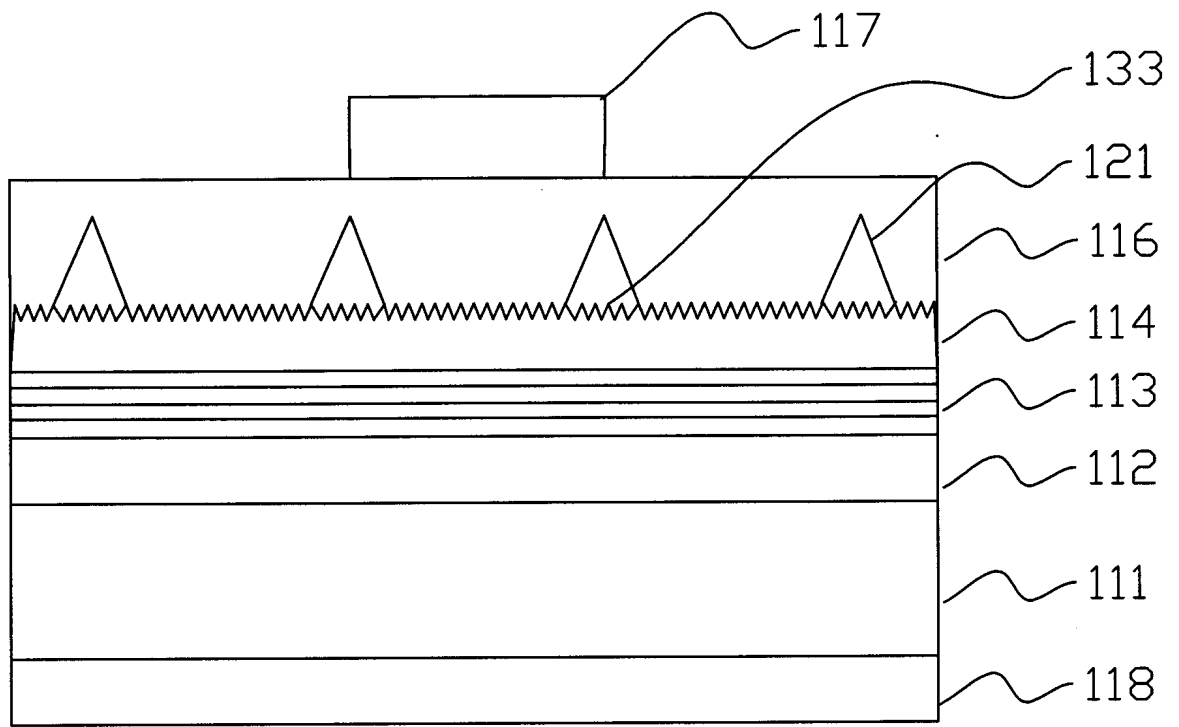
第2B圖



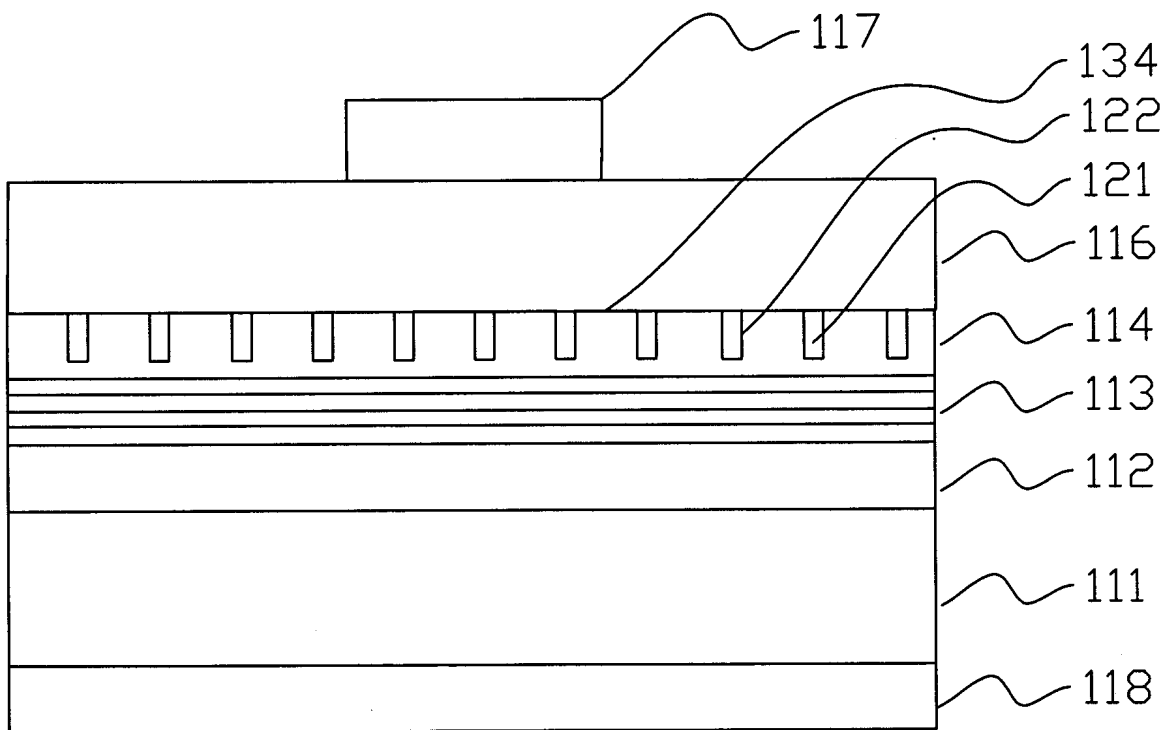
第3A圖



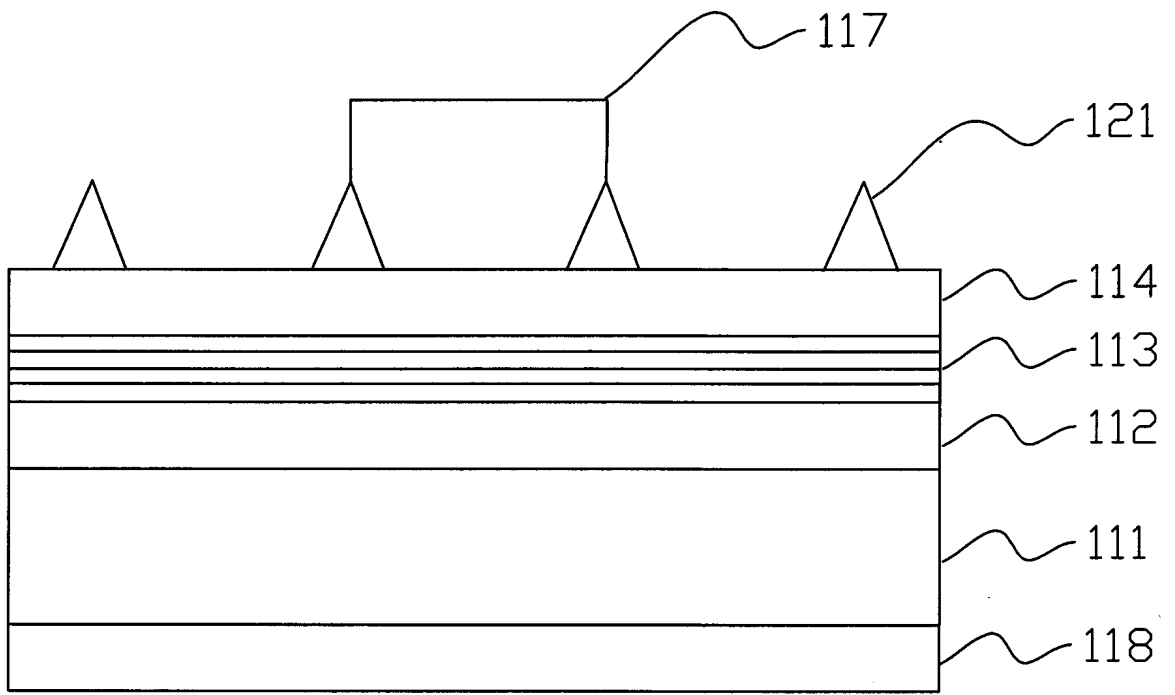
第3B圖



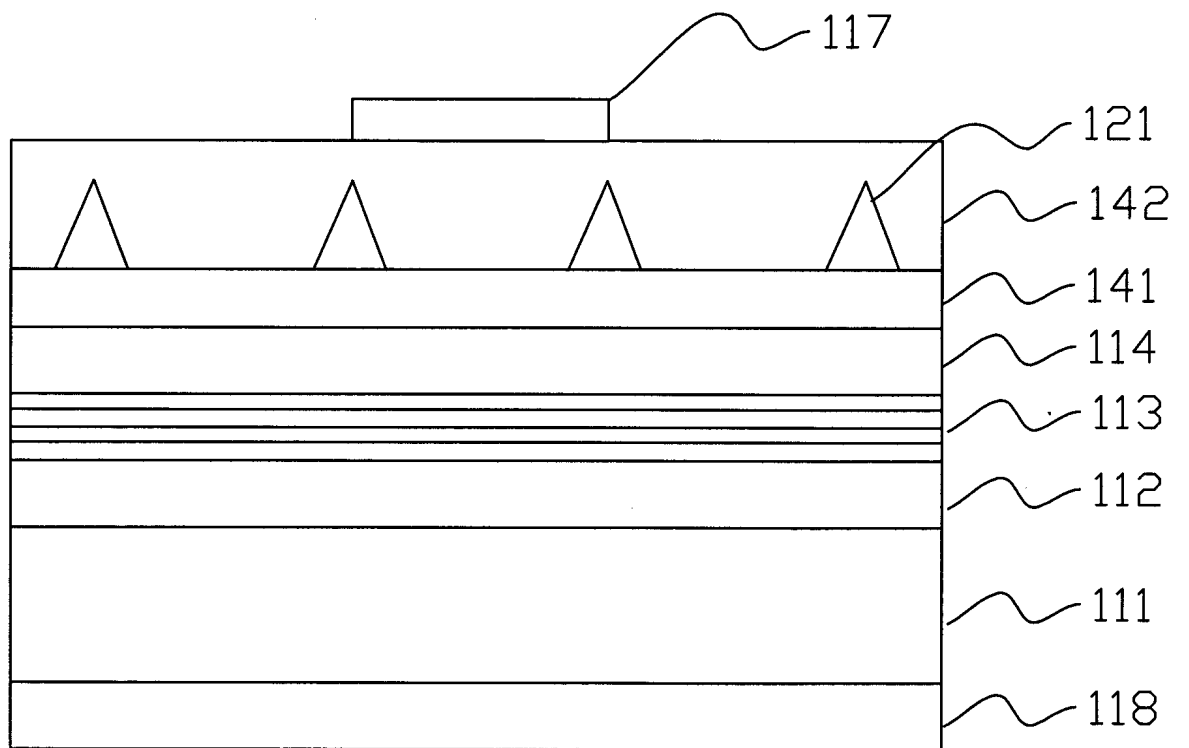
第3C圖



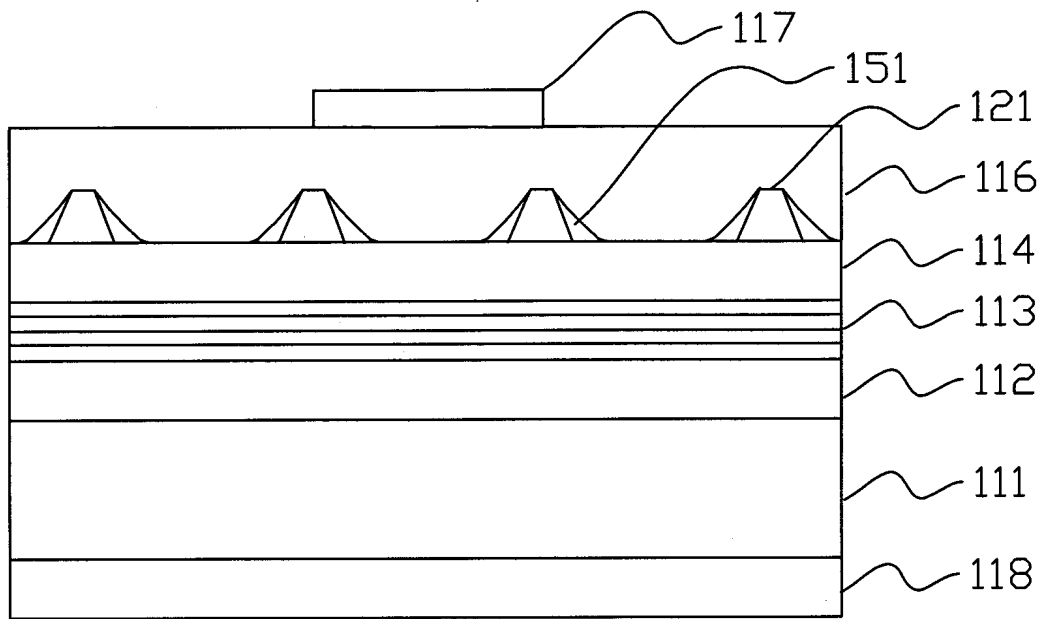
第3D圖



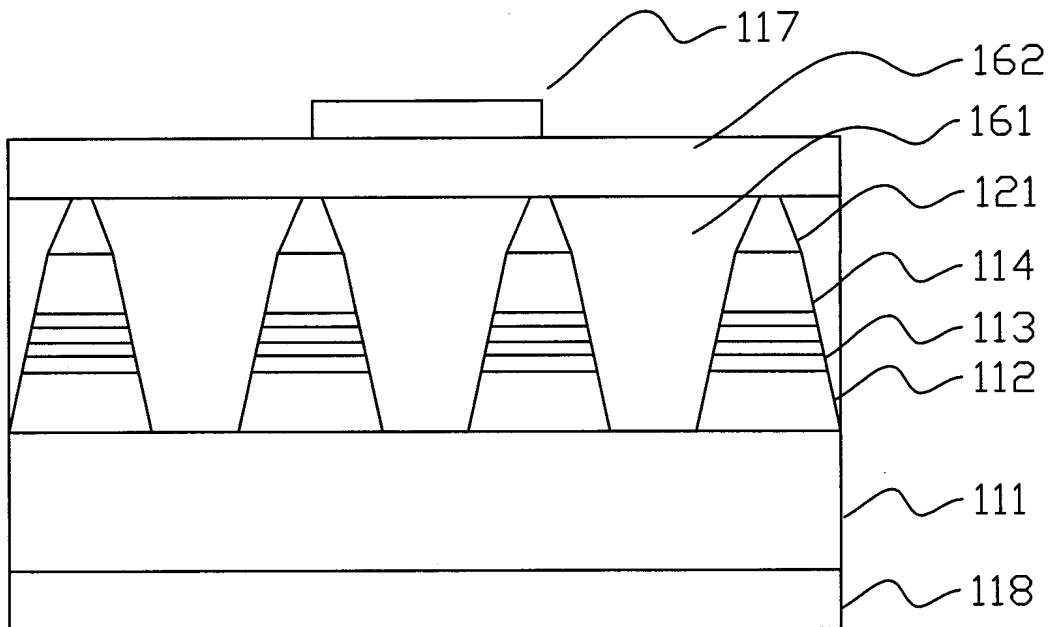
第4A圖



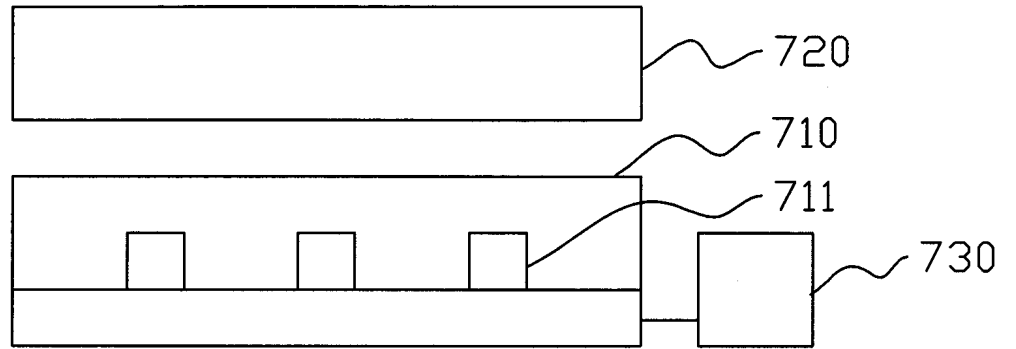
第4B圖



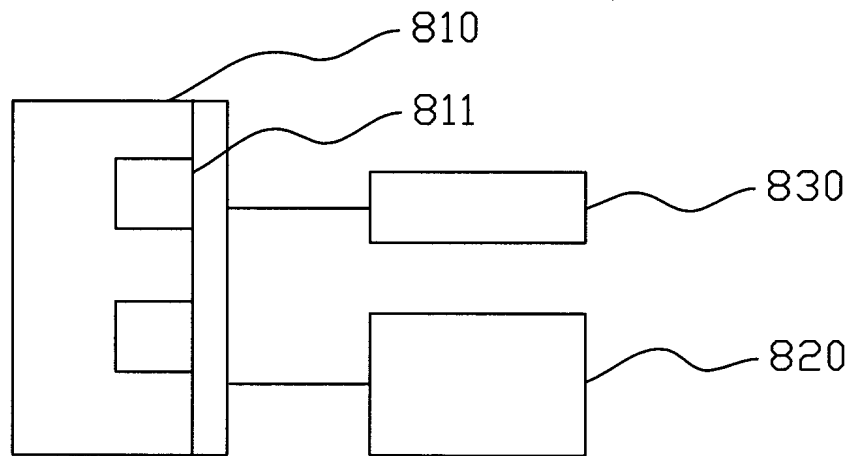
第5圖



第6圖



第7圖



第8圖

七、指定代表圖：

(一)本案指定代表圖為：第 1G 圖。

(二)本代表圖之元件符號簡單說明：

111	基板	112	第一半導體層
113	主動層	114	第二半導體層
115	導電點結構	116	透明導電層
117	第一電極	118	第二電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：