



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0123537
(43) 공개일자 2009년12월02일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2008-0049674

(22) 출원일자 2008년05월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

장동열

경기도 수원시 영통구 영통동 1153번지 영통아이
파크 West 동2602호

(74) 대리인

리엔목특허법인

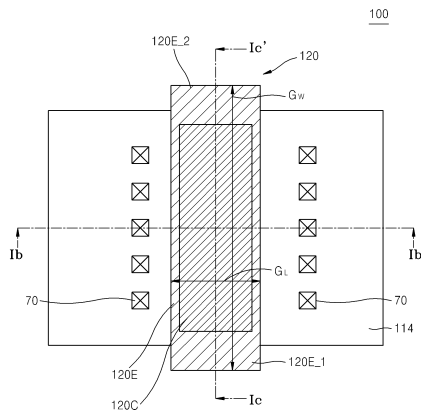
전체 청구항 수 : 총 30 항

(54) 트랜지스터를 구비한 반도체 소자 및 그 제조 방법

(57) 요약

소자분리 영역과 활성 영역과의 계면에 인접한 활성 영역의 에지 부분 위에 형성된 게이트 전극을 포함하는 트랜지스터를 구비한 반도체 소자 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 반도체 소자는 활성 영역 및 상기 소자분리 영역 위에 게이트 전극이 형성되어 있으며, 상기 게이트 전극은 상기 활성 영역의 센터 부분을 덮는 센터 게이트 부분과 상기 활성 영역의 에지 부분을 덮는 에지 게이트 부분을 포함한다. 게이트 전극 중 센터 게이트 부분에만 제1 도전형의 제1 불순물 도핑 영역이 형성되어 있다.

대표도 - 도1a



특허청구의 범위

청구항 1

기관에서 소자분리 영역에 의해 정의되어 있고, 상기 소자분리 영역과의 계면에 인접한 에지 부분과 상기 에지 부분에 의해 포위되는 센터 부분을 포함하는 활성 영역과,

상기 활성 영역 및 상기 소자분리 영역 위에 형성되고, 상기 활성 영역의 센터 부분을 덮는 센터 게이트 부분과 상기 활성 영역의 에지 부분을 덮는 에지 게이트 부분과, 상기 센터 게이트 부분에만 형성된 제1 도전형의 제1 불순물 도핑 영역을 포함하는 게이트 전극과,

상기 활성 영역과 상기 게이트 전극과의 사이에 개재된 게이트 절연막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 에지 게이트 부분은 불순물로 도핑되어 있지 않은 것을 특징으로 하는 반도체 소자.

청구항 3

제1항에 있어서,

상기 에지 게이트 부분은 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제1항에 있어서,

상기 게이트 전극의 양 측에서 상기 활성 영역에 각각 형성된 소스 영역 및 드레인 영역을 더 포함하고,

상기 소스 영역 및 드레인 영역은 상기 제1 도전형의 불순물이 도핑되어 있는 것을 특징으로 하는 반도체 소자.

청구항 5

제4항에 있어서,

상기 게이트 전극은 상기 제1 불순물 도핑 영역을 사이에 두고 그 양 측에 상기 소자분리 영역까지 각각 연장되어 있는 제1 단부 및 제2 단부를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

제5항에 있어서,

상기 에지 게이트 부분은 상기 제1 단부에 형성된 제1 에지 게이트 부분과, 상기 제2 단부에 형성된 제2 에지 게이트 부분을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

제6항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 각각 불순물로 도핑되어 있지 않은 것을 특징으로 하는 반도체 소자.

청구항 8

제6항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 각각 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9

제8항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 서로 다른 불순물 도핑 농도를 가지는 것을 특징으로 하는 반도체 소자.

청구항 10

제6항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 어느 하나는 불순물로 도핑되어 있지 않고, 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 다른 하나는 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 11

제1항에 있어서,

상기 게이트 전극은

제1 방향에서 상기 제1 불순물 도핑 영역을 사이에 두고 그 양 측에서 상기 소자분리 영역 위에 위치되는 1 쌍의 제1 측벽과,

상기 제1 방향에 수직인 제2 방향에서 상기 제1 불순물 도핑 영역을 사이에 두고 그 양 측에서 상기 활성 영역 위에 위치되는 1 쌍의 제2 측벽을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 12

제11항에 있어서,

상기 제1 불순물 도핑 영역은 상기 1 쌍의 제1 측벽 및 상기 1 쌍의 제2 측벽으로부터 각각 이격된 위치에 형성된 것을 특징으로 하는 반도체 소자.

청구항 13

제12항에 있어서,

상기 게이트 전극의 에지 게이트 부분은 상기 1 쌍의 제1 측벽으로부터 상기 센터 게이트 부분까지 각각 연장되어 있는 제1 에지 게이트 부분 및 제2 에지 게이트 부분을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 14

제13항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 각각 불순물로 도핑되어 있지 않은 것을 특징으로 하는 반도체 소자.

청구항 15

제13항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 각각 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 16

제15항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 서로 다른 불순물 도핑 농도를 가지는 것을 특징으로 하는 반도체 소자.

청구항 17

제13항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 어느 하나는 불순물로 도핑되어 있지 않고, 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 다른 하나는 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 18

제1항에 있어서,

상기 게이트 전극은 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 19

기관에 소자분리 영역을 형성하여 상기 소자분리 영역과의 계면에 인접한 에지 부분과 상기 에지 부분에 의해 포위되는 센터 부분을 포함하는 활성 영역을 정의하는 단계와,

상기 활성 영역 위에 게이트 절연막을 형성하는 단계와,

상기 활성 영역의 센터 부분 및 에지 부분 위에 연장되고 상기 소자분리막 위에 위치되는 제1 단부를 포함하는 게이트 패턴을 상기 게이트 절연막 위에 형성하는 단계와,

상기 게이트 패턴 중 상기 제1 단부를 포함하지 않는 일부 영역에만 제1 도전형의 불순물을 주입하여 상기 활성 영역의 센터 부분 위에서 상기 게이트 패턴 내에 제1 도전형의 제1 불순물 도핑 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20

제19항에 있어서,

상기 게이트 패턴은 상기 활성 영역 위에 위치되는 제2 단부를 더 포함하고,

상기 제1 불순물 도핑 영역은 상기 제2 단부로부터 이격된 위치에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 21

제19항에 있어서,

상기 게이트 절연막을 형성하기 전에 상기 활성 영역에 저농도의 제1 도전형 불순물 영역을 형성하는 단계와,

상기 제1 불순물 도핑 영역 형성과 동시에 상기 저농도의 제1 도전형 불순물 영역 내에 고농도의 제1 도전형 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 22

제19항에 있어서,

상기 게이트 패턴의 제1 단부에 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 23

제22항에 있어서,

상기 제2 불순물 도핑 영역은 상기 제1 불순물 도핑 영역 형성 단계 전에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 24

제22항에 있어서,

상기 제2 불순물 도핑 영역은 상기 제1 불순물 도핑 영역 형성 단계 후에 형성되는 것을 특징으로 하는 반도체

소자의 제조 방법.

청구항 25

제19항에 있어서,

상기 게이트 패턴의 제1 단부는 상기 제1 불순물 도핑 영역을 중심으로 하여 그 양 측에 각각 위치되는 제1 에지 게이트 부분 및 제2 에지 게이트 부분을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 26

제25항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 적어도 1 개의 부분에 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 27

제26항에 있어서,

상기 제2 불순물 도핑 영역은 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분에 각각 형성되고,

상기 제1 에지 게이트 부분에 형성되는 제2 불순물 도핑 영역과 상기 제2 에지 게이트 부분에 형성되는 제2 불순물 도핑 영역은 서로 다른 도핑 농도를 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 28

제26항에 있어서,

상기 제2 불순물 도핑 영역은 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분에 각각 형성되고,

상기 제1 에지 게이트 부분에 형성되는 제2 불순물 도핑 영역과 상기 제2 에지 게이트 부분에 형성되는 제2 불순물 도핑 영역은 서로 같은 도핑 농도를 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 29

제25항에 있어서,

상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 적어도 1 개의 부분에 상기 제1 불순물 도핑 영역보다는 낮은 도핑 농도를 가지는 상기 제1 도전형의 제2 불순물 도핑 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 30

제19항에 있어서,

상기 게이트 패턴은 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 트랜지스터를 구비한 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 소자분리 영역 및 활성 영역에 걸쳐서 연장되는 게이트 전극을 포함하는 트랜지스터를 구비한 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

<2> 액정 디스플레이 장치 (liquid crystal display device: LCD), 플라즈마 디스플레이 장치 (plasma display panel: PDP) 등과 같은 평판 표시장치가 널리 보급됨에 따라, LCD 또는 PDP를 구동하기 위한 디스플레이 구동 집적회로 (display driver IC: DDI)가 활발하게 개발되고 있다. DDI는 약 8 ~ 200 V 의 높은 전압에서 동작하

는 고전압 트랜지스터와 약 5 V 이하의 낮은 전압에서 동작하는 일반 트랜지스터를 구비한다.

- <3> 상기 고전압 트랜지스터는 고전압에서의 접합 항복 전압 (junction breakdown voltage)을 높이기 위해 활성 영역에 형성되는 웰 영역의 불순물 도핑 농도를 일반 트랜지스터에 비해 낮게 한다. 따라서, 활성 영역과 소자분리막과의 계면에 인접한 활성 영역의 에지 부분에서는 웰 영역으로부터 소자분리 영역으로의 도펀트 확산으로 인해 웰 영역 내에서의 불순물 농도가 더 낮아진다. 이와 같이 불순물 농도가 낮아진 활성 영역의 에지 부분에서는 활성 영역의 센터 부분에서보다 낮은 전압에서 약한 반전 (weak inversion)이 일어나 기생 (parasitic) 트랜지스터가 형성되고, 이로 인해 게이트 전압 (V_g)에 따른 드레인 전류 (I_d)의 응답에서 원하지 않는 험프 (hump) 현상이 나타나는 문제가 있다. 소자분리 영역과 활성 영역과의 계면에 인접한 활성 영역의 에지 부분에서 발생하는 험프 현상으로 인해 누설 전류가 증가하고, 트랜지스터의 컷오프 (cut-off) 특성이 저하된다.

발명의 내용

해결 하고자하는 과제

- <4> 본 발명의 목적은 상기한 종래 기술에서의 문제점들을 해결하고자 하는 것으로, 소자분리 영역과 활성 영역과의 계면에 인접한 활성 영역의 에지 부분에서의 기생 트랜지스터로 인해 게이트 전압 (V_g)에 따른 드레인 전류 (I_d)의 응답에서 원하지 않는 험프가 발생하는 것을 방지할 수 있는 트랜지스터를 구비한 반도체 소자를 제공하는 것이다.
- <5> 본 발명의 다른 목적은 소자분리 영역과 활성 영역과의 계면에 인접한 활성 영역의 에지 부분에서의 기생 트랜지스터로 인해 게이트 전압 (V_g)에 따른 드레인 전류 (I_d)의 응답에서 원하지 않는 험프가 발생하는 것을 방지할 수 있는 트랜지스터를 구비한 반도체 소자의 제조 방법을 제공하는 것이다.

과제 해결수단

- <6> 상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자는 기판에서 소자분리 영역에 의해 정의되어 있고, 상기 소자분리 영역과의 계면에 인접한 에지 부분과 상기 에지 부분에 의해 포위되는 센터 부분을 포함하는 활성 영역을 포함한다. 상기 활성 영역 및 상기 소자분리 영역 위에 게이트 전극이 형성되어 있으며, 상기 게이트 전극은 상기 활성 영역의 센터 부분을 덮는 센터 게이트 부분과 상기 활성 영역의 에지 부분을 덮는 에지 게이트 부분을 포함한다. 제1 도전형의 제1 불순물 도핑 영역이 상기 센터 게이트 부분에만 형성되어 있다. 상기 활성 영역과 상기 게이트 전극과의 사이에는 게이트 절연막이 개재되어 있다.
- <7> 상기 에지 게이트 부분은 불순물로 도핑되어 있지 않을 수 있다. 또는, 상기 에지 게이트 부분은 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함할 수 있다.
- <8> 본 발명에 따른 반도체 소자는 상기 게이트 전극의 양 측에서 상기 활성 영역에 각각 형성된 소스 영역 및 드레인 영역을 더 포함할 수 있다. 상기 소스 영역 및 드레인 영역은 상기 제1 도전형의 불순물이 도핑되어 있을 수 있다.
- <9> 상기 게이트 전극은 상기 제1 불순물 도핑 영역을 사이에 두고 그 양 측에 상기 소자분리 영역까지 각각 연장되어 있는 제1 단부 및 제2 단부를 포함할 수 있다. 상기 에지 게이트 부분은 상기 제1 단부에 형성된 제1 에지 게이트 부분과, 상기 제2 단부에 형성된 제2 에지 게이트 부분을 포함할 수 있다.
- <10> 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 각각 불순물로 도핑되어 있지 않을 수 있다. 또는, 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 각각 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함할 수 있다. 이 때, 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분은 서로 다른 불순물 도핑 농도를 가질 수 있다.
- <11> 본 발명에 따른 반도체 소자에서, 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 어느 하나는 불순물로 도핑되어 있지 않고, 상기 제1 에지 게이트 부분 및 제2 에지 게이트 부분 중 다른 하나는 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 포함할 수 있다.
- <12> 본 발명에 따른 반도체 소자의 게이트 전극은 제1 방향에서 상기 제1 불순물 도핑 영역을 사이에 두고 그 양 측에서 상기 소자분리 영역 위에 위치되는 1 쌍의 제1 측벽과, 상기 제1 방향에 수직인 제2 방향에서 상기 제1 불순물 도핑 영역을 사이에 두고 그 양 측에서 상기 활성 영역 위에 위치되는 1 쌍의 제2 측벽을 포함할 수 있다.

- <13> 상기 제1 불순물 도핑 영역은 상기 1 쌍의 제1 측벽 및 상기 1 쌍의 제2 측벽으로부터 각각 이격된 위치에 형성될 수 있다.
- <14> 상기 다른 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자의 제조 방법에서는 기판에 소자분리 영역을 형성하여 상기 소자분리 영역과의 계면에 인접한 에지 부분과 상기 에지 부분에 의해 포위되는 센터 부분을 포함하는 활성 영역을 정의한다. 상기 활성 영역 위에 게이트 절연막을 형성한다. 상기 활성 영역의 센터 부분 및 에지 부분 위에 연장되고 상기 소자분리막 위에 위치되는 제1 단부를 포함하는 게이트 패턴을 상기 게이트 절연막 위에 형성한다. 상기 게이트 패턴 중 상기 제1 단부를 포함하지 않는 일부 영역에만 제1 도전형의 불순물을 주입하여 상기 활성 영역의 센터 부분 위에서 상기 게이트 패턴 내에 제1 도전형의 제1 불순물 도핑 영역을 형성한다.
- <15> 상기 게이트 패턴은 상기 활성 영역 위에 위치되는 제2 단부를 더 포함할 수 있다. 그리고, 상기 제1 불순물 도핑 영역은 상기 제2 단부로부터 이격된 위치에 형성될 수 있다.
- <16> 본 발명에 따른 반도체 소자의 제조 방법에서, 상기 게이트 절연막을 형성하기 전에 상기 활성 영역에 저농도의 제1 도전형 불순물 영역을 형성할 수 있다. 또한, 상기 제1 불순물 도핑 영역 형성과 동시에 상기 저농도의 제1 도전형 불순물 영역 내에 고농도의 제1 도전형 불순물 영역을 형성할 수 있다.
- <17> 본 발명에 따른 반도체 소자의 제조 방법에서, 상기 게이트 패턴의 제1 단부에 상기 제1 도전형과 반대인 제2 도전형의 제2 불순물 도핑 영역을 형성할 수 있다. 상기 제2 불순물 도핑 영역은 상기 제1 불순물 도핑 영역 형성 단계 전에 형성될 수도 있고 상기 제1 불순물 도핑 영역 형성 단계 후에 형성될 수도 있다.

효과

- <18> 본 발명에 따른 반도체 소자는 게이트 전극의 에지 게이트 부분에는 불순물이 도핑되지 않거나 상기 게이트 전극의 센터 게이트 부분 보다 낮은 농도의 불순물, 또는 센터 게이트 부분과 반대 도전형의 불순물이 도핑되어 있다. 따라서, 소자분리 영역과 활성 영역과의 계면에 인접한 활성 영역의 에지 부분 위에 있는 에지 게이트 부분에서 등가산화막 두께가 증가하는 결과가 얻어지고, 게이트 전극과 기판과의 일함수 (work function) 전위차 (Φ_{ms})가 줄어들어, 게이트 전극의 에지 게이트 부분 아래에 있는 활성 영역의 에지 부분에서 한계 전압(V_{th})이 커지게 된다. 따라서, 소자분리 영역과 활성 영역과의 계면에 인접한 활성 영역의 에지 부분에서의 기생 트랜지스터로 인해 게이트 전압 (V_g)에 따른 드레인 전류 (I_d)의 응답에서 원하지 않는 험프가 발생하는 것을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- <19> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.
- <20> 도 1a는 본 발명의 바람직한 실시예에 따른 반도체 소자의 요부 구성을 도시한 레이아웃이다. 도 1b는 도 1a의 Ib - Ib'선 단면도이고, 도 1c는 도 1a의 Ic - Ic'선 단면도이다.
- <21> 도 1a, 도 1b, 및 도 1c를 참조하면, 본 발명에 따른 반도체 소자(100)는 기판(110)에 형성된 소자분리 영역(112)에 의해 활성 영역(114)이 정의되어 있다.
- <22> 상기 활성 영역(114)은 상기 소자분리 영역(112)과의 계면에 인접한 에지 부분(114E)과 상기 에지 부분(114E)에 의해 포위되는 센터 부분(114C)을 포함한다.
- <23> 상기 기판(110)의 활성 영역(114) 및 소자분리 영역(112) 위에는 게이트 전극(120)이 형성되어 있다. 상기 활성 영역(114)과 상기 게이트 전극(120)과의 사이에는 게이트 절연막(118)이 개재되어 있다.
- <24> 상기 게이트 전극(120)의 양 측에서 상기 활성 영역(114)에 각각 고농도의 불순물로 도핑된 소스 영역(132) 및 드레인 영역(142)이 형성되어 있다. 또한, 상기 활성 영역(114)에는 상기 소스 영역(132) 및 드레인 영역(142)을 각각 감싸도록 소스 드리프트 영역(130) 및 드레인 드리프트 영역(140)이 형성되어 있다. 상기 소스 드리프트 영역(130) 및 드레인 드리프트 영역(140)은 상기 소스 영역(132) 및 드레인 영역(142)에 비해 저농도의 불순물로 도핑되어 있다. 상기 소스 드리프트 영역(130) 및 드레인 드리프트 영역(140)은 각각 상기 소스 영역(132) 및 드레인 영역(142)에 높은 전압이 인가될 때 완충 영역 (buffer region)으로 작용하여 접합 항복 전압을 높이는 역할을 할 수 있다. 또한, 상기 드레인 영역(142)과 기판(110)과의 사이의 항복 전압이 상기 드레인 영역(142)에 인가되는 고전압보다 크게 되도록 하기 위하여, 상기 게이트 전극(120)과 드레인 영역(142)과의 사이의

이격 거리(D1)를 상기 게이트 전극(120)과 소스 영역(132)과의 사이의 이격 거리(D2) 보다 더 크게 할 수 있다.

- <25> 상기 게이트 전극(120)의 측벽에는 절연 스페이서(124)가 형성되어 있다. 상기 게이트 전극(120)을 덮는 층간절연막(160)을 관통하여 형성된 콘택 플러그(170)는 상기 소스 영역(132) 및 드레인 영역(142)에 각각 전기적으로 연결되어 있다.
- <26> 상기 게이트 전극(120)은 폴리실리콘으로 이루어질 수 있다.
- <27> 상기 게이트 전극(120)은 소정의 길이(G_L) 및 폭(G_W)을 가지도록 형성될 수 있다. 상기 게이트 전극(120)은 그 길이(G_L) 방향에 수직인 방향, 즉 게이트 전극(120)의 폭(G_W) 방향을 따라 활성 영역(114)으로부터 소자분리 영역(112) 까지 연장되어 있다. 상기 게이트 전극(120)은 그 폭(G_W) 방향에서 양 단부에 각각 제1 측벽(122a) 및 제2 측벽(122b)이 있다. 상기 제1 측벽(122a) 및 제2 측벽(122b)은 각각 소자분리 영역(112) 위에 위치된다. 또한, 상기 게이트 전극(120)은 그 길이(G_L) 방향에서 양 단부에 각각 제3 측벽(122c) 및 제4 측벽(122d)이 있다. 상기 제3 측벽(122c) 및 제4 측벽(122d)은 각각 활성 영역(114) 위에 위치된다.
- <28> 상기 게이트 전극(120)은 활성 영역(114)의 센터 부분(114C)을 덮는 센터 게이트 부분(120C)과, 상기 센터 게이트 부분(120C)을 포위하는 에지 게이트 부분(120E)을 포함한다. 상기 에지 게이트 부분(120E)은 상기 제1 측벽(122a) 및 제2 측벽(122b)에 각각 인접한 양 단부에서 활성 영역(114)의 에지 부분(114E)을 덮는 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)을 포함한다. 도 1a 및 도 1b에는 각각 에지 게이트 부분(120E)이 상기 제1 측벽(122a) 및 제2 측벽(122b)과, 상기 제3 측벽(122c) 및 제4 측벽(122d)에 걸쳐서 링(ring) 형상으로 연장되어 상기 센터 게이트 부분(120C)을 포위하도록 형성된 예가 도시되어 있다. 그러나, 본 발명은 이에 한정되지 않는다. 예를 들면, 상기 에지 게이트 부분(120E)은 상기 제1 측벽(122a) 및 제2 측벽(122b)에 각각 인접한 양 단부에 형성된 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)만을 포함할 수도 있다.
- <29> 일 예에서, 상기 게이트 전극(120)의 센터 게이트 부분(120C)은 불순물로 도핑되고, 상기 에지 게이트 부분(120E)은 불순물로 도핑되지 않을 수 있다. 이 때, 상기 게이트 전극(120)의 센터 게이트 부분(120C)은 상기 소스 영역(132) 및 드레인 영역(142)의 도전형과 동일한 제1 도전형, 예를 들면 N+형의 불순물이 도핑될 수 있다.
- <30> 다른 예에서, 상기 게이트 전극(120)의 센터 게이트 부분(120C)은 소스 영역(132) 및 드레인 영역(142)의 도전형과 동일한 제1 도전형의 불순물로 도핑되고, 상기 에지 게이트 부분(120E)은 상기 제1 도전형과 반대인 제2 도전형의 불순물로 도핑될 수 있다. 그러나, 본 발명의 범위 내에서 그 역도 가능하다. 또한, 상기 에지 게이트 부분(120E)에서, 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)에서의 도핑 농도가 동일할 수도 있고 서로 다를 수도 있다.
- <31> 또 다른 예에서, 상기 게이트 전극(120)의 센터 게이트 부분(120C) 및 에지 게이트 부분(120E)이 각각 동일한 도전형의 불순물로 도핑될 수 있다. 여기서, 상기 센터 게이트 부분(120C)의 도핑 농도와 상기 에지 게이트 부분(120E)의 도핑 농도는 상호 다를 수 있다. 예를 들면, 상기 센터 게이트 부분(120C)은 상기 소스 영역(132) 및 드레인 영역(142)의 도전형과 동일한 제1 도전형의 불순물이 비교적 고농도로 도핑되고, 상기 에지 게이트 부분(120E)은 상기 제1 도전형의 불순물이 비교적 저농도로 도핑될 수 있다.
- <32> 또 다른 예에서, 상기 게이트 전극(120)의 센터 게이트 부분(120C)은 상기 소스 영역(132) 및 드레인 영역(142)의 도전형과 동일한 제1 도전형의 불순물로 도핑되고, 상기 제1 에지 게이트 부분(120E_1) 및 제1 에지 게이트 부분(120E_2) 중 어느 하나는 불순물로 도핑되지 않고, 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 중 다른 하나만 상기 제1 도전형과 반대인 제2 도전형의 불순물로 도핑될 수 있다.
- <33> 도 1a, 도 1b, 및 도 1c에는 N+형 불순물로 도핑된 소스 영역(132) 및 드레인 영역(142)을 가지는 N 채널 트랜지스터가 예시되어 있다. 그러나, 본 발명은 이에 한정되는 것은 아니며, P 채널 트랜지스터에 대하여도 유사한 방식으로 적용될 수 있다.
- <34> 위에서 설명한 본 발명에 따른 반도체 소자(100)에서, 게이트 전극(120)의 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)에는 불순물이 도핑되지 않거나 상기 게이트 전극(120)의 센터 게이트 부분(120C)보다 낮은 농도의 불순물, 또는 센터 게이트 부분(120C)과 반대 도전형의 불순물이 도핑되어 있다. 따라서, 게이트 전극(120)의 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)이 센터 게이트 부분(120C)과 동일한 조건으로 불순물 도핑된 경우와 비교할 때, 소자분리 영역(112)과 활성 영역(114)과의 계면에 인접한 활성 영역(114)의 에지 부분(114E) 위에 있는 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)에

서 디플리션(depletion) 효과가 발생하여, 등가산화막 두께가 증가하는 결과가 얻어지고, 게이트 전극(120)과 기판(110)과의 일함수 (work function) 전위차 (Φ_{ms})가 줄어들게 된다. 그 결과, 게이트 전극(120)의 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 아래의 활성 영역(114)의 에지 부분(114E)에서 한계 전압(V_{th})이 커지게 되므로, 활성 영역(114)의 에지 부분(114E)에서 원하지 않는 기생 트랜지스터로 인한 험프 현상이 발생되지 않는다.

- <35> 도 2a 및 도 2b 내지 도 4a 및 도 4b는 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 2a, 도 3a, 및 도 4a는 도 1a의 Ib - Ib' 단면에 대응되는 부분의 단면도들이고, 도 2b, 도 3b, 및 도 4b는 도 1a의 Ic - Ic' 단면에 대응되는 부분의 단면도들이다. 도 2a 및 도 2b 내지 도 4a 및 도 4b에 있어서, 도 1a, 도 1b, 및 도 1c에서와 동일한 참조 부호는 동일한 구성 요소를 의미하여, 여기서는 중복을 피하기 위하여 이들에 대한 상세한 설명은 생략한다.
- <36> 도 2a 및 도 2b를 참조하면, 소정의 도전형의 웰(well)이 형성된 기판(110), 예를 들면 실리콘 기판에 소자분리 영역(112)을 형성하여 활성 영역(114)을 정의한다. 예를 들면, 상기 활성 영역(114)에 N 채널 트랜지스터를 형성하는 경우에는 상기 웰은 P 웰로 이루어지고, P 채널 트랜지스터를 형성하는 경우에는 상기 웰은 N 웰로 이루어질 수 있다. 본 예에서는 N 채널 트랜지스터를 형성하는 경우를 예로 들어 설명한다.
- <37> 그 후, 상기 활성 영역(114)의 일부 영역에 저농도 불순물을 주입하여 N-형의 소스 드리프트 영역(130) 및 드레인 드리프트 영역(140)을 형성한다. 예를 들면, 상기 소스 드리프트 영역(130) 및 드레인 드리프트 영역(140)을 형성하기 위하여, 약 $5 \times 10^{11} \sim 5 \times 10^{13}$ atoms/cm²의 도즈량으로 P 도핑을 행할 수 있다.
- <38> 그 후, 상기 기판(110)의 활성 영역(114) 위에 게이트 절연막(118) 및 도핑되지 않은 폴리실리콘층으로 이루어지는 게이트 패턴(120P)을 형성하고, 상기 게이트 패턴(120P)의 측벽에 절연 스페이서(124)를 형성한다. 상기 게이트 패턴(120P)의 폭(G_W) 방향에서 양 단부에 있는 제1 측벽(122a) 및 제2 측벽(122b)은 소자분리 영역(112) 위에 위치되도록 상기 폭(G_W) 방향에서 활성 영역(114) 및 소자분리 영역(112)에 걸쳐서 연장되어 있다. 따라서, 상기 게이트 패턴(120P)의 폭(G_W) 방향에서 양 단부는 소자분리 영역(112)과 활성 영역(114)과의 계면 위를 덮게 된다. 상기 게이트 패턴(120P)의 길이(G_L) 방향에서 양 단부에 있는 제3 측벽(122c) 및 제4 측벽(122d)은 활성 영역(114) 위에 위치된다.
- <39> 도 3a 및 도 3b를 참조하면, 상기 게이트 패턴(120P) 중 상기 활성 영역(114)의 센터 부분(114C)을 덮고 있는 중앙부를 노출시키는 제1 개구(150a)와, 상기 소스 드리프트 영역(130) 및 드레인 드리프트 영역(140)의 일부 영역들을 노출시키는 복수의 제2 개구(150b)를 포함하는 마스크 패턴(150)을 상기 게이트 패턴(120P) 및 기판(110) 위에 형성한다. 예를 들면, 상기 마스크 패턴(150)은 포토레지스트 패턴으로 이루어질 수 있다.
- <40> 도 4a 및 도 4b를 참조하면, 상기 마스크 패턴(150)에 형성된 제1 개구(150a)와 복수의 제2 개구(150b)를 통해 상기 게이트 패턴(120P) 및 활성 영역(114)에 제1 도전형의 고농도 불순물, 예를 들면 N+ 형의 불순물을 주입하여 N+ 형의 소스 영역(132) 및 드레인 영역(142)을 형성하는 동시에, 상기 게이트 패턴(120P)의 중앙부에 제1 도전형의 불순물로 도핑된 센터 게이트 부분(120C)을 형성한다. 그 결과, 불순물로 도핑된 센터 게이트 부분(120C)과 불순물로 도핑되지 않은 에지 게이트 부분(120E)을 포함하는 게이트 전극(120)이 형성된다. 예를 들면, 상기 N+ 형의 소스 영역(132) 및 드레인 영역(142)과 센터 게이트 부분(120C)을 형성하기 위하여, 약 $1 \times 10^{15} \sim 2 \times 10^{16}$ atoms/cm²의 도즈량으로 P 도핑을 행할 수 있다.
- <41> 그 후, 상기 마스크 패턴(150)을 제거하고, 도 1b 및 도 1c에 예시된 바와 같이, 상기 게이트 전극(120) 및 기판(110) 위에 상기 층간절연막(160)을 형성한 후, 상기 층간절연막(160)의 일부를 제거하여 상기 소스 영역(132) 및 드레인 영역(142)을 노출시키는 복수의 콘택홀을 형성하고, 상기 콘택홀 내에 상기 소스 영역(132) 및 드레인 영역(142)에 각각 전기적으로 연결되는 콘택 플러그(170)를 형성한다.
- <42> 그 후, 도시하지는 않았으나, 상기 층간절연막(160) 위에 상기 콘택 플러그(170)에 전기적으로 연결되는 배선용 도전층을 형성할 수 있다.
- <43> 도 5a 및 도 5b는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도시한 단면도들이다. 도 5a는 도 1a의 Ib - Ib' 단면에 대응되는 부분의 단면도이고, 도 5b는 도 1a의 Ic - Ic' 단면에 대응되는 부분의 단면도이다. 도 5a 및 도 5b에 있어서, 도 1a, 도 1b, 및 도 1c, 그리고 도 2a 및 도 2b 내지 도 4a 및 도 4b에서와 동일한 참조 부호는 동일한 구성 요소를 의미하여, 여기서는 중복을 피하기 위하여 이들에 대한 상

세한 설명은 생략한다.

- <44> 도 5a 및 도 5b를 참조하면, 도 2a 및 도 2b 내지 도 4a 및 도 4b를 참조하여 설명한 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법에 따라 기판(110)상에 불순물로 도핑된 센터 게이트 부분(120C)과 불순물로 도핑되지 않은 에지 게이트 부분(120E)을 포함하는 게이트 전극(120)을 형성한 후, 상기 게이트 전극(120) 중 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 만을 노출시키는 개구(250a, 250b)가 형성된 마스크 패턴(250)을 상기 게이트 전극(120) 및 기판(110) 위에 형성한다. 예를 들면, 상기 마스크 패턴(250)은 포토 레지스트 패턴으로 이루어질 수 있다.
- <45> 그 후, 상기 마스크 패턴(250)에 형성된 개구(250a, 250b)를 통해 상기 게이트 전극(120)의 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)에 상기 제1 도전형과는 반대인 제2 도전형의 불순물, 예를 들면 P형 또는 P+형의 불순물을 도핑하여, 제2 도전형의 불순물로 도핑된 제1 에지 게이트 부분(220E_1) 및 제2 에지 게이트 부분(220E_2)을 형성한다. 그 결과, 제1 도전형의 불순물로 도핑된 센터 게이트 부분(120C)과, 제2 도전형의 불순물로 도핑된 제1 에지 게이트 부분(220E_1) 및 제2 에지 게이트 부분(220E_2)을 포함하는 게이트 전극(220)이 형성된다.
- <46> 상기 불순물로 도핑된 제1 에지 게이트 부분(220E_1) 및 제2 에지 게이트 부분(220E_2)을 형성하기 위한 이온 주입 공정은 상기 기판(110)의 다른 영역, 예를 들면 PMOS 트랜지스터 영역(도시 생략)에 P 채널 트랜지스터의 소스 영역 및 드레인 영역을 형성하기 위한 이온 주입 공정시 사용되는 마스크 패턴과 동일한 마스크 패턴을 사용하여 그와 동시에 행해질 수 있다.
- <47> 필요에 따라, 도 5a 및 도 5b를 참조하여 설명한 제2 도전형의 불순물로 도핑된 제1 에지 게이트 부분(220E_1) 및 제2 에지 게이트 부분(220E_2) 형성 공정을 도 4a 및 도 4b를 참조하여 설명한 제1 도전형의 불순물로 도핑된 센터 게이트 부분(120C) 형성 공정 전에 행할 수도 있다.
- <48> 상기 제2 도전형의 불순물로 도핑된 제1 에지 게이트 부분(220E_1) 및 제2 에지 게이트 부분(220E_2)이 각각 동일한 도핑 농도를 가질 수도 있고 서로 다른 도핑 농도를 가질 수도 있다. 상기 제2 도전형의 불순물로 도핑된 제1 에지 게이트 부분(220E_1) 및 제2 에지 게이트 부분(220E_2)이 서로 다른 도핑 농도를 가지는 구조를 형성하기 위하여, 도 5a 및 도 5b에서의 이온 주입 공정시, 상기 마스크 패턴(250) 대신, 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 중 어느 하나의 부분 만을 노출시키는 마스크 패턴을 이용한 1차 이온 주입 공정을 행한 후, 다시 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 중 다른 하나의 부분 만을 노출시키는 마스크 패턴을 이용한 2차 이온 주입 공정을 행할 수 있다. 여기서, 상기 1차 이온 주입 공정 및 2차 이온 주입 공정시의 도즈량을 다르게 설정할 수 있다.
- <49> 또한, 도시하지는 않았으나, 도 5a 및 도 5b에서 상기 마스크 패턴(250) 대신, 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 중 어느 하나의 부분 만을 노출시키는 개구가 형성된 마스크 패턴(도시 생략)을 형성하여 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 중 어느 하나의 부분에만 제2 도전형, 예를 들면 P형 또는 P+형의 불순물을 도핑하고, 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2) 중 다른 하나의 부분에는 불순물을 도핑하지 않는 공정을 행할 수도 있다.
- <50> 또는, 도시하지는 않았으나, 상기 마스크 패턴(250)의 개구(250a, 250b)를 통해 상기 센터 게이트 부분(120C)의 불순물 농도 보다 더 낮은 농도의 제1 도전형의 불순물을 주입하여 상기 제1 에지 게이트 부분(120E_1) 및 제2 에지 게이트 부분(120E_2)에 각각 낮은 농도의 불순물, 예를 들면 N-형의 불순물을 주입할 수도 있다.
- <51> 그 후, 도 4a 및 도 4b를 참조하여 설명한 바와 유사한 방법으로 게이트 전극(120) 및 기판(110) 위에 층간절연막(160) 및 콘택 플러그(170)를 형성한다.
- <52> 도 6 내지 도 9는 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서의 전기적 특성들을 비교한 그래프들이다.
- <53> 도 6 내지 도 9의 평가를 위하여, 본 발명에 따른 반도체 소자로서 게이트 전극의 에지 게이트 부분에는 불순물을 도핑하지 않고 게이트 전극의 센터 게이트 부분만 N+형 불순물로 도핑하여 고전압 트랜지스터용 N 채널 트랜지스터를 제조하였다. 비교예로서, 게이트 전극의 에지 게이트 부분이 센터 게이트 부분과 동일한 조건으로 N+형 불순물로 도핑된 것을 제외하고 본 발명의 경우와 동일한 조건으로 고전압 트랜지스터용 N 채널 트랜지스터를 제조하였다.
- <54> 도 6은 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서의 트랜스컨

덕턴스(G_m) 특성과, $V_d - V_g$ 특성을 비교한 그래프이다 ($V_d = 0.1 V$).

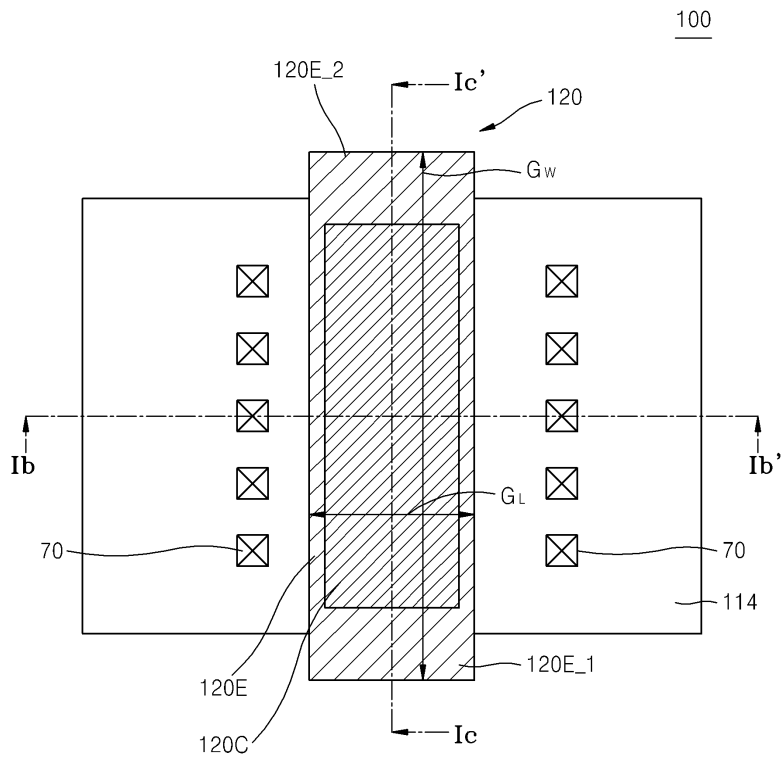
- <55> 도 6에서, 본 발명에 따른 반도체 소자에서 게이트 전극 중 활성 영역의 센터 부분 위에 있는 센터 게이트 부분에만 트랜지스터 채널의 도전 타입과 동일한 도전형의 도판트를 포함하는 경우에도, 비교예의 경우와 대략 일치하는 트랜스컨덕턴스 (G_m) 특성 및 $V_d - V_g$ 특성이 얻어지는 것을 확인할 수 있다. 도 3에 나타난 $G_m - V_g$ 플롯을 이용하여 V_{th} 를 정의할 때, 본 발명에서와 같이 게이트 전극 중 활성 영역의 중심 영역에 대응하는 부분에만 트랜지스터 채널의 도전 타입과 동일한 도전형의 도판트를 포함하여도 트랜지스터의 V_{th} 특성에 악영향을 미치지 않음을 알 수 있다.
- <56> 도 7은 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서의 $I_d - V_d$ 특성을 비교한 그래프이다 ($V_g = 30 V$).
- <57> 본 발명에 따른 반도체 소자에서 게이트 전극 중 활성 영역의 센터 부분 위에 있는 센터 게이트 부분에만 트랜지스터 채널의 도전 타입과 동일한 도전형의 도판트를 포함하는 경우에도, 비교예의 경우와 동일한 포화 전류 (saturation current) 특성이 얻어지는 것을 알 수 있다.
- <58> 도 8은 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서 $V_g = 0 V$ 일 때의 I_{off} (off-current) 특성을 평가하기 위하여 $I_d - V_d$ 특성을 비교한 그래프이다.
- <59> 도 9는 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서 $V_d = 0.1 V$ 인 조건 하에서 V_b (back bias voltage)를 각각 $0 V$, $-2 V$, 및 $-4 V$ 로 할 때의 $I_d - V_g$ 특성을 비교한 그래프이다.
- <60> 도 8 및 도 9로부터, 본 발명에 따른 반도체 소자의 트랜지스터에서 비교예의 경우에 비해 I_{off} 가 감소되었으며, 험프 현상이 개선된 것을 알 수 있다.

도면의 간단한 설명

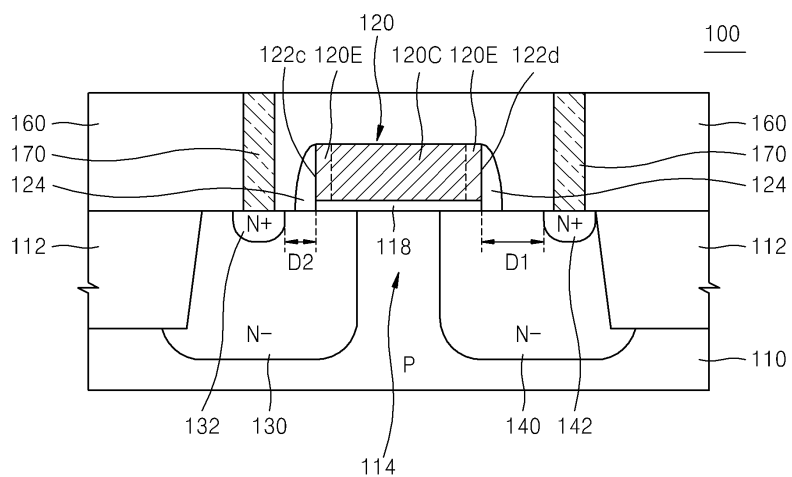
- <61> 도 1a는 본 발명의 바람직한 실시예에 따른 반도체 소자의 요부 구성을 도시한 레이아웃이다.
- <62> 도 1b는 도 1a의 $I_b - I_b'$ 선 단면도이다.
- <63> 도 1c는 도 1a의 $I_c - I_c'$ 선 단면도이다.
- <64> 도 2a 및 도 2b 내지 도 4a 및 도 4b는 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <65> 도 5a 및 도 5b는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도시한 단면도들이다.
- <66> 도 6은 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서의 트랜스컨덕턴스(G_m) 특성과 $V_d - V_g$ 특성을 비교한 그래프이다.
- <67> 도 7은 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서의 $I_d - V_d$ 특성을 비교한 그래프이다.
- <68> 도 8은 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서 $V_g = 0 V$ 일 때의 I_{off} (off-current) 특성을 평가하기 위하여 $I_d - V_d$ 특성을 비교한 그래프이다.
- <69> 도 9는 본 발명에 따른 반도체 소자의 트랜지스터 및 비교예에 따른 반도체 소자의 트랜지스터에서 $I_d - V_g$ 특성을 비교한 그래프이다.
- <70> <도면의 주요 부분에 대한 부호의 설명>
- <71> 100: 반도체 소자, 110: 기판, 112: 소자분리 영역, 114: 활성 영역, 114C: 센터 부분, 114E: 에지 부분, 120: 게이트 전극, 120C: 센터 게이트 부분, 120E: 에지 게이트 부분, 120E_1: 제1 에지 게이트 부분, 120E_2: 제2 에지 게이트 부분, 120P: 게이트 패턴, 122a: 제1 측벽, 122b: 제2 측벽, 122c: 제3 측벽, 122d: 제4 측벽, 124: 절연 스페이서, 130: 소스 드리프트 영역, 132: 소스 영역, 140: 드레인 드리프트 영역, 142: 드레인 영역, 150: 마스크 패턴, 160: 층간절연막, 170: 콘택 플러그, 220: 게이트 전극, 220E_1: 제1 에지 게이트 부분, 220E_2: 제2 에지 게이트 부분, 250: 마스크 패턴.

도면

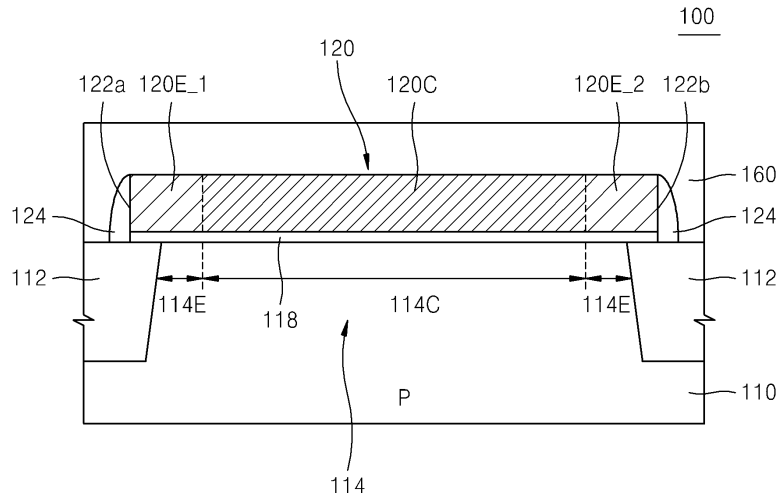
도면1a



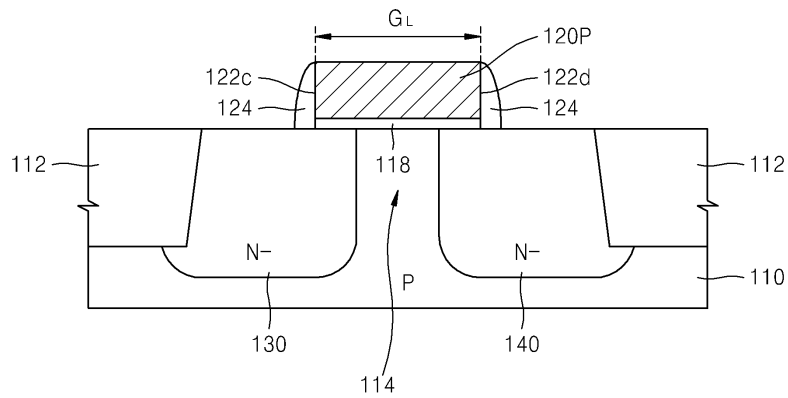
도면1b



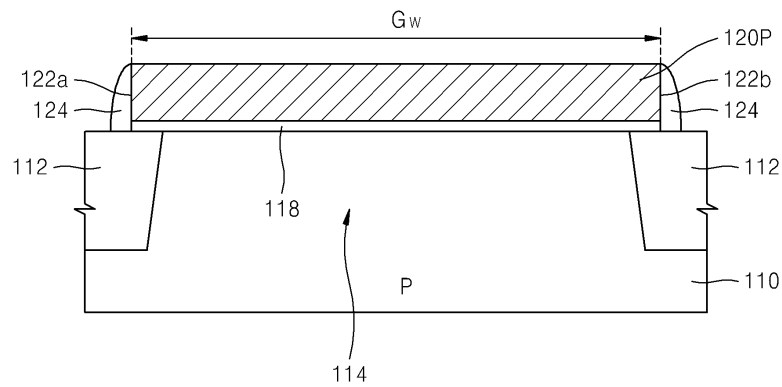
도면1c



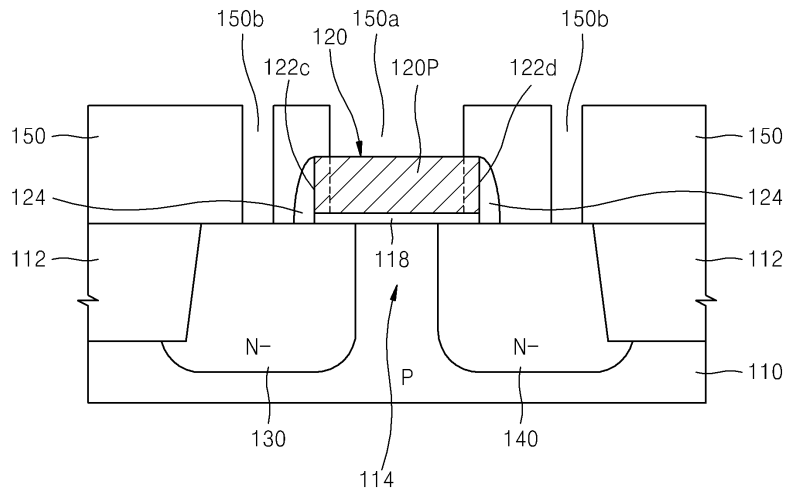
도면2a



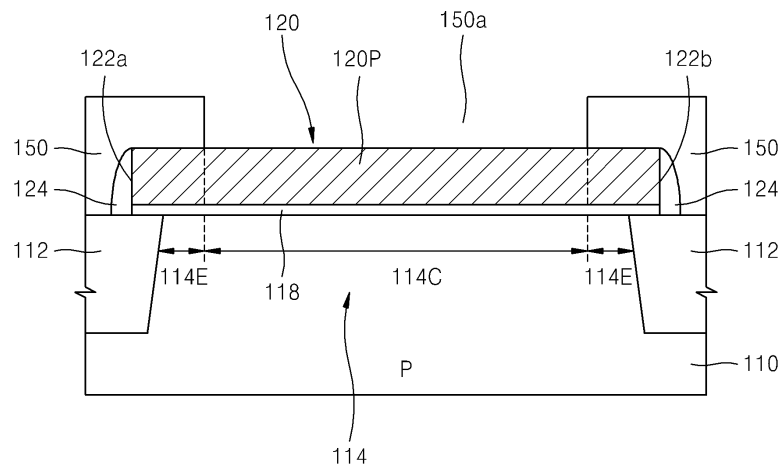
도면2b



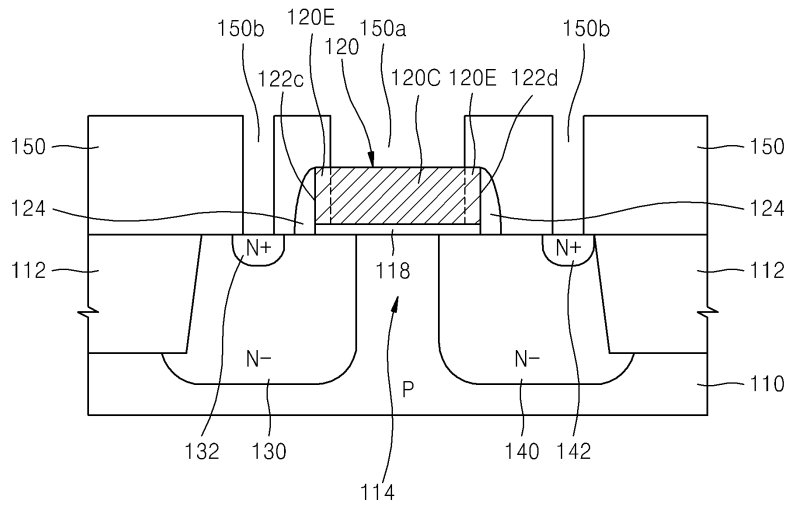
도면3a



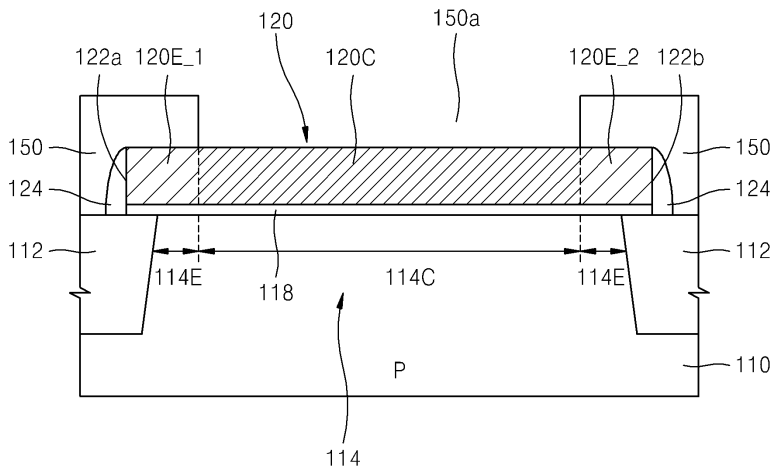
도면3b



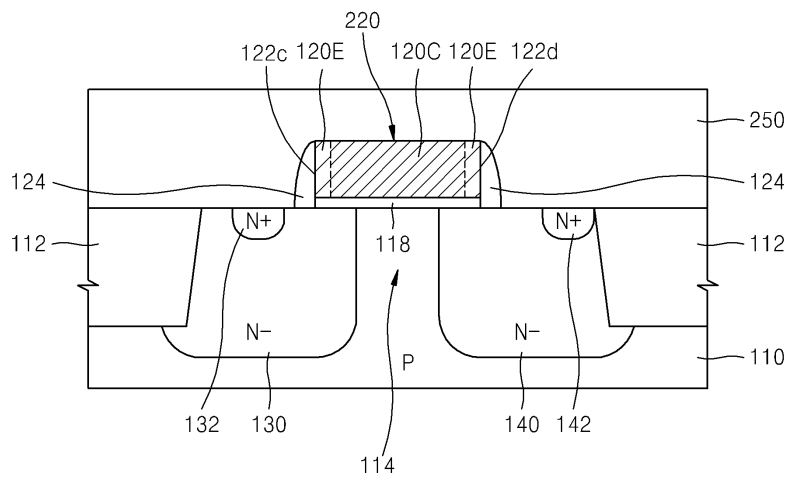
도면4a



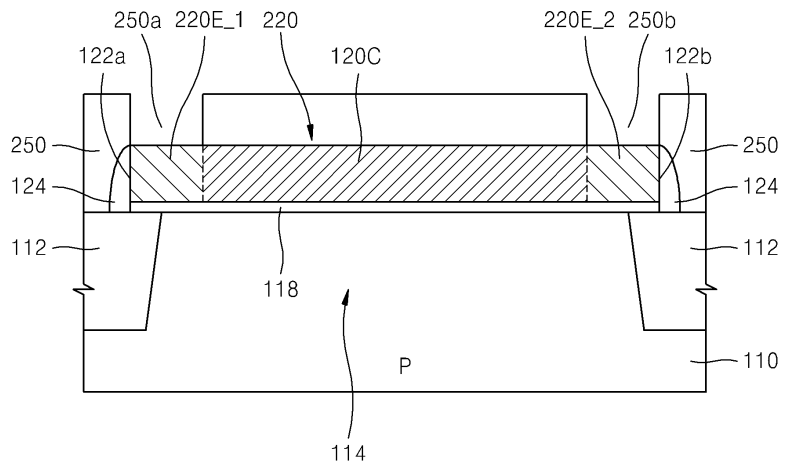
도면4b



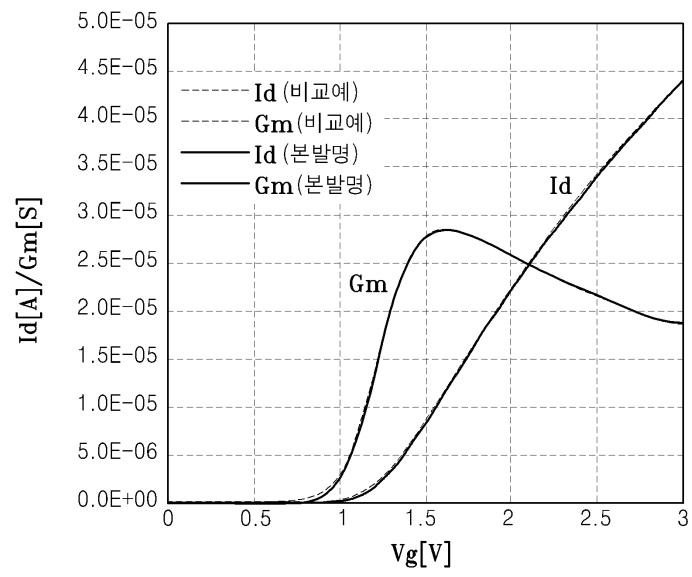
도면5a



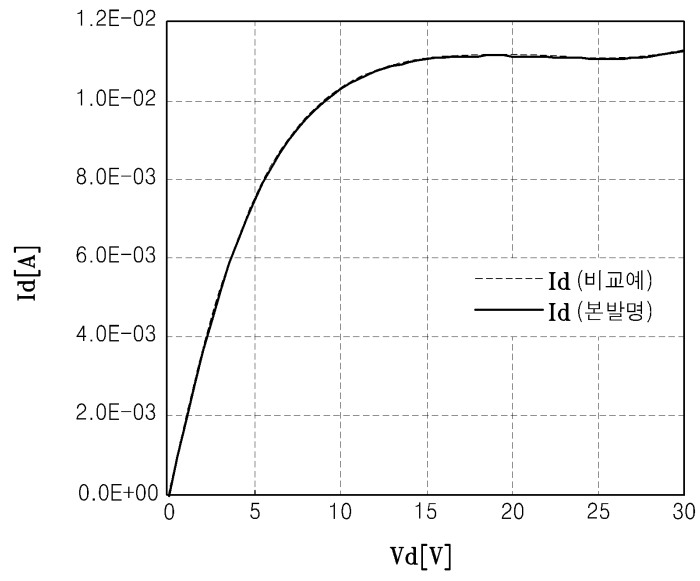
도면5b



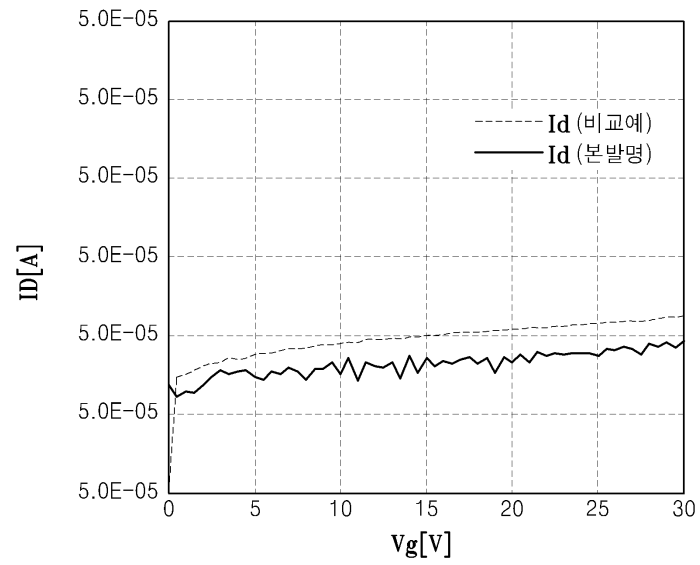
도면6



도면7



도면8



도면9

