

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-70293

(P2004-70293A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int. Cl.⁷

G09G 3/30
G09G 3/20
H05B 33/14

F I

G09G 3/30 J
G09G 3/30 K
G09G 3/20 621F
G09G 3/20 622P
G09G 3/20 622Q

テーマコード(参考)

3K007
5C080

審査請求 有 請求項の数 26 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2003-161085 (P2003-161085)
(22) 出願日 平成15年6月5日(2003.6.5)
(31) 優先権主張番号 特願2002-171891 (P2002-171891)
(32) 優先日 平成14年6月12日(2002.6.12)
(33) 優先権主張国 日本国(JP)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅普
(74) 代理人 100107076
弁理士 藤綱 英吉
(74) 代理人 100107261
弁理士 須澤 修
(72) 発明者 宮澤 貴士
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04
5C080 AA06 BB05 CC03 DD08 EE29
FF07 FF11 JJ02 JJ04 KK07
KK43 KK47

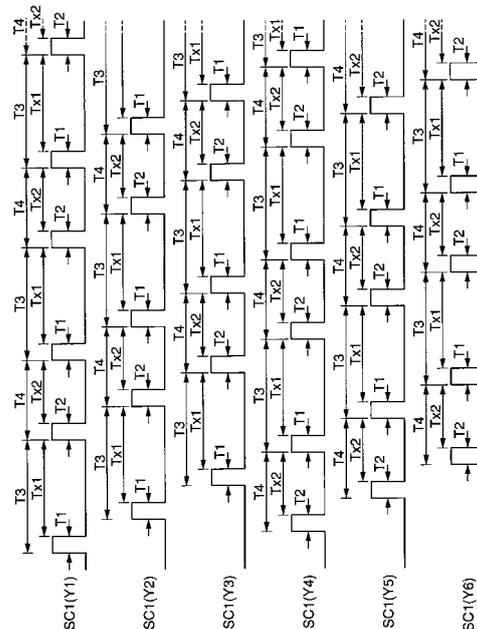
(54) 【発明の名称】 電子装置、電子装置の駆動方法及び電子機器

(57) 【要約】

【課題】データ線にデータを供給する回路の負荷を軽減することのできる電子装置を提供する。

【解決手段】画素回路20は、走査線Ynと各データ線Xmとの交差部に対応して配置され、それぞれ対応する走査線が選択されてデータ信号又はリセット制御信号がそれぞれ対応するデータ線を介して供給される。走査線駆動回路13は、前記データ信号又は前記リセット制御信号をデータ線を介して供給するために走査線を選択する際、アドレス信号ADnに基づいて少なくとも1つ前に選択した走査線と隣合う走査線以外の走査線を選択する走査信号を出力する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路と、
前記複数の単位回路のうち少なくとも1つの単位回路に含まれる前記電子素子を所定状態にリセットするリセット動作を行うためのリセット制御信号を生成するための制御回路と、
を含み、
前記データ信号の前記複数のデータ線に対する出力と前記リセット動作とは交互に行われること、
を特徴とする電子装置。

10

【請求項 2】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路であって、データ信号及び前記電子素子を所定状態にリセットするためのリセット制御信号が供給される複数の単位回路と、
前記複数の走査線から前記データ信号の供給に応じて走査線を選択するための走査線駆動回路と、を含み、
前記走査線駆動回路は、前記複数の単位回路のうち第1の単位回路に前記データ信号を供給するために前記複数の走査線から選択される第1の走査線と、次に前記データ信号を前記第1の単位回路以外の前記複数の単位回路のうち第2の単位回路に供給するために前記複数の走査線から選択される第2の走査線と、は互いに隣合わないよう walk 査信号を前記
複数の走査線に供給し、
前記第1の単位回路に前記データ信号が供給されてから前記第2の単位回路に前記データ信号が供給されるまでの期間内に、前記第1の単位回路及び前記第2の単位回路とは異なる第3の単位回路に前記リセット制御信号が供給されること、
を特徴とする電子装置。

20

【請求項 3】

請求項 2 に記載の電子装置において、
前記複数の走査線のうち、前記第3の単位回路に対応する第3の走査線は、前記第1の走査線及び前記第2の走査線と隣合っていること、
を特徴とする電子装置。

30

【請求項 4】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路であって、データ信号及び前記電子素子を所定状態にリセットするためのリセット制御信号が供給される複数の単位回路と、
前記複数の走査線から前記データ信号の供給に応じて走査線を選択するための走査線駆動回路と、を含み、
前記走査線駆動回路は、前記複数の単位回路のうち第1の単位回路に前記データ信号を供給するために前記複数の走査線から選択される第1の走査線と、次に前記データ信号を前記第1の単位回路以外の前記複数の単位回路のうち第2の単位回路に供給するために前記複数の走査線から選択される第2の走査線と、は互いに隣合うよう walk 査信号を前記
複数の走査線に供給し、
前記第1の単位回路に前記データ信号が供給されてから前記第2の単位回路に前記データ信号が供給されるまでの期間内に、前記第1の単位回路及び前記第2の単位回路とは異なる第3の単位回路に前記リセット制御信号が供給されること、
を特徴とする電子装置。

40

【請求項 5】

請求項 4 に記載の電子装置において、
前記複数の走査線のうち、前記第3の単位回路に対応する第3の走査線は、前記第1の走査線及び前記第2の走査線と隣合っていないこと、
を特徴とする電子装置。

50

【請求項 6】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路であって、データ信号及び前記電子素子を所定状態にリセットするためのリセット制御信号が供給される複数の単位回路と、
前記複数の走査線から前記データ信号の供給に応じて走査線を選択するための走査線駆動回路と、を含み、
前記走査線駆動回路は、前記データ信号を供給するために選択する走査線と、前記リセット制御信号を供給するための走査線と、を交互に選択すること、
を特徴とする電子装置。

【請求項 7】

複数の走査線と複数のデータ線との交差部に対応して配置された複数の単位回路であって、各々が、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第 1 のトランジスタと、前記第 1 のトランジスタを介して供給される前記データ信号を前記データ信号を保持する保持素子と、前記保持素子に保持された前記データ信号に基づいて導通状態が設定される第 2 のトランジスタと、設定された前記第 2 のトランジスタの前記導通状態に相対した電圧レベルまたは電流レベルを有する電圧または電流が供給される電子素子と、を含む複数の単位回路と、
前記複数のデータ線にデータ信号を出力するためのデータ線駆動回路と、
前記複数の走査線を介して前記走査信号を前記複数の単位回路に供給する走査線駆動回路と、を含み、
前記複数の単位回路のうち第 1 の単位回路に前記データ信号が供給されてから、次に前記データ信号が前記第 1 の単位回路以外の第 2 の単位回路に供給されるまでの期間内に、前記第 1 の単位回路及び前記第 2 の単位回路とは異なる第 3 の単位回路に、前記複数のデータ線のうち対応するデータ線を介して、前記保持素子に前記第 2 のトランジスタを実質的にオフ状態とするリセット制御信号が供給されること、
を特徴とする電子装置。

【請求項 8】

請求項 7 に記載の電子装置において、
前記第 1 の単位回路に対応する、前記複数の走査線の第 1 の走査線と、前記第 2 の単位回路に対応する、前記複数の走査線の第 2 の走査線と、は互いに隣合っており、
前記第 3 の単位回路に対応する、前記複数の走査線の第 3 の走査線は、前記第 1 の走査線及び前記第 2 の走査線とは、隣合っていないこと、
を特徴とする電子装置。

【請求項 9】

請求項 7 に記載の電子装置において、
前記第 1 の単位回路に対応する、前記複数の走査線の第 1 の走査線と、前記第 3 の単位回路に対応する、前記複数の走査線の第 3 の走査線と、は互いに隣合っており、
前記第 2 の単位回路に対応する、前記複数の走査線の第 2 の走査線は、前記第 1 の走査線とは、隣合っていないこと、
を特徴とする電子装置。

【請求項 10】

請求項 8 または 9 に記載の電子装置において、
前記第 3 の単位回路に前記リセット制御信号が供給される際に、前記第 3 の走査線が選択され、前記第 3 の単位回路の前記第 1 のトランジスタを介して前記保持素子に前記リセット制御信号が供給されること、
を特徴とする電子装置。

【請求項 11】

請求項 1 乃至 10 のいずれかに記載の電子装置において、
前記データ信号は多値であることを特徴とする電子装置。

【請求項 12】

請求項 1 乃至 1 1 のいずれかに記載の電子装置において、
前記データ信号として電流信号が供給されること、
を特徴とする電子装置。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれかに記載の電子装置において、
前記電子素子は E L 素子であることを特徴とする電子装置。

【請求項 1 4】

請求項 1 3 に記載の電子装置において、
前記 E L 素子は、発光層が有機材料で構成されていることを特徴とする電子装置。

【請求項 1 5】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、
前記複数の単位回路のうち第 1 の単位回路に前記複数のデータ線のうち対応するデータ線を介してデータ信号を供給した後であって、
次に前記複数の単位回路のうち前記第 1 の単位回路以外の第 2 の単位回路に前記複数のデータ線のうち対応するデータ線を介してデータ信号を供給する前に
前記複数の単位回路のうち、前記第 1 の単位回路及び前記第 2 の単位回路以外の第 3 の単位回路に前記第 3 の単位回路に含まれる前記電子素子を所定の状態にリセットするためのリセット制御信号を供給すること、
を特徴とする電子装置の駆動方法。

10

20

【請求項 1 6】

請求項 1 5 に記載の電子装置の駆動方法において、
前記第 1 の単位回路に前記データ信号を供給するために前記複数の走査線から選択される走査線と、前記第 3 の単位回路に対応する前記複数の走査線のうちの走査線とは、互いに隣合っていること、
を特徴とする電子装置の駆動方法。

【請求項 1 7】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、
前記複数の単位回路のうち第 1 の単位回路に前記データ信号を供給するために前記複数の走査線から一つの走査線を選択し、
次に前記データ信号を前記第 1 の単位回路以外の第 2 の単位回路に供給するために前記第 1 の単位回路に前記データ信号を供給するために選択した当該一つの走査線とは隣合わない走査線を選択し、
前記第 1 の単位回路に前記データ信号が供給されてから前記第 2 の単位回路に前記データ信号が供給されるまでの間に、前記第 1 の単位回路及び前記第 2 の単位回路とは異なる第 3 の単位回路に、前記第 3 の単位回路に含まれる前記電子素子を所定の状態にリセットするためのリセット制御信号を、供給すること、
を特徴とする電子装置の駆動方法。

30

【請求項 1 8】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、
複数の走査線中から 1 つの走査線を選択して、その選択された走査線に対応する各単位回路に対して対応する前記データ線からデータ信号を供給した後、
当該選択された走査線とは隣合う走査線以外の走査線のうち少なくとも 1 つの走査線に対応して設けられた単位回路に、当該単位回路に含まれる前記電子素子を所定の状態にリセットするためのリセット制御信号を供給すること、
を特徴とする電子装置の駆動方法。

40

【請求項 1 9】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複

50

数の単位回路を備えた電子装置の駆動方法であって、
 複数の走査線うちから1つの走査線を選択して、その選択された走査線に対応する各単位回路に対して対応する前記データ線からデータ信号を供給した後、
 当該選択された走査線とは異なる走査線のうち少なくとも1つの走査線を選択して、その選択された少なくとも1つの走査線に対応する単位回路に前記電子素子を所定の状態にリセットするためのリセット制御信号を前記複数のデータ線のうち対応するデータ線を介して供給すること、
 を特徴とする電子装置の駆動方法。

【請求項20】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、
 データ信号の単位回路に対する書き込みが開始されてから当該単位回路に対するデータ信号の書き込みが次に開始されるまで期間内に、前記複数の単位回路のうち少なくとも1つの単位回路に対して前記電子素子を所定状態にリセットするためのリセット制御信号を供給すること、
 を特徴とする電子装置の駆動方法。

【請求項21】

複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、
 データ信号の単位回路に対する書き込みが開始されてから当該単位回路に対するデータ信号の書き込みが次に開始されるまで期間内に、前記複数の単位回路のうち当該単位回路以外の少なくとも1つの単位回路に対して前記電子素子を所定状態にリセットするためのリセット制御信号を供給すること、
 を特徴とする電子装置の駆動方法。

【請求項22】

請求項15乃至21のいずれか1つに記載の電子装置の駆動方法において、
 前記データ信号として多値あるいはアナログの信号を供給すること、
 を特徴とする電子装置の駆動方法。

【請求項23】

請求項15乃至22のいずれかに記載の電子装置の駆動方法において、
 前記データ信号として電流信号を供給すること、
 を特徴とする電子装置の駆動方法。

【請求項24】

請求項15乃至23のいずれかに記載の電子装置の駆動方法において、
 前記複数の単位回路の各々は、
 前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第1のトランジスタと、
 前記第1のトランジスタを介して供給される前記データ信号及び前記リセット制御信号をそれぞれに対応する電気量として保持する保持素子と、
 前記保持素子に保持された前記電気量に基づいて導通状態が設定され、前記電子素子に前記導通状態に対応した電圧レベルまたは電流レベルを有する電圧または電流を供給する第2のトランジスタと、を含み、
 前記リセット制御信号を前記保持素子に供給することにより前記第2のトランジスタの導通状態を実質的にオフ状態として、前記電子素子への電圧または電流の供給を停止すること、
 を特徴とする電子装置の駆動方法。

【請求項25】

請求項15乃至24のいずれかに記載の電子装置の駆動方法において、
 前記電子素子はEL素子であることを特徴とする電子装置の駆動方法。

【請求項26】

請求項 1 乃至 14 のいずれか 1 つに記載の電子装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子装置、電子装置の駆動方法及び電子機器に関するものである。

【0002】

【従来の技術】

近年、有機 EL 素子を用いた電気光学装置が注目されている。有機 EL 素子は自発光素子であって、バックライトが不要なため、低消費電力、高視野角、高コントラスト比の表示装置を実現することができるものと期待されている。

10

【0003】

有機 EL 素子の輝度階調に応じたデータ信号を各画素回路に供給するデータ線駆動回路を備えている。データ線駆動回路は、画像データを出力するコントローラと接続されている。データ線駆動回路は、データ線を介して各画素回路と接続された複数の単一ラインドライバを備えている。各単一ラインドライバは、コントローラから出力される画像データに基づいてデータ信号を生成し、その生成されたデータ信号を画素回路に供給する。画素回路は、前記データ信号に基づいて有機 EL 素子の輝度階調を制御する駆動電流を前記有機 EL 素子に供給するようになっている（例えば、特許文献 1 を参照）。

【0004】

20

【特許文献 1】

国際公開第 W098 / 36407 号パンフレット

【0005】

【発明が解決しようとする課題】

有機 EL 素子、液晶素子、電気泳動素子、あるいは電子放出素子等の電気光学素子を備えた電気光学装置においては、その大型化・高精細化が進むにつれて寄生容量などによる動作遅延が問題となる。特に、データ信号をデータ電流として供給する方式を採用した電気光学装置の場合は、この問題が顕著となる。つまり、データ線の配線容量によっては、各画素回路に供給されるデータ電流が、所定の書き込み期間内に精度良く供給されない場合がある。その結果、画素回路におけるデータ電流の書き込み動作が遅延してしまい、電気

30

光学素子の正確な階調が得られない。

また、次のデータ書き込みまで画素回路の状態を維持すると、十分な動画の表示品位が得られないことがある。

本発明は、主に上述のことを解決するためになされたものである。

【0006】

【課題を解決するための手段】

本発明の第 1 の電子装置は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路と、前記複数の単位回路のうち少なくとも 1 つの単位回路に含まれる前記電子素子を所定状態にリセットするリセット動作を行うためのリセット制御信号を生成するための制御回路と、を含み、前記データ信号の前記複数のデータ線に対する出力と前記リセット動作とは交互に行われること、を特徴とする。

40

【0007】

この電子装置において、前記複数のデータ線に対する前記データ信号の出力とリセット動作とは交互に行われるので、リセット動作の期間を次に前記複数のデータ線に供給するデータ信号を準備する期間として利用できる。

例えば、前記データ信号を用いて、前記電子素子として液晶素子や EL 素子等の電気光学素子を備えた電気光学装置の表示を行う場合について述べれば、リセット動作により非表示の期間を設ければ、いわゆるインパルスの動作を行うことが可能であり、これにより特に動画表示の際の表示品位が向上する。

なお、本発明における「リセット制御信号」とは、前記電子素子を所定状態にリセットす

50

るための制御信号であれば、特に限定されず、例えば、前記電子素子自身に直接作用する信号でもよいし、前記電子素子を制御するための能動素子に作用し、前記電子素子を間接的に所定の状態に設定する信号であってもよい。

【0008】

本発明の第2の電子装置は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路であって、データ信号及び前記電子素子を所定状態にリセットするためのリセット制御信号が供給される複数の単位回路と、前記複数の走査線から前記データ信号の供給に応じて走査線を選択するための走査線駆動回路と、を含み、前記走査線駆動回路は、前記複数の単位回路のうち第1の単位回路に前記データ信号を供給するために前記複数の走査線から選択される第1の走査線と、次に前記データ信号を前記第1の単位回路以外の前記複数の単位回路のうち第2の単位回路に供給するために前記複数の走査線から選択される第2の走査線と、は互いに隣合わないように走査信号を前記複数の走査線に供給し、前記第1の単位回路に前記データ信号が供給されてから前記第2の単位回路に前記データ信号が供給されるまでの期間内に、前記第1の単位回路及び前記第2の単位回路とは異なる第3の単位回路に前記リセット制御信号が供給されること、を特徴とする。

10

なお、上記の電子装置において、前記複数の走査線のうち、前記第3の単位回路に対応する第3の走査線は、前記第1の走査線及び前記第2の走査線と隣合っていないこともよい。

【0009】

上記の電子装置において、前記走査線駆動回路は、前記複数の単位回路のうち第1の単位回路に前記データ信号を供給するために選択される走査線と、次に前記データ信号を前記第1の単位回路以外の第2の単位回路に供給するために選択される走査線と、は互いに隣合わないように走査信号を前記複数の走査線に供給しているため、例えば、上記の電子装置を表示装置として用いた場合、前記データ信号が供給される部位が空間的に分散されるため、表示装置としての視認性が向上する。また、前記リセット制御信号を非表示に用いられれば、前記データ信号の供給の合間に黒表示が行われ、上述のように動画表示の際の視認性が向上する。さらに、前記リセット制御信号を供給している期間を次に供給する前記データ信号の準備期間として利用することができる。

20

【0010】

本発明の第3の電子装置において、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路であって、データ信号及び前記電子素子を所定状態にリセットするためのリセット制御信号が供給される複数の単位回路と、前記複数の走査線から前記データ信号の供給に応じて走査線を選択するための走査線駆動回路と、を含み、前記走査線駆動回路は、前記複数の単位回路のうち第1の単位回路に前記データ信号を供給するために前記複数の走査線から選択される第1の走査線と、次に前記データ信号を前記第1の単位回路以外の前記複数の単位回路のうち第2の単位回路に供給するために前記複数の走査線から選択される第2の走査線と、は互いに隣合うように走査信号を前記複数の走査線に供給し、前記第1の単位回路に前記データ信号が供給されてから前記第2の単位回路に前記データ信号が供給されるまでの期間内に、前記第1の単位回路及び前記第2の単位回路とは異なる第3の単位回路に前記リセット制御信号が供給されること、を特徴とする。

30

40

なお、上記の電子装置において、前記複数の走査線のうち、前記第3の単位回路に対応する第3の走査線は、前記第1の走査線及び前記第2の走査線と隣合っていないことが好ましい。

【0011】

上記の電子装置において、前記データ信号の供給とリセット制御信号の供給とが、交互に行われるため、前記データ信号の生成あるいは供給によるデータ線駆動回路の回路の負担を軽減することができる。さらに、前記リセット制御信号を供給している期間を次に供給する前記データ信号の準備期間として利用することができる。また、前記リセット制御信号を表示装置における非表示期間の設定に用いられれば、前記データ信号の供給の合間に黒表

50

示が行われることになり、動画表示の際の視認性が向上する。

【0012】

本発明の第4の電子装置は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路であって、データ信号及び前記電子素子を所定状態にリセットするためのリセット制御信号が供給される複数の単位回路と、前記複数の走査線から前記データ信号の供給に応じて走査線を選択するための走査線駆動回路と、を含み、前記走査線駆動回路は、前記データ信号を供給するために選択する走査線と、前記リセット制御信号を供給するための走査線と、を交互に選択すること、を特徴とする。

【0013】

上記の電子装置において、前記走査線駆動回路は、前記データ信号を供給するために選択する走査線と、前記リセット制御信号を供給するための走査線とを交互に選択しているため、前記リセット制御信号を供給する期間を次の前記データ信号のための準備期間として利用することができる。また、前記リセット制御信号を前記電子装置を表示装置として用いた場合の非表示信号に用いれば、前記データ信号の供給の合間に黒表示が行われ、上述のように動画表示の際の視認性が向上する。

10

【0014】

本発明の第5の電子装置は、複数の走査線と複数のデータ線との交差部に対応して配置された複数の単位回路であって、各々が、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第1のトランジスタと、前記第1のトランジスタを介して供給される前記データ信号を前記データ信号を保持する保持素子と、前記保持素子に保持された前記データ信号に基づいて導通状態が設定される第2のトランジスタと、設定された前記第2のトランジスタの前記導通状態に相対した電圧レベルまたは電流レベルを有する電圧または電流が供給される電子素子と、を含む複数の単位回路と、前記複数のデータ線にデータ信号を出力するためのデータ線駆動回路と、前記複数の走査線を介して前記走査信号を前記複数の単位回路に供給する走査線駆動回路と、を含み、前記複数の単位回路のうち第1の単位回路に前記データ信号が供給されてから、次に前記データ信号が前記第1の単位回路以外の第2の単位回路に供給されるまでの期間内に、前記第1の単位回路及び前記第2の単位回路とは異なる第3の単位回路に、前記複数のデータ線のうち対応するデータ線を介して、前記保持素子に前記第2のトランジスタを実質的にオフ状態とするリセット制御信号が供給されること、を特徴とする。

20

30

この電子装置においては、前記リセット制御信号がデータ線を介して供給されるので、単位回路のリセットと同時にデータ線に付随する電荷のリセットも行うことができ、次のデータの書き込みが高速で行える。

なお、前記保持素子としては、容量素子の他、SRAM等の半導体素子により構成されたメモリ素子が使用できる。

【0015】

上記の電子装置において、前記第1の単位回路に対応する、前記複数の走査線の第1の走査線と、前記第2の単位回路に対応する、前記複数の走査線の第2の走査線と、は互いに隣合っており、前記第3の単位回路に対応する、前記複数の走査線の第3の走査線は、前記第1の走査線及び前記第2の走査線とは、隣合わないようにしてもよい。

40

上記の電子装置において、前記第1の単位回路に対応する、前記複数の走査線の第1の走査線と、前記第3の単位回路に対応する、前記複数の走査線の第3の走査線と、は互いに隣合っており、前記第2の単位回路に対応する、前記複数の走査線の第2の走査線は、前記第1の走査線とは、隣合わないようにしてもよい。

【0016】

上記の電子装置において、前記第3の単位回路に前記リセット制御信号が供給される際に、前記第3の走査線が選択され、前記第3の単位回路の前記第1のトランジスタを介して前記保持素子に前記リセット制御信号が供給されることが好ましい。

【0017】

上記の電子装置において、前記データ信号は多値であってもよい。

50

上記の電子装置において、前記データ信号として電流信号を供給してもよい。上記の電子装置において、前記電子素子は、例えば、LEDやFED、無機EL素子、液晶素子、電子放出素子、プラズマ発光素子等の種々の電気光学素子をあってもよい。例えば、EL素子の場合には、その発光層が有機材料で構成されていてもよい。

なお、上記の電子装置のいずれにおいても、データ信号の供給と交互となるようにリセットすることが好ましいが、前記複数の走査線のうち、いくつかの走査線に対応する単位回路に連続してデータ信号を供給した後、リセット動作を行ってもよい。要は、前記複数の走査線の全てに対応する前記複数の単位回路に前記データ信号を供給する前に、少なくとも1回以上リセットを行えばよい。

【0018】

本発明の第1の電子装置の駆動方法は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、前記複数の単位回路のうち第1の単位回路に前記複数のデータ線のうち対応するデータ線を介してデータ信号を供給した後であって、次に前記複数の単位回路のうち前記第1の単位回路以外の第2の単位回路に前記複数のデータ線のうち対応するデータ線を介してデータ信号を供給する前に、前記複数の単位回路のうち、前記第1の単位回路及び前記第2の単位回路以外の第3の単位回路に前記第3の単位回路に含まれる前記電子素子を所定の状態にリセットするためのリセット制御信号を供給すること、を特徴とする。

上記の電子装置の駆動方法において、前記第1の単位回路に前記データ信号を供給するために前記複数の走査線から選択される走査線と、前記第3の単位回路に対応する前記複数の走査線うちの走査線とは、互いに隣合っているもよい。

【0019】

本発明の第2の電子装置の駆動方法は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、前記複数の単位回路のうち第1の単位回路に前記データ信号を供給するために前記複数の走査線から一つの走査線を選択し、次に前記データ信号を前記第1の単位回路以外の第2の単位回路に供給するために前記第1の単位回路に前記データ信号を供給するために選択した当該一つの走査線とは隣合わない走査線を選択し、前記第1の単位回路に前記データ信号が供給されてから前記第2の単位回路に前記データ信号が供給されるまでの間に、前記第1の単位回路及び前記第2の単位回路とは異なる第3の単位回路に、前記第3の単位回路に含まれる前記電子素子を所定の状態にリセットするためのリセット制御信号を供給すること、を特徴とする。

【0020】

本発明の第3の電子装置の駆動方法は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、複数の走査線中から一つの走査線を選択して、その選択された走査線に対応する各単位回路に対して対応する前記データ線からデータ信号を供給した後、当該選択された走査線とは隣合う走査線以外の走査線のうち少なくとも一つの走査線に対応して設けられた単位回路に、当該単位回路に含まれる前記電子素子を所定の状態にリセットするためのリセット制御信号を供給すること、を特徴とする。

【0021】

本発明の第4の電子装置の駆動方法は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、複数の走査線うちから一つの走査線を選択して、その選択された走査線に対応する各単位回路に対して対応する前記データ線からデータ信号を供給した後、当該選択された走査線とは異なる走査線のうち少なくとも一つの走査線を選択して、その選択された少なくとも一つの走査線に対応する単位回路に前記電子素子を所定の状態にリセットするためのリセット制御信号を前記複数のデータ線のうち対応するデータ線を介して供給すること、を特徴とする。この電子装置に駆動方法においては、前記リセット制御信号を、データ線を介して供給するので、データ線に関わる電荷のリセットも行うことができ、次に行うデ

10

20

30

40

50

ータ信号の書き込みに有利となる。

【0022】

本発明の第5の電子装置の駆動方法は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、前記データ信号の単位回路に対する書き込みが開始されてから当該単位回路に対する前記データ信号の書き込みが次に開始されるまで期間内に、前記複数の単位回路のうち少なくとも1つの単位回路に対して前記電子素子を所定状態にリセットするためのリセット制御信号を供給すること、を特徴とする。

【0023】

本発明の第6の電子装置の駆動方法は、複数の走査線と複数のデータ線との交差部に対応して配置され、各々が電子素子を含む複数の単位回路を備えた電子装置の駆動方法であって、前記データ信号の単位回路に対する書き込みが開始されてから当該単位回路に対する前記データ信号の書き込みが次に開始されるまで期間内に、前記複数の単位回路のうち当該単位回路以外の少なくとも1つの単位回路に対して前記電子素子を所定状態にリセットするためのリセット制御信号を供給すること、を特徴とする。

10

上記の電子装置の駆動方法において、前記データ信号の単位回路に対する書き込みが開始されてから、当該単位回路に対するデータ信号の書き込みが次に開始されるまで期間を1フレームと定義すれば、1フレーム内にいずれかの単位回路のリセット動作が行われているので、前記リセット制御信号によりリセット動作を行っている期間を次のデータ信号の生成あるいは供給の準備期間として利用することができる。これにより、データ線を駆動するデータ線駆動回路やリセット制御信号を供給するための回路の負荷が軽減される。

20

【0024】

なお、上記の電子装置の駆動方法のいずれにおいても、前記複数の走査線の全てに対応する前記複数の単位回路に前記データ信号を供給する前に、少なくとも1回以上、好ましくは、データ信号の供給と交互となるようにリセットしているため、前記複数の走査線の全ての選択が完了してからリセットを行う場合に比べて、データ信号の生成あるいは供給に関わるデータ線駆動回路等の回路の負担が軽減する。

上記の電子装置の駆動方法において、前記データ信号として多値あるいはアナログの信号を供給することが好ましい。

上記の電子装置の駆動方法において、前記データ信号として電流信号を供給することが好ましい。

30

上記の電子装置の駆動方法において、前記電子素子はEL素子であってもよい。

上記の電子装置の駆動方法において、前記複数の単位回路の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により制御される第1のトランジスタと、前記第1のトランジスタを介して供給される前記データ信号及び前記リセット制御信号をそれぞれに対応する電気量として保持する保持素子と、前記保持素子に保持された前記電気量に基づいて導通状態が設定され、前記電子素子に前記導通状態に対応した電圧レベルまたは電流レベルを有する電圧または電流を供給する第2のトランジスタと、を含み、前記リセット制御信号を前記保持素子に供給することにより前記第2のトランジスタの導通状態を実質的にオフ状態として、前記電子素子への電圧または電流の供給を停止するようにしてもよい。

40

【0025】

本発明における電子機器は、上記の電子装置を実装した。

【0026】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～図4に従って説明する。

【0027】

図1は、電子装置としての有機ELディスプレイ10の回路構成を示すブロック回路図を示す。図2は、表示パネル部とデータ線駆動回路の内部回路構成を示すブロック回路図を

50

示す。図3は、画素回路の内部回路構成を示す回路図を示す。

【0028】

図1において、有機ELディスプレイ10は、表示パネル部11、データ線駆動回路12、走査線駆動回路13、メモリ14、発振回路15、電源回路16及び制御回路17を備えている。

【0029】

有機ELディスプレイ10の各要素11~17は、それぞれが独立した電子部品によって構成されていてもよい。例えば、各要素12~17が1チップの半導体集積回路装置によって構成されていてもよい。また、各要素11~17の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表示パネル部11に、データ線駆動回路12と走査線駆動回路13とが一体的に形成されていてもよい。各構成要素11~16の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

10

【0030】

表示パネル部11は、図2に示すように、データ線 X_m (m は自然数)と、行方向に沿ってのびる複数の走査線 Y_n (n は自然数)との交差部に対応する位置に配列された複数の単位回路または電子回路としての画素回路20を有している。つまり、画素回路20は、その列方向に沿ってのびるデータ線 X_m と、行方向に沿ってのびる走査線 Y_n との間にそれぞれ接続されることにより、各画素回路20はマトリクス状に配列されている。画素回路20には電子素子または電流駆動素子として有機EL素子21を有している。有機EL素子21は、駆動電流が供給されることによって発光する発光素子である。

20

【0031】

本実施形態では、画素回路20には、赤、緑及び青用画素回路20R, 20G, 20Bの3種類の画素回路がある。赤用画素回路20Rには有機材料で構成された発光層から赤色の光を放射する有機EL素子21を有している。緑用の画素回路20Gには有機材料で構成された発光層から緑色の光を放射する有機EL素子21を有している。青用画素回路20Bには有機材料で構成された発光層から青色の光を放射する有機EL素子21を有している。

【0032】

赤画素回路20R、緑用画素回路20G、青用画素回路20Bの順番を列方向に繰り返しながら配置されている。そして、このように配置された赤、緑及び青用画素回路20R, 20G, 20Bは、その列方向に沿って配置されるデータ線 X_m と、行方向に沿ってのびる複数の走査線 Y_n との間にそれぞれ接続される。

30

【0033】

データ線駆動回路12は、データ線 X_m の各々に対して単一ライン駆動回路30を備えている。各単一ライン駆動回路30は、データ線 X_m を介してそれぞれ対応する赤、緑及び青用画素回路20R, 20G, 20Bにデータ信号を供給する。

【0034】

図3に示すように、画素回路20は、第2のトランジスタとしての駆動トランジスタQ1、第1のトランジスタとしてのスイッチングトランジスタQ2及び保持素子としての保持キャパシタC1を備えている。駆動トランジスタQ1はPチャネル型トランジスタより構成されている。スイッチングトランジスタQ2はNチャネル型トランジスタより構成されている。

40

【0035】

駆動トランジスタQ1は、ドレインが有機EL素子21の陽極に接続され、ソースが駆動電圧 V_{dd} が印加されている電源線VLに接続されている。駆動トランジスタQ1のゲートには保持キャパシタC1が接続されている。

保持キャパシタC1の他端は電源線VLに接続されている。画素回路20のスイッチングトランジスタQ2のゲートは、対応する走査線 Y_n にそれぞれ接続されている。又、スイッチングトランジスタQ2は、ドレインがデータ線 X_m に接続され、そのソースが駆動ト

50

ランジスタQ1のゲートとともに保持キャパシタC1に接続されている。

【0036】

各単一ライン駆動回路30は、図3に示すように、データ電圧生成回路30aとリセット電圧生成回路30bを備えている。データ電圧生成回路30aは、第1スイッチQ11を介してそれぞれ対応する各データ線Xmに接続された画素回路20にデータ信号VDを供給する。尚、データ電圧生成回路30aが生成するデータ信号VDは、2値あるいはデジタル値であってもよいが、本実施形態では、多値であって、64通りの電圧値が生成されるようになっている。

【0037】

リセット電圧生成回路30bは、第2スイッチQ12を介してそれぞれ対応するデータ線Xmに接続された画素回路20にリセット制御信号としてのリセット電圧Vrを供給する。リセット制御信号は、有機EL素子21への電流の供給を停止するための信号であれば特に限定はされないが、ここでは、リセット電圧Vrとして、駆動トランジスタQ1の導通状態を実質的にオフ状態とするために保持キャパシタC1に保持されるべき電荷量を設定するための電圧に設定してある。

10

【0038】

具体的には、本実施形態のように駆動トランジスタがPチャネル型トランジスタの場合は、リセット電圧Vrは、駆動トランジスタQ1のソースの電位であるVddから駆動トランジスタQ1の閾値電圧Vthを引いた値以上の値を有する電圧であればよく、本実施形態では、リセット電圧Vrを電源線VLに印加されている駆動電圧Vddと同じに設定している。

20

因みに、駆動トランジスタQ1が仮にNチャネル型トランジスタの場合であれば、リセット電圧Vrとして、駆動トランジスタQ1のソースの電位に駆動トランジスタQ1の閾値電圧Vthを加算した値以下の値を有する電圧を保持キャパシタに供給すれば、駆動トランジスタQ1は実質的にオフ状態となる。

【0039】

第1スイッチQ11は、Nチャネル型トランジスタより構成され、第1のゲート信号G1によって導通制御される。第2スイッチQ12は、Pチャネル型トランジスタより構成され、第2のゲート信号G2によって導通制御される。従って、第1及び第2スイッチQ11、Q12をそれぞれ導通制御することによって、データ信号VDとリセット電圧Vrのいずれかを各データ線Xmに供給することができる。

30

【0040】

走査線駆動回路13は、走査線Ynの中の1本を適宜選択して1行分の画素回路群を選択する。走査線駆動回路13は、本実施形態ではデコーダ回路を備え、制御回路17からのアドレス信号ADnに基づいて走査線Ynの中の1本を適宜選択し、その1本に対応する走査信号SC1(Yn)を出力するようになっている。つまり、制御回路17からの順次出力されるアドレス信号ADnによって、走査線Ynを上から順番に選択することができるばかりではなく、任意(例えば、一つおきに)に走査線Ynを選択することができる。

【0041】

そして、スイッチングトランジスタQ2をオン状態とする走査信号SC1(Yn)によって選択された走査線上の画素回路20のスイッチングトランジスタQ2はオン状態となると、その時の第1、第2スイッチQ11、Q12の導通状態でデータ線Xmの対応するデータ線を介してデータ信号VD又はリセット電圧Vrが保持キャパシタC1に供給される。

40

【0042】

メモリ14は、コンピュータ18から供給される表示データを記憶する。発振回路15は、基準動作信号を有機ELディスプレイ10の他の構成要素に供給する。電源回路16は有機ELディスプレイ10の各構成要素の駆動電源を供給する。

【0043】

制御回路17は、各要素11~16を統括制御する。制御回路17は、表示パネル部11

50

の表示状態を表すメモリ14に記憶した表示データ(画像データ)を、各有機EL素子21の発光の階調を表すマトリクスデータに変換する。マトリクスデータは、1行分の画素回路群を選択するために走査信号SC1(Yn)を出力する走査線を指定するためのアドレス信号ADnと、選択された画素回路群の有機EL素子21の輝度を設定するためのデータ信号VDを設定するデータ信号生成駆動信号とを含む。そして、アドレス信号ADnは、走査線駆動回路13に供給する。また、データ信号生成駆動信号は、データ線駆動回路12に供給される。

【0044】

そして、制御回路17は、走査線を選択しメモリ14に記憶した表示データに基づいて画素回路20に対するデータ信号VDの書き込み(セット)及びリセット電圧Vrの書き込み(リセット)のための走査線を選択する順番を予め設定している。 10

【0045】

さらに、制御回路17は、走査線Ynとデータ線Xmの駆動タイミング制御を行うとともに、単一ライン駆動回路30の第1及び第2スイッチQ11, Q12の導通制御を行うゲート信号G1, G2を出力する。

【0046】

次に、上述のように構成した有機ELディスプレイ10の作用を制御回路17の走査線を選択動作及びデータ線の駆動動作に従って説明する。尚、説明を容易にするために、6本の走査線Y1~Y6からなる有機ELディスプレイ10を例にして説明する。図4は、6本の走査線Y1~Y6に出力される走査信号SC1(Y1~Y6)のタイミングチャートを示す。 20

【0047】

走査線Y1~Y6の一つの走査線に対する動作について説明すれば、走査信号SC1(Y1~Y6)によって設定されるセット期間T1中に、その選択された走査線に対応して設けられた画素回路20にデータ信号VDが書き込まれる。セット期間T1及び予め定めた時間Tx1経過後、走査信号SC1(Y1~Y6)によって設定されるリセット期間T2中に選択された走査線に対応する画素回路20にリセット電圧Vrが書き込まれる。リセット期間T2及び予め定めた時間Tx2経過後、再び、上述のセット期間T1が到来し、画素回路20に赤、緑及び青用データ信号VDが書き込まれる。以後同様な選択を繰り返して画素回路が駆動される。 30

【0048】

走査線Y1~Y6には、セット期間T1から開始される走査線(例えば、走査線Y1)とリセット期間T2から開始される走査線(例えば、走査線Y4)とが、存在する。つまり、リセット期間T2は、新たなデータを書き込むためのセット期間T1に先立って行ってもよく、データ信号VDの書き込み(セット)のための走査線とリセット電圧Vrの書き込み(リセット)のための走査線が、時間的に交互に選択される。さらに、図4に示したタイミングチャートでは、走査線を選択する時、1つ前に選択された走査線と隣合う走査線以外の走査線が選択されるように順番を設定する。

【0049】

因みに、図4に示すように、制御回路17は、走査線Y1(セット) 走査線Y4(リセット) 走査線Y2(セット) 走査線Y5(リセット) 走査線Y3(セット) 走査線Y6(リセット) 走査線Y4(セット) 走査線Y1(リセット) 走査線5(セット) 走査線2(リセット) 走査線6(セット) 走査線3(リセット)の順番でセット又はリセットのために走査線を選択しその選択の順番を繰返すようにアドレス信号ADnを走査線駆動回路13に出力する。 40

【0050】

一方、図5に示すように走査線Y1(セット) 走査線Y2(リセット) 走査線Y3(セット) 走査線Y4(リセット) 走査線Y5(セット) 走査線Y6(リセット) 走査線Y1(リセット) 走査線Y2(セット) 走査線3(リセット) 走査線4(セット) 走査線5(リセット) 走査線6(セット)の順番でセット及びリセットのため 50

に走査線を選択してもよい。

つまり、奇数番目の走査線及び偶数番目の走査線のいずれか一方を、データを書き込むために選択し、他方をリセット制御信号を供給するために選択するとともに、時間的にデータ書き込みとリセット制御信号の供給を交互に行う。

【0051】

なお、奇数番目の走査線及び偶数番目の走査線のいずれか一方を選択して、データ書き込みを連続して行った後、引き続いて、奇数番目の走査線及び偶数番目の走査線のいずれか他方にリセット制御信号を連続して供給するようにしてもよい。この場合、短い時間スケールでは、データ書き込みが時間的に集中するという問題はあるが、リセット制御信号を供給する期間を、次のデータ書き込みを行うためのデータの準備期間として利用できる。要は、どのような繰り返し単位であっても、データ書き込みとリセットとを交互に繰り返すことにより、リセットを行う期間あるいは画素回路のリセットされた状態を維持している期間をデータ線を介して供給されるデータ信号を準備する期間として利用できる。

10

【0052】

次に、選択された走査線の画素回路20の動作について説明する。

まず、第1スイッチQ11をオン状態とする第1ゲート信号G1を供給した状態で、セット期間T1に走査線Ynを介してスイッチングトランジスタQ2をオン状態とする走査信号SC1(1~Yn)が供給されることにより対応するスイッチングトランジスタQ2がオン状態となる。この時、データ線1~Xm及びスイッチングトランジスタQ2を介してデータ信号VDが保持キャパシタC1に供給される。

20

【0053】

これにより、保持キャパシタC1には、データ信号VDに対応する電荷量が保持されることになる。この電荷量に応じた電圧がゲート電圧として駆動トランジスタQ1のゲートに印加され、駆動トランジスタQ1の導通状態が設定される。この導通状態に応じた電流レベルを有する電流が駆動トランジスタQ1を通過し、この電流が有機EL素子21の駆動電流として有機EL素子21に供給され、有機EL素子21の発光が開始する。

【0054】

セット期間T1経過後、スイッチングトランジスタQ2をオフ状態とするが、保持キャパシタC1にはデータ信号VDにより設定した電荷量が保持されているので、有機EL素子21に対する駆動電流の供給は停止しない。

30

【0055】

発光期間T3を経過後、第1スイッチQ11及び第2スイッチQ12をそれぞれオフ状態及びオン状態として、再び、スイッチングトランジスタQ2をオン状態とする走査信号SC1(1~Yn)をリセット期間T2に出力することによりリセット電圧生成回路からリセット電圧Vrがデータ線Xm及びスイッチングトランジスタQ2を介して保持キャパシタC1に供給される。

【0056】

次にリセット期間T2経過後、スイッチングトランジスタQ2をオフ状態とし、有機EL素子21への駆動電流の供給を停止した状態を期間Tx2の期間中維持し、次のセット期間T1の開始を待つ。

40

【0057】

図3に示した画素回路に代えて図6に示した画素回路も採用することができる。

図6に示した画素回路20は、第2のトランジスタとしての駆動トランジスタQ20、第1のトランジスタとしてのスイッチングトランジスタQ22、発光期間制御トランジスタQ23、駆動トランジスタQ20のドレインとゲートとの電氣的接続を制御するスイッチングトランジスタQ21及び、保持素子としての保持キャパシタC1を有している。駆動トランジスタQ20はPチャンネル型トランジスタより構成されている。スイッチングトランジスタQ21、Q22及び発光期間制御トランジスタQ23はNチャンネル型トランジスタよりな構成されている。

【0058】

50

駆動トランジスタQ20は、ドレインが発光期間制御トランジスタQ23を介して有機EL素子21の陽極に接続され、ソースが電源線VLに接続されている。電源線VLには、有機EL素子21を駆動させるための駆動電圧Vddが供給されている。駆動トランジスタQ20のゲートと電源線VLとの間には、保持キャパシタC1が接続されている。

【0059】

また、駆動トランジスタQ20のゲートは、スイッチングトランジスタQ21のドレインに接続されている。スイッチングトランジスタQ21のソースは、スイッチングトランジスタQ22のドレインと接続されている。又、スイッチングトランジスタQ22のドレインは駆動トランジスタQ20のドレインと接続されている。

【0060】

さらに、第2スイッチングトランジスタQ22のソースは、データ線Xmを介してデータ線駆動回路12の単一ライン駆動回路30に接続されている。そして、この単一ライン駆動回路30には、データ電流生成回路40aが設けられている。データ電流生成回路40aは、それぞれの画素回路20に対して多値データ信号としてのデータ信号IDを出力する。データ信号IDは電流信号である。データ線Xmは、第1スイッチQ11を介してデータ電流生成回路40aに接続される。また、データ線Xmは、第2スイッチQ12を介してリセット電圧生成回路30bにも接続される。

【0061】

従って、第1スイッチQ11がオン状態となると、データ線Xmを介して画素回路20にそれぞれデータ信号IDが供給される。又、第2スイッチQ12がオン状態となると、データ線Xmを介して各画素回路20にリセット電圧Vrが供給される。

【0062】

又、スイッチングトランジスタQ21、Q22のゲートには、第1の走査線Yn(1)が接続されており、第1の走査線Yn(1)から供給される第1走査信号SC1(Yn)によってスイッチングトランジスタQ21、Q22が制御されるようになっている。さらに、発光期間制御トランジスタQ23のゲートには、第2の走査線Yn(2)が接続されている。そして、第2の走査線Yn(2)から供給される第2走査信号SC2(Yn)によって発光期間制御トランジスタQ23が制御されるようになっている。

【0063】

第1スイッチQ11をオン状態、第2スイッチQ12をオフ状態とし、さらに、発光期間制御トランジスタQ23をオフ状態として、スイッチングトランジスタQ21、Q22をオン状態とする第1の走査信号SC1(Yn)を供給すると、データ線XmとスイッチングトランジスタQ21、Q22とが電氣的に接続され、駆動トランジスタQ20及びスイッチングトランジスタQ22を電流信号であるデータ信号IDが通過する。これによりデータ信号IDに相応した電荷量が保持キャパシタC1に保持され、駆動トランジスタQ20の導通状態が設定される。

【0064】

駆動トランジスタQ20の導通状態が設定された後、スイッチングトランジスタQ21、Q22をオフ状態として、データ線Xmと画素回路20との電氣的な接続を切断する。続いて、発光期間制御トランジスタQ23をオン状態とする第2走査信号SC2(Yn)を発光期間制御トランジスタQ23のゲートに供給することにより、駆動トランジスタQ20の導通状態に相応した電流レベルを有し、かつ、駆動トランジスタQ20を通過する電流が、有機EL素子21の駆動電流として有機EL素子21に供給される。

【0065】

次に、第1スイッチQ11をオフ状態、第2スイッチQ12がオン状態とし、スイッチングトランジスタQ21、Q22を再びオン状態とすることにより、リセット電圧生成回路30bからリセット電圧VrがスイッチングトランジスタQ21、Q22を介して保持キャパシタC1に供給される。リセット電圧Vrを駆動トランジスタQ20を実質的にオフ状態とする電圧に設定しておけば、これにより、駆動トランジスタQ20はオフ状態となる。駆動トランジスタQ20とオフ状態に設定した後、再び、スイッチングトランジスタ

10

20

30

40

50

Q 2 1 , Q 2 2 を再びオフ状態として、次にデータ信号 I D が供給されるタイミングを待つ。

なお、リセット電圧 V_r は、本実施形態のように駆動トランジスタが P チャンネル型トランジスタの場合は、駆動トランジスタ Q 1 のソースの電位である V_{dd} から駆動トランジスタ Q 1 の閾値電圧 V_{th} を引いた値以上の値を有する電圧であればよく、本実施形態では、リセット電圧 V_r を電源線 V_L に印加されている駆動電圧 V_{dd} と同じに設定している。

因みに、駆動トランジスタ Q 1 が仮に N チャンネル型トランジスタの場合であれば、リセット電圧 V_r として、駆動トランジスタ Q 1 のソースの電位に駆動トランジスタ Q 1 の閾値電圧 V_{th} を加算した値以下の値を有する電圧を保持キャパシタに供給すれば、駆動トランジスタ Q 1 は実質的にオフ状態となる。 10

【 0 0 6 6 】

次に、図 3 に示した画素回路の代わりに図 7 に示した画素回路も採用することができる。図 7 において、スイッチングトランジスタ Q 2 1 の導通状態は、走査信号 S C 1 1 (Y_n) により制御されるようになっている。スイッチングトランジスタ Q 2 2 の導通状態は、走査信号 S C 1 2 (Y_n) により制御されるようになっている。

第 1 スイッチ Q 1 1 をオン状態、第 2 スイッチ Q 1 2 をオフ状態とし、スイッチングトランジスタ Q 2 1 及び Q 2 2 をオン状態とすると、データ線 X_m とスイッチングトランジスタ Q 2 1 及び Q 2 2 とが電氣的に接続され、保持キャパシタ C 1 にそのゲートが駆動トランジスタ Q 2 0 と共通に接続された補償用トランジスタ Q 2 4 及びスイッチングトランジスタ Q 2 2 を電流信号であるデータ信号 I D が通過する。これによりデータ信号 I D に相 20
応した電荷量が保持キャパシタ C 1 に保持され、駆動トランジスタ Q 2 0 の導通状態が設定される。

【 0 0 6 7 】

駆動トランジスタ Q 2 0 の導通状態が設定された後、スイッチングトランジスタ Q 2 1 , Q 2 2 をオフ状態として、データ線 X_m と画素回路 2 0 との電氣的な接続を切断する。そして、駆動トランジスタ Q 2 0 の導通状態に相応した電流レベルを有し、かつ、駆動トランジスタ Q 2 0 を通過する電流が、有機 E L 素子 2 1 の駆動電流として有機 E L 素子 2 1 に供給される。

なお、図 7 に示した画素回路は、図 6 に示した画素回路のように駆動トランジスタ Q 2 0 30
と有機 E L 素子 2 1 との電氣的接続を制御する発光期間制御トランジスタを備えていないので、駆動トランジスタ Q 2 0 の導通状態の設定の終了を待たずに、有機 E L 素子 2 1 への駆動電流の供給が開始される。

【 0 0 6 8 】

次に、第 1 スイッチ Q 1 1 をオフ状態、第 2 スイッチ Q 1 2 がオン状態とし、スイッチングトランジスタ Q 2 1 , Q 2 2 を再びオン状態とすることにより、リセット電圧生成回路 3 0 b からリセット電圧 V_r がスイッチングトランジスタ Q 2 1 , Q 2 2 を介して保持キャパシタ C 1 に供給される。リセット電圧 V_r を駆動トランジスタ Q 2 0 を実質的にオフ状態とする電圧に設定しておけば、これにより、駆動トランジスタ Q 2 0 はオフ状態とな 40
る。駆動トランジスタ Q 2 0 とオフ状態に設定した後、再び、第 1 及び第 2 スイッチングトランジスタ Q 2 1 , Q 2 2 を再びオフ状態として、次にデータ信号 I D が供給されるタイミングを待つ。

【 0 0 6 9 】

なお、リセット電圧 V_r は、本実施形態のように駆動トランジスタが P チャンネル型トランジスタの場合は、駆動トランジスタ Q 1 のソースの電位である V_{dd} から駆動トランジスタ Q 1 の閾値電圧 V_{th} を引いた値以上の値を有する電圧であればよく、本実施形態では、リセット電圧 V_r を電源線 V_L に印加されている駆動電圧 V_{dd} と同じに設定している。

因みに、駆動トランジスタ Q 1 が仮に N チャンネル型トランジスタの場合であれば、リセット電圧 V_r として、駆動トランジスタ Q 1 のソースの電位に駆動トランジスタ Q 1 の閾値 50

電圧 V_{th} を加算した値以下の値を有する電圧を保持キャパシタに供給すれば、駆動トランジスタ Q_1 は実質的にオフ状態となる。

【0070】

上述の実施形態では、データ信号に加えて、リセット制御信号もデータ信号を介して画素回路に供給されているが、リセット制御信号あるいはリセット電圧をデータ線とは異なる信号線を介して画素回路に供給するようにしてもよい。

例えば、図8に示した構成のように、表示パネル部11、データ線駆動回路12、走査線駆動回路13、メモリ14、発振回路15、電源回路16、及び制御回路17に加えて、リセット制御信号生成回路18を備えた電子装置が挙げられる。

【0071】

表示パネル部11は、図9に示すように、列方向に沿ってのびるデータ線 X_m (m は自然数) と、行方向に沿ってのびる第2の信号線としての走査線 Y_n (n は自然数) とに加えて、格画素回路20には、データ線 X_m に交差する方向に設けられ、かつ、リセット制御信号生成回路18に接続された電圧信号伝送線 Z_p (p は自然数) が接続されている。リセット制御信号生成回路18からのリセット電圧 V_r は電圧信号伝送線 Z_p を介しての対応する電圧信号伝送線を介して画素回路20に供給される。

【0072】

このような構成に適した画素回路の例を図10に示す。

画素回路20は、走査線 $Y_n(1)$ 、 $Y_n(2)$ 、データ線 X_m 、及び電圧信号伝送線 Z_p に接続されている。画素回路20は、第2のトランジスタとしての駆動トランジスタ Q_{20} 、第1のトランジスタとしてのスイッチングトランジスタ Q_{21} 、保持素子としての保持キャパシタ C_1 、電圧信号伝送線 Z_p と画素回路20との電氣的な接続を制御するスイッチングトランジスタ Q_{22} 及び、補償用トランジスタ Q_{25} とを有している。駆動トランジスタ Q_{20} 及び補償用トランジスタ Q_{25} はPチャンネル型トランジスタにより構成されている。スイッチングトランジスタ Q_{21} 、 Q_{22} はNチャンネル型トランジスタにより構成されている。

【0073】

駆動トランジスタ Q_{20} は、ドレインが有機EL素子21の画素電極に接続され、ソースが電源線 V_L に接続されている。電源線 V_L には、有機EL素子21を駆動させるための駆動電圧 V_{dd} が供給されていて、その駆動電圧 V_{dd} は動作電圧 V_{dx} より高い電圧値に設定されている。駆動トランジスタ Q_{20} のゲートと電源線 V_L との間には、保持キャパシタ C_1 が接続されている。

【0074】

また、駆動トランジスタ Q_{20} のゲートは、補償用トランジスタ Q_{25} を介してスイッチングトランジスタ Q_{21} のソースに接続されている。さらに、駆動トランジスタ Q_{20} のゲートは、スイッチングトランジスタ Q_{22} のドレインと接続されている。

スイッチングトランジスタ Q_{21} のゲートには、走査線 $Y_n(1)$ が接続されている。また、第2スイッチングトランジスタ Q_{22} のゲートには走査線 $Y_n(2)$ が接続されている。

【0075】

スイッチングトランジスタ Q_{22} のソースは、電圧信号伝送線 Z_p を介してリセット信号生成回路18及び第1のスイッチ Q_1 及び第2のスイッチ Q_2 に接続されている。スイッチングトランジスタ Q_{21} のドレインは、データ線 X_m を介して単一ライン駆動回路30に接続されている。

従って、スイッチングトランジスタ Q_{21} 及びスイッチングトランジスタ Q_{22} のそれぞれオン状態とする走査信号 $SC_1(Y_n)$ 及び走査信号 $SC_2(Y_n)$ を供給し、第1のスイッチ Q_1 をオン状態とすると、電流信号であるデータ信号 ID がスイッチングトランジスタ Q_{21} 及び Q_{22} 、補償用トランジスタ Q_{25} 、及び第1のスイッチ Q_1 を経由して流れ、保持キャパシタ C_1 にデータ信号 ID に対応した電荷量が保持され、駆動トランジスタ Q_{20} の導通状態が設定される。

10

20

30

40

50

【0076】

次にスイッチングトランジスタQ21及びスイッチングトランジスタQ22をオフ状態として、保持キャパシタC1に保持されたデータ信号IDに相応する電荷量を維持し、駆動トランジスタQ20の導通状態に応じた電流レベルを有する電流を駆動電流として有機EL素子21に供給する。

【0077】

リセット動作は、スイッチングトランジスタQ21及び第1のスイッチQ1をオフ状態とし、スイッチングトランジスタQ22及び第2のスイッチQ2をオン状態とすることにより行われる。これにより、リセット電圧VrがスイッチングトランジスタQ22を介して保持キャパシタC1に供給され、駆動トランジスタQ20がオフ状態に設定される。

10

【0078】

図10に示した画素回路についても、図4及び図5に示したタイミングチャートに準じて動作させることができる。この場合、セット期間T1の時にのみスイッチングトランジスタQ21及びスイッチングトランジスタQ22をオン状態とし、リセット期間T2の時には、スイッチングトランジスタQ22をオン状態として電圧信号伝送線Zpと画素回路20とを電氣的に接続すればよい。

【0079】

また、図11に示したように、図7に示した画素回路にさらにリセット用トランジスタQ31を備えた画素回路も採用可能である。図11に示した画素回路においては、リセット電圧Vrと駆動電圧Vddとを兼用しており、これにより、リセット電圧Vrを生成する回路を特に設ける必要がなくなる。

20

リセット用トランジスタQ31がオン状態となることにより、駆動トランジスタQ20のゲートに駆動電圧Vddが印加されると同時に保持キャパシタC1に駆動電圧Vddに相応する電荷量が保持され、駆動トランジスタQ20はオフ状態となる。

この状態で、リセット用トランジスタQ31をオフ状態とすると、駆動トランジスタQ20のオフ状態は、次のデータ信号IDの書き込みまで維持される。

もちろん、データ信号IDの書き込み時には、リセット用トランジスタQ31はオフ状態に設定される。

【0080】

図11に示した画素回路も、図4及び図5に示したタイミングチャートに準じて動作させることができる。この場合、セット期間T1の時にのみスイッチングトランジスタQ21及びスイッチングトランジスタQ22をオン状態とし、リセット期間T2の時には、スイッチングトランジスタQ31をオン状態として駆動電圧Vddと駆動トランジスタQ20のゲートとを電氣的に接続すればよい。

30

【0081】

さらに別の態様も採用可能である。図6に示した画素回路において、発光期間制御用トランジスタQ23をオフ状態とすることにより、有機EL素子21をリセットするようにしてもよい。

この画素回路も、図4及び図5に示したタイミングチャートに準じて動作させることができる。この場合、セット期間T1の時にのみスイッチングトランジスタQ21及びスイッチングトランジスタQ22をオン状態とし、リセット期間T2の時には、発光期間制御用トランジスタQ23をオフ状態として駆動トランジスタQ20と有機EL素子21との電氣的接続を切断すればよい。

40

なお、この場合、発光期間制御用トランジスタQ23の導通制御のみにより、リセット動作が可能なので、リセット電圧生成回路30bを特に設ける必要はないが、保持キャパシタC1やデータ線の電荷量をリセットする必要がある場合は設けてもかまわない。

【0082】

上述の実施形態では、データ信号の画素回路に対する書き込みが開始されてから、当該画素回路に対するデータ信号の書き込みが次に開始されるまで期間を1フレームと定義すれば、1フレーム内にいずれかの画素回路のリセット動作が行われているので、リセット動

50

作を行っている期間を次のデータ信号の生成あるいは供給の準備期間として利用することができる。これにより、データ線を駆動するデータ線駆動回路やリセット制御信号を供給するための回路の負荷が軽減される。

【0083】

また、外付のICに内蔵されたデータ線駆動回路からパネル上に配置された画素回路にデータ信号を全てパラレルで供給する場合は、外付のICから当該パネルへデータ信号を伝送するための外部端子を当該パネル上のデータ線の数に対応して設けなくてはならないが、リセット動作を行う期間をデータ信号のシリアル伝送を行う期間として利用できるもので、外部端子の数を減らすことができる。

特に図6、図7、図10、及び図11に示した画素回路のようにデータ信号として電流信号が供給される画素回路では、データ信号のシリアル伝送を行うには、十分な時間を確保する必要があるので、上述の効果は顕著となる。

10

【0084】

尚、上述の実施形態は、以下のように変更してもよい。

上述の実施形態では、選択した走査線上の画素回路20R、20G、20Bを一斉にセット又はリセットした。つまり、図4に示したように、走査線Y1(セット) 走査線Y4(リセット) 走査線Y2(セット) 走査線Y5(リセット) 走査線Y3(セット) 走査線Y6(リセット) 走査線Y4(セット) 走査線Y1(リセット) 走査線5(セット) 走査線2(リセット) 走査線6(セット) 走査線3(リセット)の一回の巡回で、全ての画素回路20R、20G、20Bをセット又はリセットした。

20

【0085】

これを、3回巡回させて、各色毎の画素回路20R、20G、20Bをそれぞれ個別に制御して全ての画素回路20R、20G、20Bをセット又はリセットするようにしてもよい。この場合、図4において、1回目の巡回で各走査線Y1~Y6の赤用画素回路20Rについてセット及びリセットする。2回目の巡回で、走査線Y1~Y6の緑用画素回路20Gについてセット及びリセットする。3回目の巡回で走査線Y1~Y6の青用画素回路20Bをセット及びリセットする。

これにより、上記実施形態の効果に加えて、各色別の画素回路毎の発光期間を調整することができる。

【0086】

さらに以下のような態様であっても、本発明の主旨を適用することができる。

30

上述の実施形態では、電子回路として画素回路20に具体化して好適な効果を得たが、有機EL素子21以外の例えばLEDやFED、無機EL素子、液晶素子、電子放出素子、プラズマ発光素子等の種々の電気光学素子を備えた電子回路に具体化してもよい。RAM等の記憶装置に具体化してもよい。

上述の実施形態においては、アナログのデータ信号を用いた駆動方法により駆動される電気光学装置に対して本発明を適用したが、又、時分割階調法、面積階調法等のデジタル駆動法により駆動される電気光学装置にも適用してもよい。

上述の実施形態では、リセット電圧Vrとして一つの電圧値を用いたが、複数の電圧をリセット電圧Vrとしても用いてもよい。

40

上述の実施形態では、リセット制御信号として、リセット電圧Vrを用いたが、電流信号であってもよい。

前記実施形態では、3色の有機EL素子21に対して各色用の画素回路20R、20G、20Bを設けた有機ELディスプレイであったが、1色、2色、あるいは4色以上のEL素子の画素回路からなるELディスプレイに応用しても良い。

【0087】

(比較例)

なお、上述の実施形態の比較のために、図3に示した画素回路を備えた電気光学装置において、全ての画素回路に対して、最初にデータの書き込みを行い、次にリセットを行う場合について説明する。

50

図 1 2 は、画面表示における各走査線の発光期間とリセット期間を示すタイムチャートである。Y 1 ~ Y n (n は整数であって、説明に便宜上図では n = 6 としている) は各走査線を示す。T 1 はセット期間 (データ信号を各画素回路に inputs する期間) を示し、T 2 はリセット期間を示す。従って、各走査線 Y 1 ~ Y 6 はセット期間 T 1 とリセット期間 T 2 の時に走査線駆動回路にて選択される。また、セット期間 T 1 において、その選択された走査線上に接続した画素回路にデータ信号が供給される。さらに、リセット期間 T 2 において、その選択された走査線上に接続した画素回路にリセット電圧生成回路からリセット電圧が印加される。従って、発光期間 T 3 はセット期間 T 1 の開始時からリセット期間 T 2 の開始時までとなる。

【 0 0 8 8 】

図 1 2 が示すように、走査線駆動回路にて、走査線 Y 1 から走査線 Y 6 まで一つずつ順番に走査線を選択し、その選択期間 (セット期間 T 1) 中にその選択された走査線上の各画素回路にデータ信号を書き込む。このとき、データ信号が書き込まれ、当該データ信号に対応した輝度で、画素回路の有機 E L 素子は発光する。そして、走査線 Y 6 までのデータ信号の書き込みが終了、即ち、1 フレームの書き込みが終了すると、走査線駆動回路は、走査線 Y 1 から走査線 Y 6 まで一つずつ順番に走査線を選択し、その選択期間 (リセット期間 T 2) 中にその選択された走査線上の各画素回路にリセット電圧を書き込む。このとき、リセット電圧が書き込まれ画素回路の有機 E L 素子の輝度は 0 となる。この状態で、次のデータ信号の書き込みまで待機する。

【 0 0 8 9 】

しかしながら、図 1 2 から明らかなように、走査線 Y 1 ~ Y 6 が走査線 Y 1 から走査線 Y 6 まで一つずつ順番に選択されるため、各走査線 Y 1 ~ Y 6 のセット期間 T 1 が短い期間 T p に集中する。また、同様に、各走査線 Y 1 ~ Y 6 のリセット期間 T 2 も短い期間 T r に集中する。これに対して、上述の実施形態では、画素回路の全てにデータ信号を供給する前にいずれかの画素回路でリセット動作を行っている。これによりデータ信号の書き込みを行う期間の集中が緩和される。

【 0 0 9 0 】

(第 2 実施形態)

次に、第 1 実施形態で説明した電子装置としての有機 E L ディスプレイ 1 0 の電子機器の適用について図 1 3 及び図 1 4 に従って説明する。有機 E L ディスプレイ 1 0 は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【 0 0 9 1 】

図 1 3 は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図 1 3 において、パーソナルコンピュータ 6 0 は、キーボード 6 1 を備え本体部 6 2 と、前記有機 E L ディスプレイ 1 0 を用いた表示ユニット 6 3 を備えている。この場合でも、有機 E L ディスプレイ 1 0 を用いた表示ユニット 6 3 は前記実施形態と同様な効果を発揮する。その結果、パーソナルコンピュータ 6 0 は、欠陥の少ない画像表示を実現することができる。

【 0 0 9 2 】

図 1 4 は、携帯電話の構成を示す斜視図を示す。図 1 4 において、携帯電話 7 0 は、複数の操作ボタン 7 1、受話口 7 2、送話口 7 3、前記有機 E L ディスプレイ 1 0 を用いた表示ユニット 7 4 を備えている。この場合でも、有機 E L ディスプレイ 1 0 を用いた表示ユニット 7 4 は前記実施形態と同様な効果を発揮する。その結果、携帯電話 7 0 は、欠陥の少ない画像表示を実現することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態を説明するための有機 E L ディスプレイの回路構成を示すブロック回路図。

【 図 2 】 表示パネル部の内部回路構成を説明するための回路図。

【 図 3 】 画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【 図 4 】 データ信号の書き込みとリセット動作のタイミングを説明するためのタイミング

10

20

30

40

50

チャート。

【図 5】同じく、データ信号の書き込みとリセット動作のタイミングを説明するためのタイミングチャート。

【図 6】画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 7】画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 8】本発明の実施形態を説明するための有機 E L ディスプレイの回路構成を示すブロック回路図。

【図 9】表示パネル部の内部回路構成を説明するための回路図。

【図 10】画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 11】画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

10

【図 12】本実施形態と比較するためのタイミングチャート。

【図 13】モバイル型パーソナルコンピュータの構成を示す斜視図。

【図 14】携帯電話の構成を示す斜視図。

【符号の説明】

10 電子装置としての有機 E L ディスプレイ

11 表示パネル部

12 データ線駆動回路

13 走査線駆動回路

14 メモリ

17 制御回路

20

20 画素回路

20R 赤用画素回路

20G 緑用画素回路

20B 青用画素回路

21 有機 E L 素子

30 単一ライン駆動回路

30a 電流生成回路

30b リセット電圧生成回路

60 電子機器としてのパーソナルコンピュータ

70 電子機器としての携帯電話

30

Y1 ~ Yn 走査線

X1 ~ Xm データ線

ADn アドレス信号

SC1 (Yn) 走査信号

Q1, Q20 第2のトランジスタとしての駆動トランジスタ

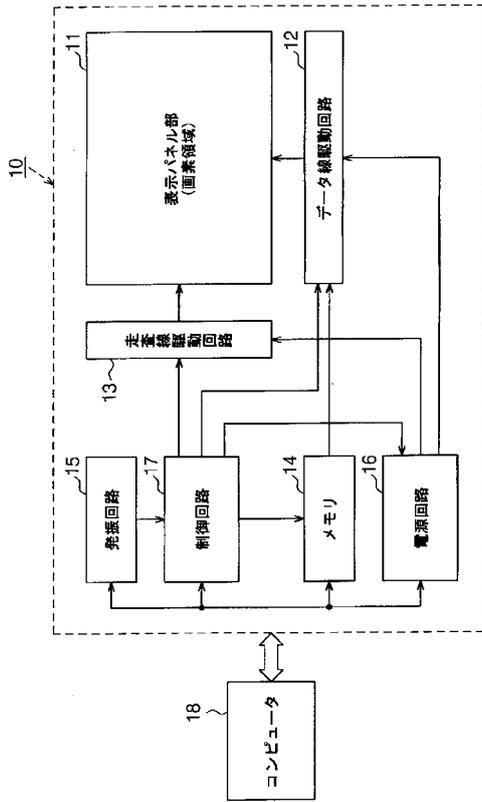
Q2 第1のトランジスタとしてのスイッチングトランジスタ

T1 セット期間

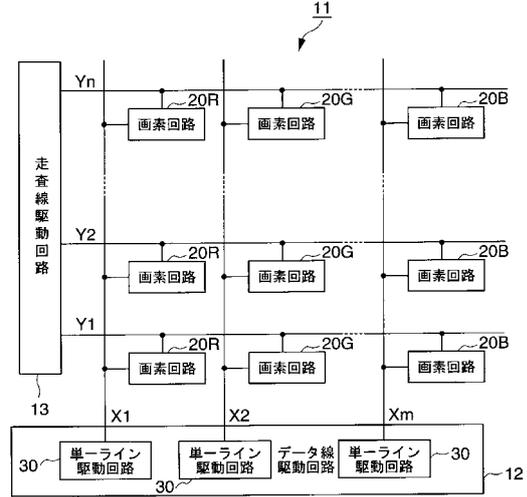
T2 リセット期間

Vr リセット制御信号としてのリセット電圧

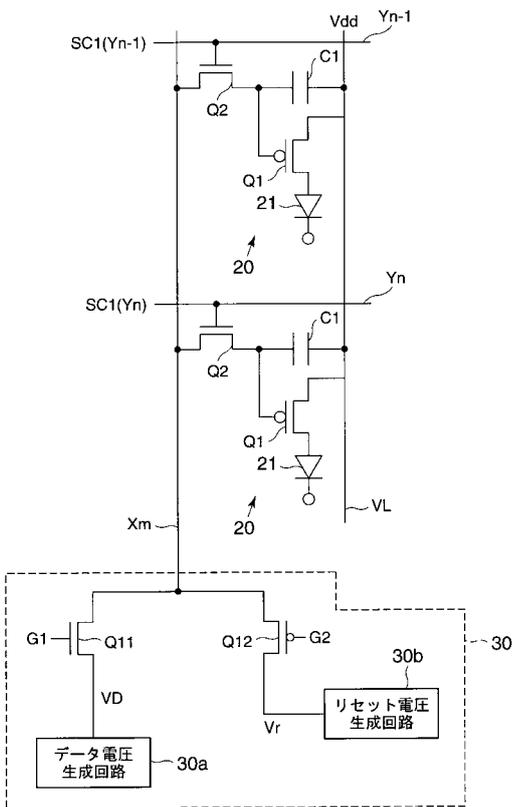
【 図 1 】



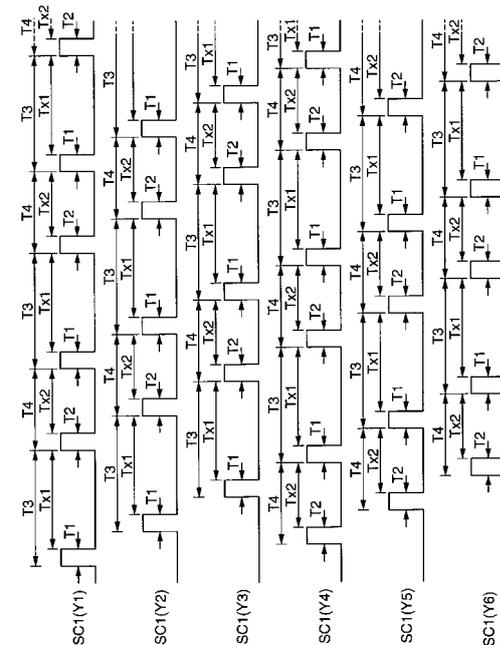
【 図 2 】



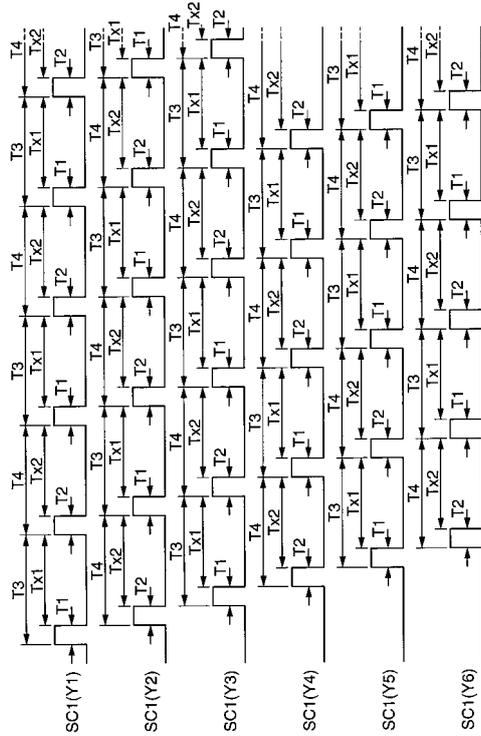
【 図 3 】



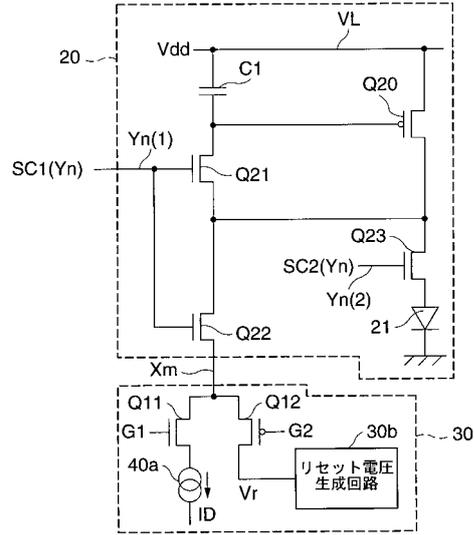
【 図 4 】



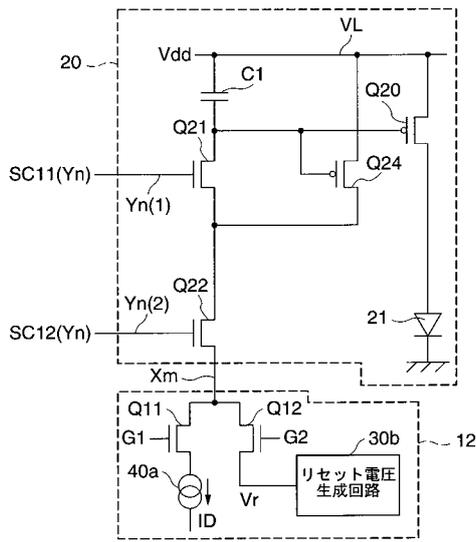
【 図 5 】



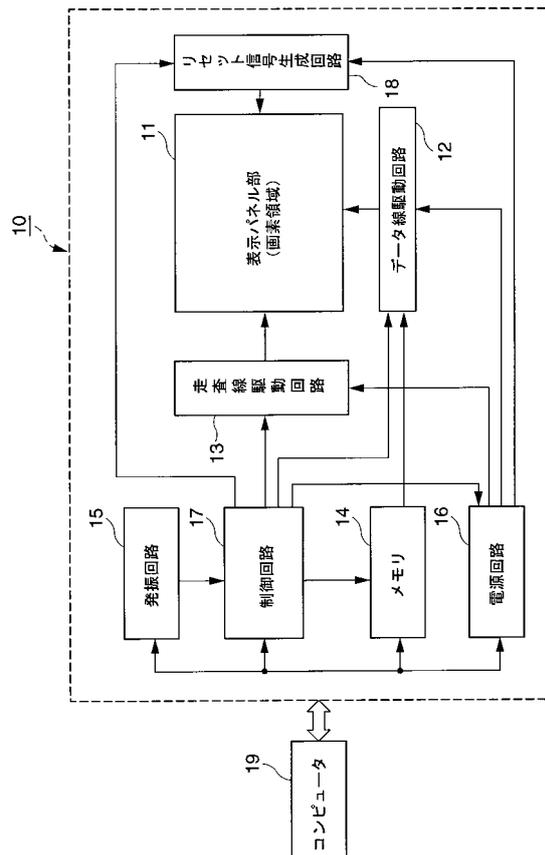
【 図 6 】



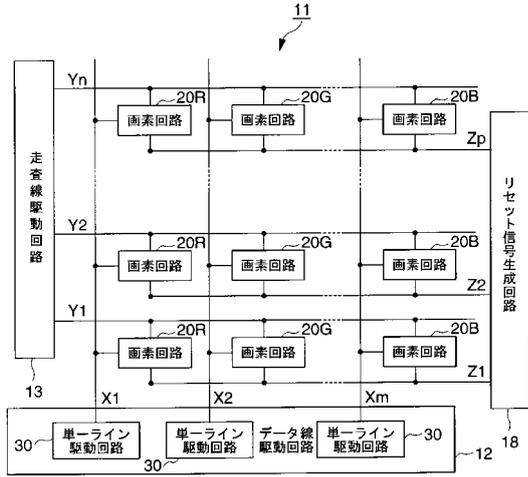
【 図 7 】



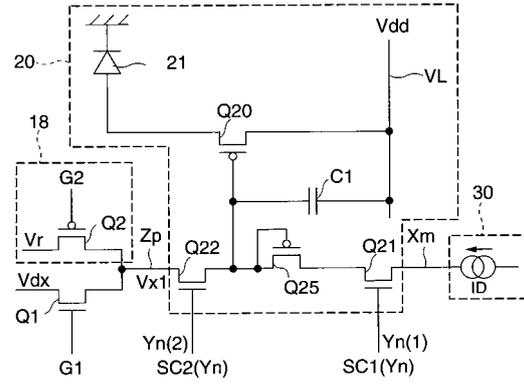
【 図 8 】



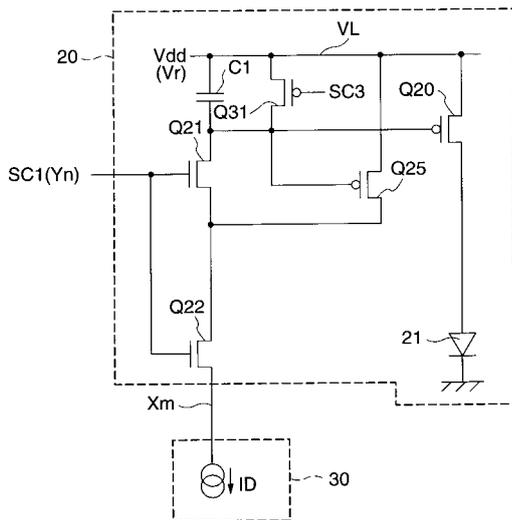
【 図 9 】



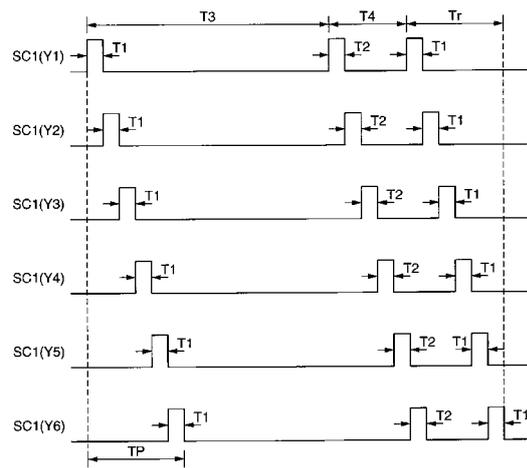
【 図 1 0 】



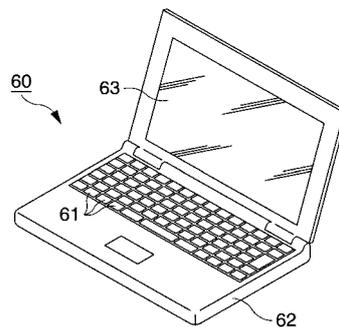
【 図 1 1 】



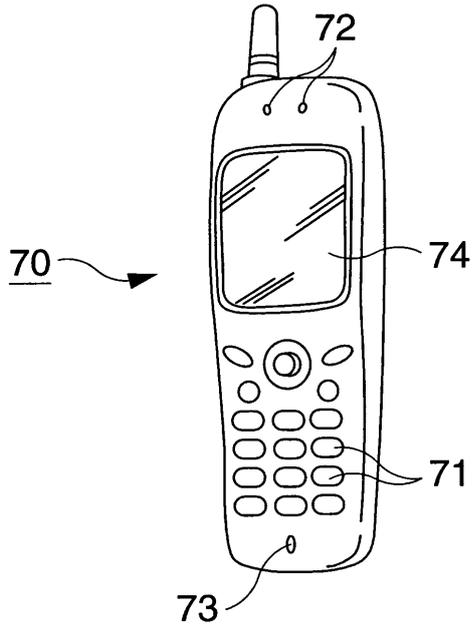
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 D
H 0 5 B	33/14	A