



(21)申請案號：111139796 (22)申請日：中華民國 111 (2022) 年 10 月 20 日
 (51)Int. Cl. : *H01L29/778 (2006.01)* *H01L29/78 (2006.01)*
 (30)優先權：2021/11/22 美國 17/532,811
 (71)申請人：美商微軟技術授權有限責任公司(美國) MICROSOFT TECHNOLOGY LICENSING, LLC (US)
 美國
 (72)發明人：葛瑞德 傑佛瑞查爾斯 GARDNER, GEOFFREY CHARLES (US)；格羅寧 謝爾蓋維亞切斯拉沃維奇 GRONIN, SERGEI VYATCHESLAVOVICH (RU)；哥瑞格爾弗拉維奧 GRIGGIO, FLAVIO (US)；卡拉赫 雷蒙德倫納德 KALLAHER, RAYMOND LEONARD (US)；克雷 諾亞塞斯 CLAY, NOAH SETH (US)；曼法拉 麥可詹姆士 MANFRA, MICHAEL JAMES (US)
 (74)代理人：李世章；彭國洋
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：20 共 56 頁

(54)名稱

具有水平限制通道的半導體超導體混合裝置及其形成方法

(57)摘要

具有水平受限通道的半導體-超導體混合裝置及其形成方法。一種範例半導體-超導體混合裝置包括形成在基板上方的半導體異質結構。半導體-超導體混合裝置還可以包括形成在半導體異質結構上方的超導層。半導體-超導體混合裝置可進一步包括第一閘極，第一閘極具有第一頂面且形成為與半導體異質結構的第一側相鄰。半導體-超導體混合裝置可進一步包括第二閘極，第二閘極具有第二頂面且形成為與半導體異質結構的相對於第一側的第二側相鄰，其中第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移。

Semiconductor-superconductor hybrid devices with a horizontally-confined channel and methods of forming the same are described. An example semiconductor-superconductor hybrid device includes a semiconductor heterostructure formed over a substrate. The semiconductor-superconductor hybrid device may further include a superconducting layer formed over the semiconductor heterostructure. The semiconductor-superconductor hybrid device may further include a first gate, having a first top surface, formed adjacent to a first side of the semiconductor heterostructure. The semiconductor-superconductor hybrid device may further include a second gate, having a second top surface, formed adjacent to a second side, opposite to the first side, of the semiconductor heterostructure, where each of the first top surface of the first gate and the second top surface of the second gate is offset vertically from a selected surface of the semiconductor heterostructure by a predetermined offset amount.

指定代表圖：

符號簡單說明：

610:視圖

620:視圖

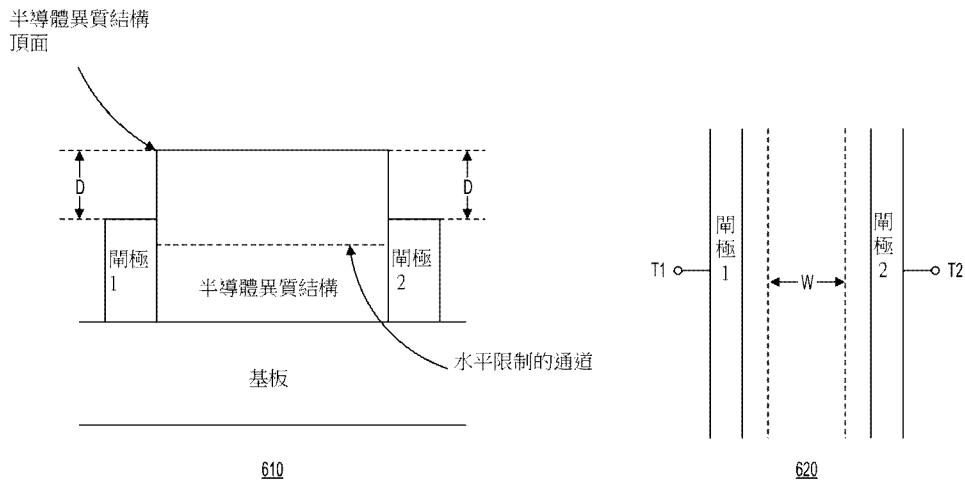


圖6

【發明摘要】

【中文發明名稱】具有水平限制通道的半導體超導體混合裝置及其形成方法

【英文發明名稱】SEMICONDUCTOR-SUPERCONDUCTOR HYBRID DEVICES WITH A HORIZONTALLY-CONFINED CHANNEL AND METHODS OF FORMING THE SAME

【中文】

具有水平受限通道的半導體 - 超導體混合裝置及其形成方法。一種範例半導體 - 超導體混合裝置包括形成在基板上方的半導體異質結構。半導體 - 超導體混合裝置還可以包括形成在半導體異質結構上方的超導層。半導體 - 超導體混合裝置可進一步包括第一閘極，第一閘極具有第一頂面且形成為與半導體異質結構的第一側相鄰。半導體 - 超導體混合裝置可進一步包括第二閘極，第二閘極具有第二頂面且形成為與半導體異質結構的相對於第一側的第二側相鄰，其中第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移。

【英文】

Semiconductor-superconductor hybrid devices with a horizontally-confined channel and methods of forming the same are described. An example semiconductor-superconductor hybrid device includes a semiconductor heterostructure formed over a substrate. The semiconductor-superconductor hybrid

device may further include a superconducting layer formed over the semiconductor heterostructure. The semiconductor-superconductor hybrid device may further include a first gate, having a first top surface, formed adjacent to a first side of the semiconductor heterostructure. The semiconductor-superconductor hybrid device may further include a second gate, having a second top surface, formed adjacent to a second side, opposite to the first side, of the semiconductor heterostructure, where each of the first top surface of the first gate and the second top surface of the second gate is offset vertically from a selected surface of the semiconductor heterostructure by a predetermined offset amount.

【指定代表圖】第（ 6 ）圖。

【代表圖之符號簡單說明】

6 1 0 : 視 圖

6 2 0 : 視 圖

【特徵化學式】

無

【發明說明書】

【中文發明名稱】具有水平限制通道的半導體超導體混合裝置及其形成方法

【英文發明名稱】SEMICONDUCTOR-SUPERCONDUCTOR HYBRID DEVICES
WITH A HORIZONTALLY-CONFINED CHANNEL AND METHODS OF
FORMING THE SAME

【技術領域】

【0001】 本揭示內容相關於具有水平限制通道的半導超導混合元件及其形成之方法。

【先前技術】

【0002】 目前，諸如拓撲奈米線之類的裝置是透過對形成在晶圓中的超導體進行圖案化，從上到下靜電地定義線來製造的。超導體的圖案化定義了與奈米線相關的通道的靜電勢。然而，超導體的圖案化使通道的靜電勢受到超導體的線邊緣粗糙度(LER)的影響，這反過來又減小了拓撲間隙的大小。此外，由於靜電通道靠近晶圓表面形成，因此受到電荷散射效應的影響。

【0003】 因此，需要不易受電荷散射效應影響且不受圖案化超導體的LER影響的改進裝置。

【發明內容】

【0004】 在一個示例中，本揭示內容涉及一種半導體-超導體混合裝置，其包括形成在基板上方的半導體異質結構。半導體-超導體混合裝置還可以包括形成在半導體異質結構上方的超導層。半導體-超導體混合裝置可進一步包括第一閘極，第一閘極具有第一頂面且形成為與半導體異質結構的第一側相鄰。半導體-超導體混合裝置可進一步包括第二閘極，第二閘極具有第二頂面且形成為與半導體異質結構的相對於第一側的第二側相鄰，其中第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移。

【0005】 在另一態樣中，本揭示內容涉及一種半導體-超導體混合裝置，其包括形成在基板上方的半導體異質結構。半導體-超導體混合裝置還可以包括形成在半導體異質結構上方的超導層。半導體-超導體混合裝置可進一步包括第一閘極，第一閘極具有第一頂面且形成為與半導體異質結構的第一側相鄰。半導體-超導體混合裝置可進一步包括第二閘極，第二閘極具有第二頂面且形成為與半導體異質結構的相對於第一側的第二側相鄰，其中第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移，預定偏移量經選擇以確保在距半導體異質結構的選定表面選定距離處形成水平限制的靜電通道，以減少與超導層相關的任何線邊緣粗糙度（LER）的影響。

【0006】 在又另一態樣中，本揭示內容涉及一種半導體-超導體混合裝置，包括形成在基板上方的第一隔離半導體異質結構和第二隔離半導體異質結構。半導體-超導體混合裝置可進一步包括左閘極，左閘極被形成為與第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個的第一側相鄰。半導體-超導體混合裝置可進一步包括右閘極，右閘極被形成為與第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個的與第一側相對的第二側相鄰，其中左閘極和右閘極中的每一個的頂面以預定偏移量從第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個的選定表面垂直偏移。半導體-超導體混合裝置可進一步包括超導層，超導層被形成在第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個之上。

【0007】 提供此概要以由簡化形式介紹一些概念選擇，這些概念被進一步說明於下面的實施方式中。此概要並非意為識別本文所請技術主題的關鍵特徵或必要特徵，亦不意為用於限制所請技術主題的範圍。

【圖式簡單說明】

【0008】 在附圖的圖中以示例而非限制的方式示出了本揭示內容，在附圖中，類似的附圖標記指示相似的元件。附圖中的元件是為了簡單和清楚而示出的並且不一定按比例繪製。

【0009】 圖 1 顯示了處於處理的一階段的示例半導體 - 超導體混合裝置的視圖；

【0010】 圖 2 示出了圖 1 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0011】 圖 3 示出了圖 2 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0012】 圖 4 示出了圖 3 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0013】 圖 5 示出了圖 4 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0014】 圖 6 圖示了本文描述的示例性半導體 - 超導體混合裝置的操作，裝置包括圖 5 的半導體 - 超導體混合裝置且包括一個水平受限的通道；

【0015】 圖 7 顯示了處於處理的一階段的另一示例半導體 - 超導體混合裝置的視圖；

【0016】 圖 8 示出了圖 7 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0017】 圖 9 示出了圖 8 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0018】 圖 10 示出了圖 9 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0019】 圖 11 示出了圖 10 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0020】 圖 1 2 示出了圖 1 1 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0021】 圖 1 3 示出了圖 1 2 的示例性半導體 - 超導體混合裝置的一部分的放大圖；

【0022】 圖 1 4 示出了圖 1 2 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0023】 圖 1 5 示出了圖 1 4 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0024】 圖 1 6 示出了圖 1 5 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0025】 圖 1 7 示出了圖 1 6 的示例性半導體 - 超導體混合裝置的一部分的放大圖；

【0026】 圖 1 8 示出了圖 1 6 的示例性半導體 - 超導體混合裝置在處理的後續階段的視圖；

【0027】 圖 1 9 示出了根據一個示例的用於形成半導體 - 超導體混合裝置的方法的流程圖；和

【0028】 圖 2 0 示出了根據一個示例的用於形成半導體 - 超導體混合裝置的方法的另一流程圖。

【實施方式】

【0029】 本揭示內容中描述的示例涉及具有水平受限通道的半導體 - 超導體混合裝置及其形成方法。某些示例涉及可以水平地將靜電通道（例如二維電子氣（2 - D E G）通道）限制在半導體異質結構中的半導體 - 超導體混合裝置。某些

示例還涉及可以使用受限的水平受限的靜電通道來實現的拓撲奈米線。這種半導體異質結構可以使用來自元素週期表的III族和V族的材料形成。此外，這種半導體異質結構也可以使用來自元素週期表的第II族、第IV族或第VI族的材料形成。拓撲奈米線可以使用化學束外延或分子束外延形成，然後可以轉移到基板以形成裝置的源極、汲極和閘極方面。此外，這些材料可用於使用選擇性區域生長(SAG)技術形成拓撲奈米線。

【0030】 可以使用在半導體晶圓上原位生長各種材料來形成示例裝置。示例半導體晶圓包括使用磷化銦(InP)、砷化銦(InAs)、銻化銦(InSb)、碲化鎘汞(HgCdTe)或選自元素週期表III、III、IV、V和VI族的材料任何適當組合形成的晶圓，或選自元素週期表II、III、IV、V和VI族的材料三種不同原子的任何三元化合物形成的晶圓。例如，可以透過在基板上外延生長這些材料組合中的任何一種來形成晶圓。拓撲奈米線可以透過形成超導體-半導體界面而形成在這樣的晶圓上。

【0031】 在這種裝置的形成過程中，可以使用一個遮罩(或多個遮罩)來定義裝置的拓撲主動區。拓撲主動區可以包括量子阱，例如InAs量子阱或GaAs量子阱。對於這樣的裝置，拓撲主動區(包括超導金屬層(例如鋁層))和拓撲非主動區(不包括金屬層(例如鋁層))之間的界面很重要。在半導體生長之後直接原位沉積(諸如外延生長鋁)的超導體，改進了超導間隙的品質。然而，這種技術帶來

了額外的製造挑戰。例如，必須去除鋁以定義裝置的拓撲區域。對鋁有選擇性的濕式蝕刻溶液是高度放熱的，它們會損壞半導體。對半導體的這種損壞導致超導體的線邊緣粗糙度（LER）增加，這反過來又減小了拓撲間隙的大小。

【0032】 此外，蝕刻步驟會破壞拓撲主動區和拓撲非主動區之間的界面。其中一些損壞對應於可能干擾裝置操作的帶電表面狀態。這是因為量子阱形成在較淺的深度（例如，大約在表面的10 nm之內）。帶電表面狀態可能會干擾2-DEG的品質。類似地，其他結構，例如使用VLS方法生長的奈米線，也可能受到損壞。

【0033】 圖1顯示了處於處理的一階段的示例半導體-超導體混合裝置10的視圖100。在此示例中，作為此步驟的一部分，可以在基板102上形成半導體異質結構110。基板102可以是任何類型的合適基板，包括磷化銦（InP）基板。半導體異質結構110可以包括緩衝層112和量子阱層114。半導體異質結構110還可包括形成在量子阱層114頂部的另一緩衝層116，以完成對應於一個或多個超導量子阱的異質結構的形成。這些層中的每一個都可以使用分子束外延（MBE）來形成。作為示例，MBE相關製程可以在允許在真空中沉積適當材料（例如，III-V半導體材料）的MBE系統中執行。緩衝層116可能不是完成某些類型的量子阱的形成所必需的。

【0034】 在此示例中，基板102可以是磷化銦（InP）基板。緩衝層112可以是砷化銦鎵（InGaAs）層。量子阱層114可

以是砷化銾 (InAs) 層。緩衝層 116 可以是銾鋁砷 (InAlAs) 層。儘管圖 1 示出了以某種方式排列的一定數量的半導體-超導體混合裝置 10 的層，但是可以有更多或更少數量的不同排列的層。作為示例，基板 102 可以包括砷化銾、銻化銾、砷化銾銻化物或類似的基板材料。此外，每個緩衝層可以包括其他材料，包括鋁、鉛、銻、錫、鉍或釩。而且，每個緩衝層不需要包括相同的材料組並且可以包括不同的材料。在一個示例中，半導體異質結構可以包括砷化銾或砷化鋁的第一層、砷化銾的第二層、和砷化銾或砷化銻的第三層。此外，儘管圖 1 沒有示出覆蓋層，但是可以在半導體異質結構 110 上形成覆蓋層以保護半導體異質結構的頂面免受氧化或其他製程引起的變化。這種覆蓋層可以是砷化銻層或砷化鋁層。可以幫助保護半導體異質結構的其他材料可以包括諸如氧化鋁、銻或其他合適材料的材料。此外，半導體-超導體混合裝置 10 可以包括除了圖 1 所示之外的額外或更少的中間層。作為示例，半導體-超導體混合裝置 10 可以形成為一維奈米線。

【0035】 圖 2 示出了圖 1 的示例性半導體-超導體混合裝置 10 在處理的後續階段的視圖 200。在處理的這個階段，超導金屬層 120 可以形成在半導體異質結構 110 的頂部。在此示例中，可以使用 MBE 沉積超導金屬層 120。任何表現出與庫珀對 (Cooper pairs) 存在相關的電子配對週期性的超導體都可以用於形成超導金屬層 120。可用於形成超導金屬層 120 的示例材料包括但不限於鉛、銾、錫和鋁。

儘管圖 2 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 10 的層，但是可以有更多或更少數量的不同排列的層。

【0036】 圖 3 示出了圖 2 的示例性半導體 - 超導體混合裝置 10 在處理的後續階段的視圖 300。作為此步驟的一部分，可以選擇性地去除超導金屬層 120 的一部分 302。此步驟可以使用濕式蝕刻或乾式蝕刻來執行。可以使用遮罩來定義拓撲量子計算裝置的拓撲主動區。拓撲主動區可以包括量子阱，例如 InAs 量子阱或 GaAs 量子阱。對於拓撲量子計算的目的，拓撲主動區（包括金屬層（例如鋁層））和拓撲非主動區（不包括金屬層（例如鋁層））之間的界面很重要。蝕刻步驟可能損壞作為蝕刻步驟的結果而暴露的超導金屬層 120 的部分 302 的表面（例如 304），包括拓撲主動區和拓撲非主動區之間的界面。其中一些損壞對應於可能干擾半導體 - 超導體混合裝置 10 操作的帶電表面狀態。這是因為量子阱（或類似結構）形成在較淺的深度（例如，大約在表面的 10 nm 之內）。帶電表面狀態可能會干擾靜電通道（例如，2-DEG 通道）的品質。類似地，其他結構，例如使用 VLS 方法或 SAG 方法生長的奈米線，也可能受到損壞。

【0037】 圖 4 示出了圖 3 的示例性半導體 - 超導體混合裝置 10 在處理的後續階段的視圖 400。在處理的這個階段，可以選擇性地蝕刻掉半導體異質結構 110 的每一側以暴露這些側。此外，作為此步驟的一部分，還可以去掉超導金屬

層 120 的每一側。可以使用濕式蝕刻或乾式蝕刻來執行這些材料的選擇性去除。在此示例中，這些材料的選擇性去除導致形成具有由其寬度 (B) 與深度 (A) 之比定義的特定縱橫比的半導體 - 超導體混合結構。在一個示例中，假設寬度 B 的值為 100 nm，深度 A 的值為 100 nm，那麼這將導致縱橫比為 1。但是，縱橫比不必為 1，可以小於 1 或大於 1。製程節點尺寸和相關的技術限制可以確定縱橫比以及深度 A 和寬度 B 的相應值。在此示例中，暴露側面的目的是允許在半導體異質結構 110 的每一側上形成閘極。

【0038】 圖 5 示出了圖 4 的示例性半導體 - 超導體混合裝置 10 在處理的後續階段的視圖 500。在處理的這個階段，可以執行兩個步驟。首先，如圖 5 所示，可以形成介電層 130。其次，可以形成閘極 142 和 144，如圖 5 所示。介電層 130 可以使用原子層沉積等技術共形地沉積 (或以其他方式形成) 在圖 4 的半導體 - 超導體混合裝置 10 的頂面上。用於形成介電層 130 的材料可以包括氧化物 (例如，氧化鋁或氧化鈣) 或氮化物。此外，諸如聚醯亞胺的旋塗介電質也可用於形成介電層 130。示例有機基介電層材料可以包括氫倍半矽氧烷 (HSQ)、苯並環丁烯 (BCB) 等。這種材料可能需要固化和額外的處理。閘極 142 和 144 中的每一個可以使用諸如金或鈦金的材料形成。也可以使用其他材料。閘極可以形成為使得左閘極 (例如閘極 142) 和右閘極 (例如閘極 144) 中的每一個從半導體異質結構的選定表面 (例如頂面) 垂直偏移預定偏移量數量。關於閘極的佈置和偏移的附

加細節相對於圖 6 及相關說明提供。儘管圖 5 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 10 的層，但是可以有更多或更少數量的不同排列的層。

【0039】 圖 6 圖示了本文描述的示例性半導體 - 超導體混合裝置的操作，裝置包括圖 5 的半導體 - 超導體混合裝置 10 且包括一個水平受限的通道。此操作根據靜電通道的水平限制和與半導體 - 超導體混合裝置 10 相關的可調性方面來解釋，特別是當用作奈米線時。視圖 610 顯示了半導體 - 超導體混合裝置 10 的側視圖，並且視圖 620 顯示了半導體 - 超導體混合裝置 10 的俯視圖。這些視圖中的每一個僅用於說明具有水平限制的靜電通道的半導體 - 超導體混合裝置 10 的操作並且不旨在限制可以形成這種裝置的各種方式。如前所述，超導體（例如超導金屬層 120）的圖案化使通道的靜電勢受到超導體的線邊緣粗糙度（LER）（例如與圖 6 所示形成在半導體異質結構的頂面上的超導體相關的 LER）的影響，這反過來又減小了拓撲間隙的大小。此外，由於在傳統裝置中，靜電通道形成在靠近晶圓表面的位置，因此通道會受到電荷散射效應的影響。然而，在半導體異質結構的每一側上形成的閘極（例如 GATE 1 和 GATE 2）創建了一個水平限制的靜電通道（例如圖 6 中所示的水平限制的通道（虛線）），此通道位於距離半導體異質結構的頂面更遠的位置。這進而導致靜電通道中的電子遠離由前面描述的蝕刻步驟引起的結構無序（例如，頂部阻擋層的粗糙度和 / 或厚度變化）。由於偏移（例如，GATE 1 和 GATE 2 的頂

面與半導體異質結構的頂面之間的距離)而導致的靜電通道品質的改進，可以透過測試裝置樣品來確定。可以測試裝置在水平限制的靜電通道內的遷移率和電子密度方面的改進。遷移率可能與電子在被散射或受到其他影響之前在通道內行進多遠有關。如在此示例中由距離 D 表示的偏移量，可以透過測試具有不同偏移量的幾批樣品來優化。替代地或附加地，可以模擬包括通道特性的裝置行為以確定適當的偏移量。

【0040】 繼續參考圖 6 所示，向位於水平受限通道每一側的閘極(例如， $GATE 1$ 和 $GATE 2$)施加不同量的電壓可以允許改變由奈米線的幾何形狀限定的權宜間隙($stop\ gap$)的大小。在此示例中， $GATE 1$ 可以對應於圖 5 的閘極 142， $GATE 2$ 可以對應於圖 5 的閘極 144。施加到閘極的電壓(例如，經由端子 $T 1$ 和 $T 2$)產生一電場，此電場可以在水平受限的通道中移動電子。在一個示例中，假設施加到閘極的電壓產生 2 伏的電壓差，那麼奈米線(在視圖 620 中顯示為虛線)可以是 100 nm 寬的奈米線。在另一個示例中，假設施加到閘極的電壓產生 4 伏的電壓差，那麼相同的奈米線可以是 50 nm 寬的奈米線。總之，透過閘極(例如， $GATE 1$ 和 $GATE 2$)施加適當的電壓可以允許調變作為圖 5 的半導體-超導體混合裝置 10 的一部分形成的奈米線的寬度。此外如前述，在形成這種裝置的期間對半導體的損壞導致超導體的線邊緣粗糙度(LER)增加，這反過來又減小了拓撲

間隙的大小。在本文所述的半導體-超導體混合裝置的製造過程中，可調諧性可以允許更寬鬆的製程限制。

【0041】 仍然參考圖6所示，由位於半導體-超導體混合裝置10的水平限制的靜電通道的每一側的閘極提供的可調性可以產生額外的優點。例如，與半導體-超導體混合裝置10相關的拓撲間隙的大小是許多製程和材料相關方面的函數。因此，取決於用於製造裝置的材料和製程，單個子帶(subband)方案可能因裝置而異。然而，水平限制的靜電通道的可調諧性即使在單個子帶方案中也可以允許對通道進行微調，以實現所需的拓撲間隙。另一個潛在優勢可能與使用同一組材料和製程用於多窗口堆疊和其他更複雜的奈米線排列的能力有關。這是因為透過向與相應水平限制的靜電通道相關聯的閘極施加適當的電壓，可以將相應的奈米線調整為所需的子帶方案。此外，當在多子帶方案中子帶之間的能量分離非常低時，這種可調諧性可能特別有用。

【0042】 用於閘極的適當電壓可以透過形成為與半導體-超導體混合裝置10相同的積體電路的一部分的電源網格耦合到閘極。電源網格可以透過形成為積體電路的一部分的通孔或其他互連結構耦合。電壓本身可以使用包括作為與積體電路相關聯的控制器的一部分的電壓調節器來產生。這種控制器可以與積體電路分離或整合，此積體電路包括用作奈米線或其他類型的拓撲量子計算裝置的半導體-超導體混合裝置的多個實例。

【0043】 圖 7 示出了在處理階段的另一個示例性半導體 - 超導體混合裝置 20 的視圖 700。半導體 - 超導體混合裝置 20 可以包括覆蓋有覆蓋層 212 的半導體異質結構晶圓 210。半導體異質結構晶圓 210 可以使用早先討論的材料以與早先關於圖 1 描述的相似的方式形成。可以在半導體異質結構晶圓 210 上形成覆蓋層 212 以保護半導體異質結構的頂面免受氧化或其他製程引起的變化的影響。這種覆蓋層可以是砷化鎵層或砷化鋁層。可以幫助保護 2-DEG 的其他材料可以包括諸如氧化鋁、鈮或其他合適材料的材料。此外，半導體 - 超導體混合裝置 20 可以包括除了圖 7 中所示的那些之外的額外或更少的中間層。

【0044】 圖 8 示出了圖 7 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 800。這種處理狀態對應於半導體異質結構晶圓 210 的圖案化。光刻技術可用於形成具有所需圖案的遮罩，然後可使用各向同性蝕刻（或用於去除材料以形成結構的其他類型的技術）將遮罩轉移到半導體異質結構晶圓 210。在此示例中，各向同性蝕刻步驟可導致形成隔離的半導體異質結構 214、216 和 218，其中覆蓋層 212 現在僅保留在作為此步驟的一部分形成的隔離的半導體異質結構之上。每個隔離的半導體異質結構可以具有類似於早先關於圖 4 所述的特定縱橫比。在一個示例中，縱橫比可以小於 1 或大於 1。製程節點大小和相關的技術限制可以決定縱橫比。在此示例中，暴露側邊的目的是允許在隔離的半導體異質結構 214、216 和 218 的每一側上形成閘

極。此外，可以選擇隔離的半導體異質結構 214、216 和 218 中的每一個之間的時間隔以確保關於這些結構的操作的功能和電隔離。儘管圖 8 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 20 的層，但是可以有更多或更少數量的不同排列的層。

【0045】 圖 9 示出了圖 8 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 900。在處理的這個階段，介電層 220 可以共形地沉積在隔離的半導體異質結構 214、216 和 218 的頂部上。隨後，可以在介電層 220 的頂部上形成金屬層 222。可以使用諸如原子層沉積的技術共形地沉積(或以其他方式形成)介電層 220。用於形成介電層 220 的材料可以包括氧化物(例如，氧化鋁或氧化鉛)或氮化物。此外，諸如聚醯亞胺的旋塗介電質也可用於形成介電層 220。示例有機基介電層材料可以包括氫倍半矽氧烷(HSQ)、苯並環丁烯(BCB)等。這種材料可能需要固化和額外的處理。在一個示例中，介電層 220 可以具有在 5 nm 到 10 nm 之間的範圍內的厚度。

【0046】 繼續參考圖 9 所示，可以使用原子層沉積形成金屬層 222。金屬層 222 可以包括鋁、鈷或另一種適合用作閘極電極的金屬。儘管圖 9 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 20 的層，但是可以有更多或更少數量的不同排列的層。

【0047】 圖 10 示出了圖 9 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1000。作為此步驟的一部

分，可以使用介電材料來完成填充物 224。允許保形沉積的任何介電材料（例如，合適的氧化物或氮化物）都可以用於產生填充物 224。或者，也可以使用諸如聚醯亞胺的介電質。儘管圖 10 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 20 的層，但是可以有更多或更少數量的不同排列的層。

【0048】 圖 11 示出了圖 10 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1100。在處理的這個階段，與半導體 - 超導體混合裝置 20 相關的填充物 224 可以被平坦化。化學拋光、機械拋光或化學機械拋光 (CMP) 中的任何一種都可以用作此步驟的一部分。拋光步驟可用於去除足夠的材料以暴露前面描述的覆蓋層 212。

【0049】 圖 12 示出了圖 11 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1200。在此處理階段，可以選擇性地蝕刻金屬層 222 的一部分以沿著隔離的半導體異質結構 214、216 和 218 中的每一個的側面去除金屬層 222 的一部分。對用於形成金屬層 222 的金屬具有選擇性的任何蝕刻化學物質都可以用作此步驟的一部分。作為示例，假設金屬層 222 是使用鋁形成的，則可以使用 Transene Etchant Type D 蝕刻化學物質。作為另一示例，假設金屬層 222 是使用鈷形成的，則可以使用檸檬酸或類似的蝕刻化學物質。透過將視圖 1200 的一部分 1210 顯示為圖 13 中的擴展視圖 1300 來提供關於此步驟的附加細節。如圖 13 所示，金屬層 222 的一部分的去除導致每個閘極的頂面與

在選擇性蝕刻之後標記為閘極金屬層的頂層的表面相同。圖 13 中的字母 D 表示半導體異質結構的頂面與左閘極和右閘極中的每一個的頂面之間的偏移量。儘管圖 12 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 20 的層，但是可以有更多或更少數量的不同排列的層。

【0050】 圖 14 示出了圖 12 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1400。作為此步驟的一部分，可以使用介電材料來完成填充物 230。此步驟的目的是確保由金屬層 222 的選擇性蝕刻產生的凹槽被適當地填充而沒有鑰匙孔 (keyholes) 或其他類型的氣穴。允許保形沉積的任何介電材料 (例如，合適的氧化物或氮化物) 都可以用於產生填充物 230。或者，也可以使用諸如聚醯亞胺的介電質。儘管圖 14 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 20 的層，但是可以有更多或更少數量的不同排列的層。

【0051】 圖 15 示出了圖 14 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1500。在處理的這個階段，與半導體 - 超導體混合裝置 20 相關的填充物 230 可以被平坦化。化學拋光、機械拋光或化學機械拋光 (CMP) 中的任何一種都可以用作此步驟的一部分。拋光步驟可用於去除足夠的材料以暴露前面描述的覆蓋層 212。

【0052】 圖 16 示出了圖 15 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1600。在這個階段，可以選擇性地去除覆蓋層 212，而不會導致在半導體 - 超導體混合

裝置 20 的頂面處或附近去除其他材料。假設覆蓋層 212 是砷化物覆蓋層，那麼熱解吸（例如，在 300 攝氏度到 375 攝氏度之間的溫度範圍）可以用於實現覆蓋層 212 的砷解吸。實際上，如果將砷以外的材料用於覆蓋層 212，則可以使用適當的熱或其他技術來選擇性地去除覆蓋層 212。圖 17 示出了圖 16 的示例性半導體 - 超導體混合裝置的一部分 1610 的放大圖。

【0053】 圖 18 示出了圖 16 的示例性半導體 - 超導體混合裝置 20 在處理的後續階段的視圖 1800。在處理的這個階段，超導金屬層 240 可以形成在圖 16 的半導體 - 超導體混合裝置 20 的頂面之上。任何表現出與庫珀對 (Cooper pairs) 存在相關的電子配對週期性的超導體都可以用於形成超導金屬層 240。可用於形成超導金屬層 240 的示例材料包括但不限於鉛、銮、錫和鋁。儘管圖 18 示出了以某種方式排列的一定數量的半導體 - 超導體混合裝置 20 的層，但是可以有更多或更少數量的不同排列的層。

【0054】 在半導體 - 超導體混合裝置 20 的操作方面，類似於早先關於圖 6 所解釋的，向位於水平限制通道每一側的閘極施加不同量的電壓可以允許改變由奈米線的幾何形狀限定的權宜間隙的大小。施加到閘極（例如，施加到圖 18 中所示的閘極 GATE 1 和 GATE 2）的電壓產生可以移動水平限制通道（例如，在圖 18 中標識為虛線水平限制通道）中的電子的電場。如前述，透過閘極（例如，GATE 1 和 GATE 2）施加適當的電壓可以允許調變作為圖 18 的半導

體 - 超導體混合裝置 20 的一部分形成的奈米線的寬度。此外如前述，在形成這種裝置的期間對半導體的損壞導致超導體的線邊緣粗糙度 (LER) 增加，這反過來又減小了拓撲間隙的大小。出於與先前討論的類似原因，拓撲間隙尺寸的可調性可以允許在本文描述的半導體 - 超導體混合裝置的製造期間更寬鬆的製程約束。

【0055】 此外，如先前針對圖 6 所述，由位於半導體 - 超導體混合裝置 10 的水平限制的靜電通道的每一側的閘極 (例如 GATE 1 與 GATE 2) 提供的可調性可以產生額外的優點。例如，與半導體 - 超導體混合裝置 20 相關的拓撲間隙的大小是許多製程和材料相關方面的函數。因此，取決於用於製造裝置的材料和製程，單個子帶 (subband) 方案可能因裝置而異。然而，水平限制的靜電通道的可調諧性即使在單個子帶方案中也可以允許對通道進行微調，以實現所需的拓撲間隙。另一個潛在優勢可能與使用同一組材料和製程用於多窗口堆疊和其他更複雜的奈米線排列的能力有關。這是因為透過向與相應水平限制的靜電通道相關聯的閘極施加適當的電壓，可以將相應的奈米線調整為所需的子帶方案。此外，當在多子帶方案中子帶之間的能量分離非常低時，這種可調諧性可能特別有用。

【0056】 如前述，用於閘極的適當電壓可以透過形成為與半導體 - 超導體混合裝置 20 相同的積體電路的一部分的電源網格耦合到閘極。電源網格可以透過形成為積體電路的一部分的通孔或其他互連結構耦合。電壓本身可以使用包

括作為與積體電路相關聯的控制器的一部分的電壓調節器來產生。這種控制器可以與積體電路分離或整合，此積體電路包括用作奈米線或其他類型的拓撲量子計算裝置的半導體-超導體混合裝置的多個實例。此外，如前所述，這些技術不僅適用於InAs 2-DEG，而且適用於VLS線、SAG材料或由選自元素週期表的III-V族等的任何半導體材料製成的任何其他裝置。儘管半導體-超導體混合裝置被描述為使用具有導帶和價帶偏移的材料形成以收集電子，但是這種裝置可以使用不同的材料組形成並以不同方式排列以收集電洞。作為示例，半導體-超導體混合裝置可以包括二維電洞氣(2-DHG)結構而不是2-DEG結構。

【0057】 圖19示出了根據一個示例的用於形成半導體-超導體混合裝置的方法的流程圖1900。步驟1910可以包括在基板上方形成半導體異質結構。在一個示例中，此步驟可以包括針對圖1描述的層的形成。此外，半導體異質結構也可以包括覆蓋層。如前述，半導體異質結構可以包括砷化銻或砷化鋁的第一層、砷化銻的第二層、和砷化銻或砷化鎵的第三層。此外，也可以使用其他材料組合。基板可以包括磷化銻、砷化銻、銻化銻或砷化銻銻中的一種。

【0058】 步驟1920可以包括在半導體異質結構上方形成超導層。在一個示例中，此步驟可以包括早先關於圖2描述的製程。如前所述，超導層可以包括鉛、銻、錫或鋁中的一種。

【0059】 步驟 1930 可以包括暴露半導體異質結構的第一側和與第一側相對的半導體異質結構的第二側，以允許形成與半導體異質結構的第一側相鄰的第一閘極並且用於形成與半導體異質結構的第二側相鄰的第二閘極。如前面關於圖 4 所述，可以透過選擇性地去除（例如，透過蝕刻）某些材料以暴露側面來執行此步驟。在此示例中，這些材料的選擇性去除導致形成具有由其寬度（**B**）與深度（**A**）之比定義的特定縱橫比的半導體 - 超導體混合結構。

【0060】 步驟 1940 可以包括去除第一閘極的第一部分和第二閘極的第二部分，使得第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移。如關於圖 5 和 6 所解釋的，閘極的形成可以包括選擇性地去除閘極金屬層（或其他與閘極相關的材料），以確保任何水平限制的通道形成為以一定距離遠離位於或靠近半導體異質結構頂面的任何結構無序。在一個示例中，所選表面可以是半導體異質結構的頂面。

【0061】 圖 20 示出了根據一個示例的用於形成半導體 - 超導體混合裝置的方法的另一流程圖 2000。步驟 2010 可以包括在基板上方形形成第一隔離半導體異質結構和第二隔離半導體異質結構。如前述關於圖 7、8，光刻技術可用於形成具有所需圖案的遮罩，然後可使用各向同性蝕刻（或用於去除材料以形成結構的其他類型的技術）將遮罩轉移到圖 8 的半導體異質結構晶圓 210。如前所述，各向同性蝕刻步

驟可導致形成隔離的半導體異質結構（例如，具有覆蓋層 212 的隔離的半導體異質結構 214、216 和 218）。

【0062】 步驟 2020 可以包括形成左閘極，左閘極與第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個的第一側相鄰。關於形成左閘極的一種方式的附加細節係參照圖 9 進行描述。

【0063】 步驟 2030 可以包括形成右閘極，右閘極與第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個的與第一側相對的第二側相鄰，其中左閘極和右閘極中的每一個的頂面以預定偏移量從第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個的選定表面垂直偏移。關於形成左閘極的一種方式的附加細節係參照圖 9 進行描述。實際上，可以使用同時執行的製程步驟來形成左閘極和右閘極。如先前針對圖 12、13 所述，可以選擇性地蝕刻金屬層 222 的一部分（相對於左閘極與右閘極中的每一個）以沿著前述隔離半導體異質結構 214、216 和 218 中的每一個的側面去除金屬層 222 的一部分。

【0064】 步驟 2040 可以包括在第一隔離半導體異質結構和第二隔離半導體異質結構中的每一個上方形成超導層。在一個示例中，此步驟可以如關於圖 18 所描述的那樣執行。

【0065】 總之，本揭示內容涉及一種半導體-超導體混合裝置，其包括形成在基板上方的半導體異質結構。半導體-超導體混合裝置還可以包括形成在半導體異質結構上方的超導層。半導體-超導體混合裝置可進一步包括第一閘極，第

一閘極具有第一頂面且形成為與半導體異質結構的第一側相鄰。半導體-超導體混合裝置可進一步包括第二閘極，第二閘極具有第二頂面且形成為與半導體異質結構的相對於第一側的第二側相鄰，其中第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移。

【0066】 半導體-超導體混合裝置可以被配置為響應於透過第一閘極和第二閘極向半導體異質結構施加電場而在半導體異質結構中形成水平限制的靜電通道。可以選擇預定偏移量以確保在距半導體異質結構的頂面選定距離處形成水平限制的靜電通道，以減少與超導層與半導體異質結構的界面相關的任何結構無序的影響。與界面相關的結構無序可以包括與超導層相關的線邊緣粗糙度(LER)。水平限制的靜電通道可以包括二維電子氣(2-DEG)通道或二維電洞氣(2-DHG)通道之一。

【0067】 半導體-超導體混合裝置可進一步包括耦合到第一閘極的第一端子和耦合到第二閘極的第二端子，其中透過將第一電壓施加到第一端子並且將第二電壓施加到第二端子而產生電場。可以選擇第一電壓的量和第二電壓的量以調諧與水平限制的靜電通道相關聯的寬度。半導體-超導體混合裝置可用作具有可調寬度的奈米線。

【0068】 在另一態樣中，本揭示內容涉及一種半導體-超導體混合裝置，其包括形成在基板上方的半導體異質結構。半導體-超導體混合裝置還可以包括形成在半導體異質結

構上方的超導層。半導體-超導體混合裝置可進一步包括第一閘極，第一閘極具有第一頂面且形成為與半導體異質結構的第一側相鄰。半導體-超導體混合裝置可進一步包括第二閘極，第二閘極具有第二頂面且形成為與半導體異質結構的相對於第一側的第二側相鄰，其中第一閘極的第一頂面和第二閘極的第二頂面中的每一個以一預定偏移量從半導體異質結構的選定表面垂直偏移，預定偏移量經選擇以確保在距半導體異質結構的選定表面選定距離處形成水平限制的靜電通道，以減少與超導層相關的任何線邊緣粗糙度（LER）的影響。

【0069】 可以響應於透過第一閘極和第二閘極向半導體異質結構施加電場而在半導體異質結構中形成水平限制的靜電通道。水平限制的靜電通道可以包括二維電子氣（2-DEG）通道或二維電洞氣（2-DHG）通道之一。

【0070】 半導體-超導體混合裝置可進一步包括耦合到第一閘極的第一端子和耦合到第二閘極的第二端子，其中透過將第一電壓施加到第一端子並且將第二電壓施加到第二端子而產生電場。可以選擇第一電壓的量和第二電壓的量以調諧與水平限制的靜電通道相關聯的寬度。半導體-超導體混合裝置可用作具有可調寬度的奈米線。

【0071】 在又另一態樣中，本揭示內容涉及一種半導體-超導體混合裝置，包括形成在基板上方的第一隔離半導體異質結構和第二隔離半導體異質結構。半導體-超導體混合裝置可進一步包括左閘極，左閘極被形成為與第一隔離半導

體異質結構和第一隔離半導體異質結構中的每一個的第一側相鄰。半導體-超導體混合裝置可進一步包括右閘極，右閘極被形成為與第一隔離半導體異質結構和第一隔離半導體異質結構中的每一個的與第一側相對的第二側相鄰，其中左閘極和右閘極中的每一個的頂面以預定偏移量從第一隔離半導體異質結構和第一隔離半導體異質結構中的每一個的選定表面垂直偏移。半導體-超導體混合裝置可進一步包括超導層，超導層被形成在第一隔離半導體異質結構和第一隔離半導體異質結構中的每一個之上。

【0072】 半導體-超導體混合裝置可被配置為響應於透過相應的左閘極和相應的右閘極向相應的隔離半導體異質結構施加電場，而在相應的隔離半導體異質結構中形成水平限制的靜電通道。可以選擇預定偏移量以確保在距相應半導體異質結構的選定頂面選定距離處形成水平限制的靜電通道，以減少與超導層與相應隔離半導體異質結構的界面相關的任何結構無序的影響。

【0073】 與界面相關的結構無序可以包括與超導層相關的線邊緣粗糙度(LER)。水平限制的靜電通道可以包括二維電子氣(2-DEG)通道或二維電洞氣(2-DHG)通道之一。半導體-超導體混合裝置可用作具有可調寬度的奈米線。

【0074】 應當理解，本文描述的方法、模組和部件僅僅是示例性的。例如但不限於，說明性類型的裝置可以包括半導體-超導體混合裝置、拓撲奈米線和其他拓撲量子計算裝置等。儘管已經針對特定的導電類型或電位極性描述了裝

置的形成，本領域技術人員理解，電勢的導電類型和極性可以顛倒。再者，說明書與申請專利範圍中可能出現的用詞「前」、「後」、「頂」、「底」、「在...之上」、「在...之下」等等，係用於說明性目的且並非必需用於說明永久性的相對位置。應瞭解到，所使用的用詞在適當情況下可互換使用，使得本文所說明的本揭示內容之具體實施例（例如）能夠以除了所圖示說明或說明的定向以外的定向來操作。

【0075】 此外，在抽象但仍然明確的意義上，實現相同功能的任何組件佈置都是有效地「相關」的，從而實現了所需的功能。因此，本文中組合以實現特定功能的任何兩個組件可被視為彼此「相關聯」，使得實現期望的功能，而不管架構或中間組件如何。類似地，如此相關聯的任何兩個部件也可被看作是彼此「可操作地連接」或「可操作地耦合」，以實現期望的功能。

【0076】 此外，本領域技術人員將認識到，上述層的功能之間的界限或包含在設備中的組件僅僅是說明性的。多個層的功能可以組合成單個層，和/或單個層的功能可以分佈在附加層中。此外，替代實施例可以包括特定層的多個實例，並且層的順序（例如，從頂部到底部或從底部到頂部）可以在各種其他實施例中改變。

【0077】 儘管本揭示內容提供了具體示例，但是可以進行各種修改和改變而不背離如以下申請專利範圍中闡述的本揭示內容的範圍。因此，說明書和附圖應被視為說明性而

非限制性意義，並且所有此類修改旨在包括在本揭示內容的範圍內。本文針對特定示例描述的任何益處、優點或問題的解決方案不旨在被解釋為任何或所有申請專利範圍的關鍵、必需或基本特徵或要素。

【0078】 再者，本文中使用的用詞「一(a)」或「一(an)」被界定為一或多於一。此外，在申請專利範圍中使用的諸如「至少一個」和「一或更多個」的引語，不應被解譯為隱含透過不定冠詞「一(a)」或「一(an)」引入另一申請專利範圍元素會將包含此種引入申請專利範圍元素的任何特定申請專利範圍，限制為僅包含一個此種元素的發明，即使是在相同申請專利範圍包含引語「一或更多個」或「至少一個」與不定冠詞（諸如「一(a)」或「一(an)」）時。對於定冠詞的使用亦是如此。

【0079】 除非另外說明，否則諸如「第一」與「第二」的用詞被用於任意分辨此種用詞所描述的元件。因此，這些用詞並非必需意為指示此種元件的時序或其他優先次序。

【符號說明】

【0080】

10：半導體-超導體混合裝置

100：視圖

102：基板

110：半導體異質結構

112：緩衝層

- 1 1 4 : 量子阱層
- 1 1 6 : 緩衝層
- 1 2 0 : 超導金屬層
- 1 3 0 : 介電層
- 1 4 2 : 閘極
- 1 4 4 : 閘極
- 2 0 : 半導體 - 超導體混合裝置
- 2 0 0 : 視圖
- 2 1 0 : 半導體異質結構晶圓
- 2 1 2 : 覆蓋層
- 2 1 4 : 隔離的半導體異質結構
- 2 1 6 : 隔離的半導體異質結構
- 2 1 8 : 隔離的半導體異質結構
- 2 2 0 : 介電層
- 2 2 2 : 金屬層
- 2 2 4 : 填充物
- 2 3 0 : 填充物
- 3 0 0 : 視圖
- 3 0 2 : 部分
- 3 0 4 : 表面
- 4 0 0 : 視圖
- 5 0 0 : 視圖
- 6 1 0 : 視圖
- 6 2 0 : 視圖

700：視圖

800：視圖

900：視圖

1100：視圖

1200：視圖

1210：部分

1300：擴展視圖

1400：視圖

1500：視圖

1600：視圖

1610：部分

1700：視圖

1800：視圖

1900：流程圖

1910-1940：步驟

2000：流程圖

2010-2040：步驟

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】 一種半導體 - 超導體混合裝置，該半導體 - 超導體混合裝置包括：

一半導體異質結構，該半導體異質結構形成在一基板上；

一超導層，該超導層形成在該半導體異質結構上；

一第一閘極，該第一閘極具有一第一頂面且形成為與該半導體異質結構的一第一側相鄰；以及

一第二閘極，該第二閘極具有一第二頂面且形成為與該半導體異質結構的相對於該第一側的一第二側相鄰，其中該第一閘極的該第一頂面和該第二閘極的該第二頂面中的每一個以一預定偏移量從該半導體異質結構的一選定表面垂直偏移。

【請求項 2】 如請求項 1 所述之半導體 - 超導體混合裝置，該半導體 - 超導體混合裝置被配置為響應於透過該第一閘極和該第二閘極向該半導體異質結構施加一電場而在該半導體異質結構中形成一水平限制的靜電通道。

【請求項 3】 如請求項 2 所述之半導體 - 超導體混合裝置，其中該預定偏移量被選擇以確保在距該半導體異質結構的該頂面一選定距離處形成該水平限制的靜電通道，以減少與該超導層與該半導體異質結構的一界面相關的任何結構無序的影響。

【請求項 4】 如請求項 1 所述之半導體 - 超導體混合裝置，其中與該界面相關的該結構無序包括與該超導層相關的

線邊緣粗糙度(LER)。

【請求項5】 如請求項1所述之半導體-超導體混合裝置，其中該水平限制的靜電通道包括一二維電子氣(2-DEG)通道或一二維電洞氣(2-DHG)通道之一。

【請求項6】 如請求項1所述之半導體-超導體混合裝置，該半導體-超導體混合裝置進一步包括耦合到該第一閘極的一第一端子和耦合到該第二閘極的一第二端子，其中透過將一第一電壓施加到該第一端子並且將一第二電壓施加到該第二端子而產生該電場。

【請求項7】 如請求項5所述之半導體-超導體混合裝置，其中選擇該第一電壓的一量和該第二電壓的一量以調諧與該水平限制的靜電通道相關聯的一寬度。

【請求項8】 如請求項1所述之半導體-超導體混合裝置，其中該半導體-超導體混合裝置可用作具有一可調寬度的一奈米線。

【請求項9】 一種半導體-超導體混合裝置，該半導體-超導體混合裝置包括：

一半導體異質結構，該半導體異質結構形成在一基板上；

一超導層，該超導層形成在該半導體異質結構上；

一第一閘極，該第一閘極具有一第一頂面且形成為與該半導體異質結構的一第一側相鄰；以及

一第二閘極，該第二閘極具有一第二頂面且形成為與該半導體異質結構的相對於該第一側的一第二側相鄰，

其中該第一閘極的該第一頂面和該第二閘極的該第二頂面中的每一個以一預定偏移量從該半導體異質結構的一選定表面垂直偏移，該預定偏移量經選擇以確保在距該半導體異質結構的該選定表面一選定距離處形成一水平限制的靜電通道，以減少與該超導層相關的任何線邊緣粗糙度（LER）的影響。

【請求項10】如請求項9所述之半導體-超導體混合裝置，其中響應於透過該第一閘極和該第二閘極向該半導體異質結構施加一電場而在該半導體異質結構中形成該水平限制的靜電通道。

【請求項11】如請求項9所述之半導體-超導體混合裝置，其中該水平限制的靜電通道包括一二維電子氣（2-DEG）通道或一二維電洞氣（2-DHG）通道之一。

【請求項12】如請求項9所述之半導體-超導體混合裝置，該半導體-超導體混合裝置進一步包括耦合到該第一閘極的一第一端子和耦合到該第二閘極的一第二端子，其中透過將一第一電壓施加到該第一端子並且將一第二電壓施加到該第二端子而產生該電場。

【請求項13】如請求項12所述之半導體-超導體混合裝置，其中選擇該第一電壓的一量和該第二電壓的一量以調諧與該水平限制的靜電通道相關聯的一寬度。

【請求項14】如請求項9所述之半導體-超導體混合裝置，其中該半導體-超導體混合裝置可用作具有一可調寬度的一奈米線。

【請求項 15】 一種半導體-超導體混合裝置，該半導體-超導體混合裝置包括：

形成在一基板上方的一第一隔離半導體異質結構和一第二隔離半導體異質結構；

一左閘極，該左閘極被形成為與該第一隔離半導體異質結構和該第二隔離半導體異質結構中的每一個的一第一側相鄰；

一右閘極，該右閘極被形成為與該第一隔離半導體異質結構和該第二隔離半導體異質結構中的每一個的與該第一側相對的一第二側相鄰，其中該左閘極和該右閘極中的每一個的一頂面以一預定偏移量從該第一隔離半導體異質結構和該第二隔離半導體異質結構中的每一個的一選定表面垂直偏移；以及

形成在該第一隔離半導體異質結構和該第二隔離半導體異質結構中的每一個的上方的一超導層。

【請求項 16】 如請求項 15 所述之半導體-超導體混合裝置，該半導體-超導體混合裝置被配置為響應於透過一相應左閘極和一相應右閘極向一相應隔離半導體異質結構施加一電場而在該相應隔離半導體異質結構中形成一水平限制的靜電通道。

【請求項 17】 如請求項 16 所述之半導體-超導體混合裝置，其中該預定偏移量被選擇以確保在距該相應隔離半導體異質結構的該選定表面一選定距離處形成該水平限制的靜電通道，以減少與該超導層與該相應隔離半導體異質

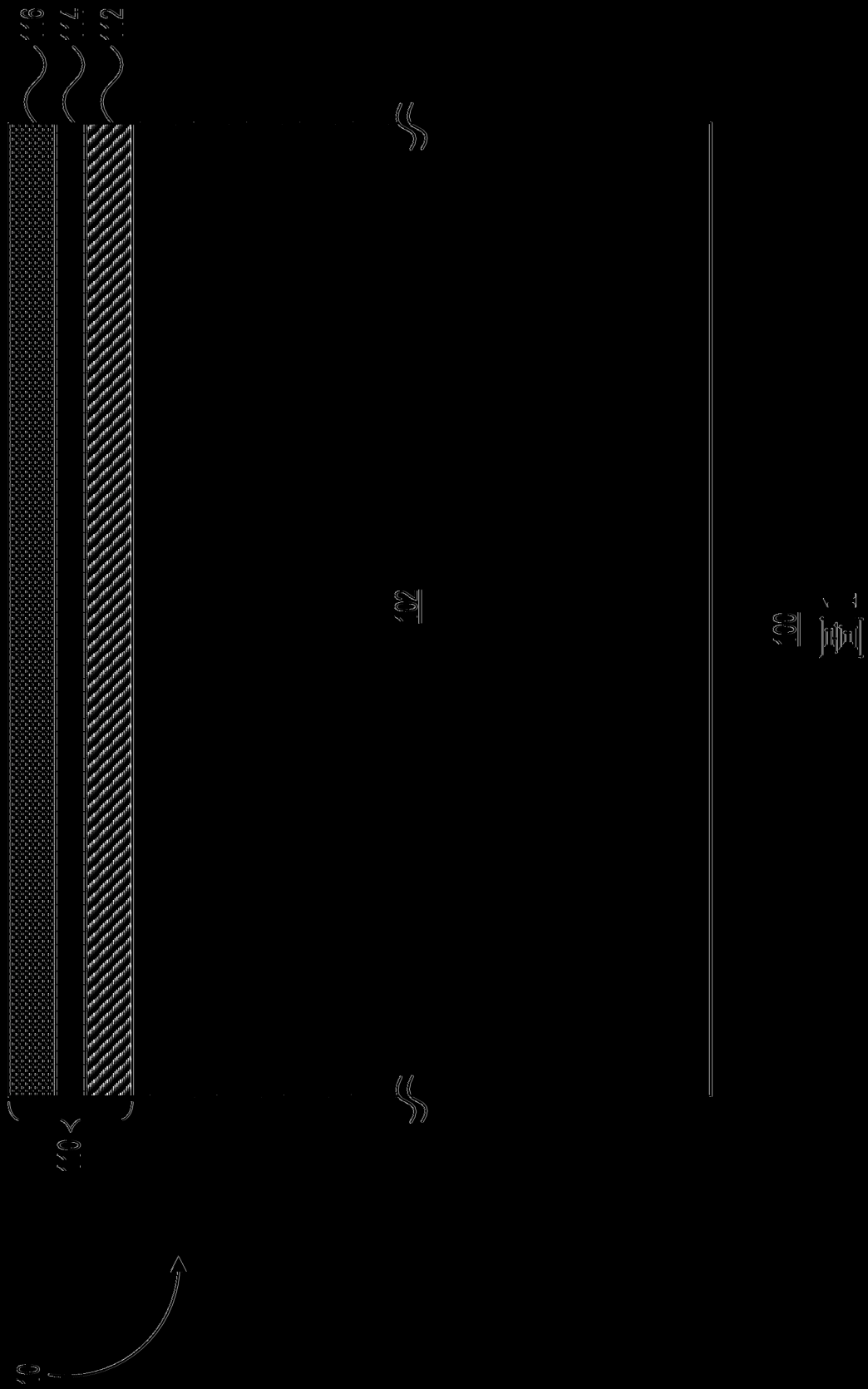
結構的一界面相關的任何結構無序的影響。

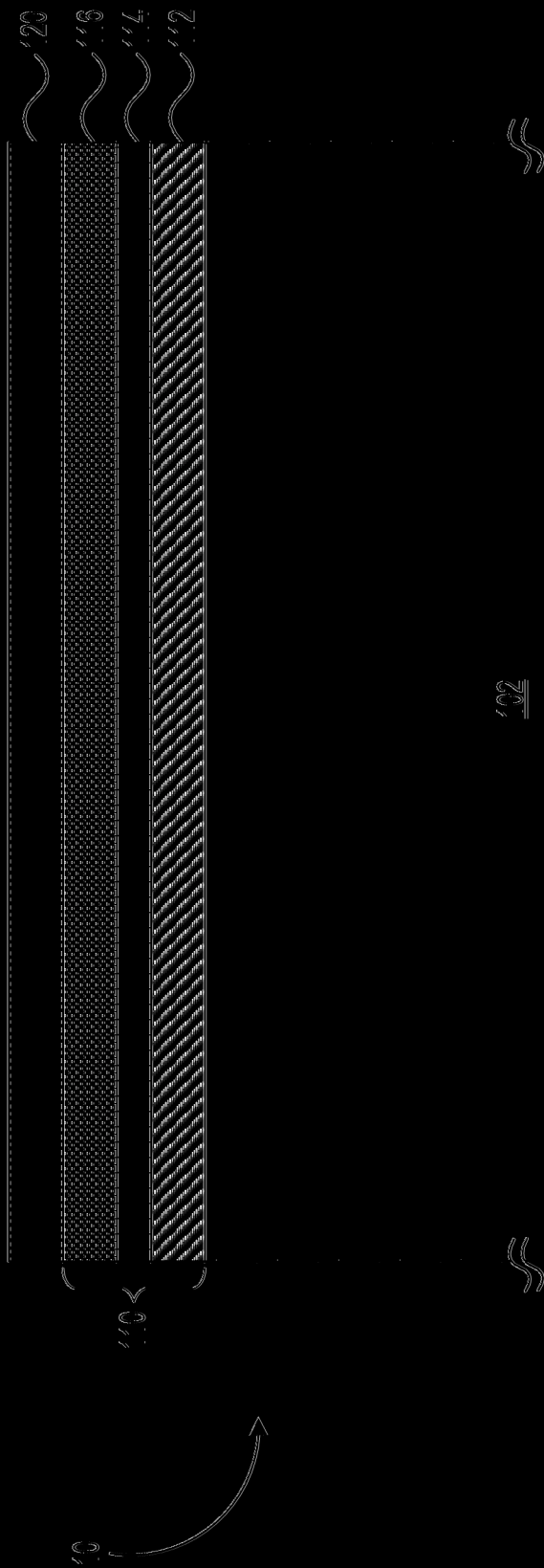
【請求項 18】如請求項 17 所述之半導體 - 超導體混合裝置，其中與該界面相關的該結構無序包括與該超導層相關的線邊緣粗糙度 (LER)。

【請求項 19】如請求項 16 所述之半導體 - 超導體混合裝置，其中該水平限制的靜電通道包括一二維電子氣 (2-DEG) 通道或一二維電洞氣 (2-DHG) 通道之一。

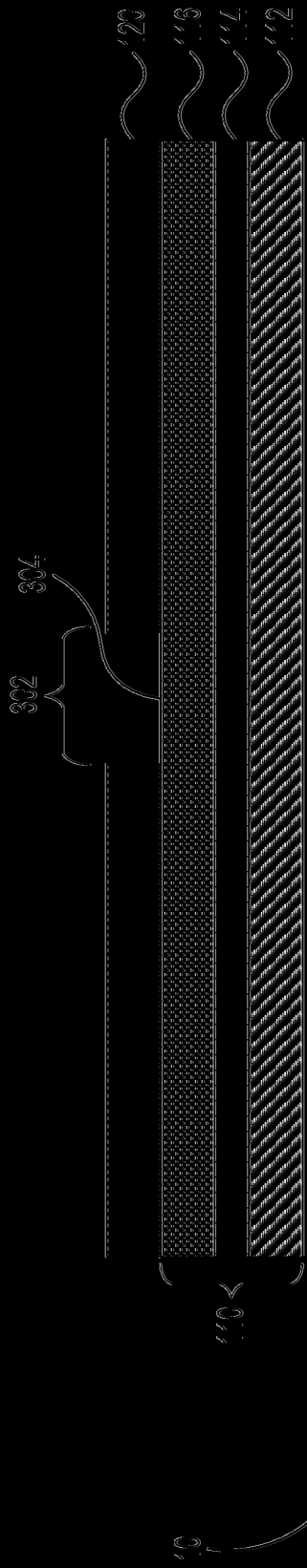
【請求項 20】如請求項 17 所述之半導體 - 超導體混合裝置，其中該半導體 - 超導體混合裝置可用作具有一可調寬度的一奈米線。

(發明圖式)





200
202



20



300



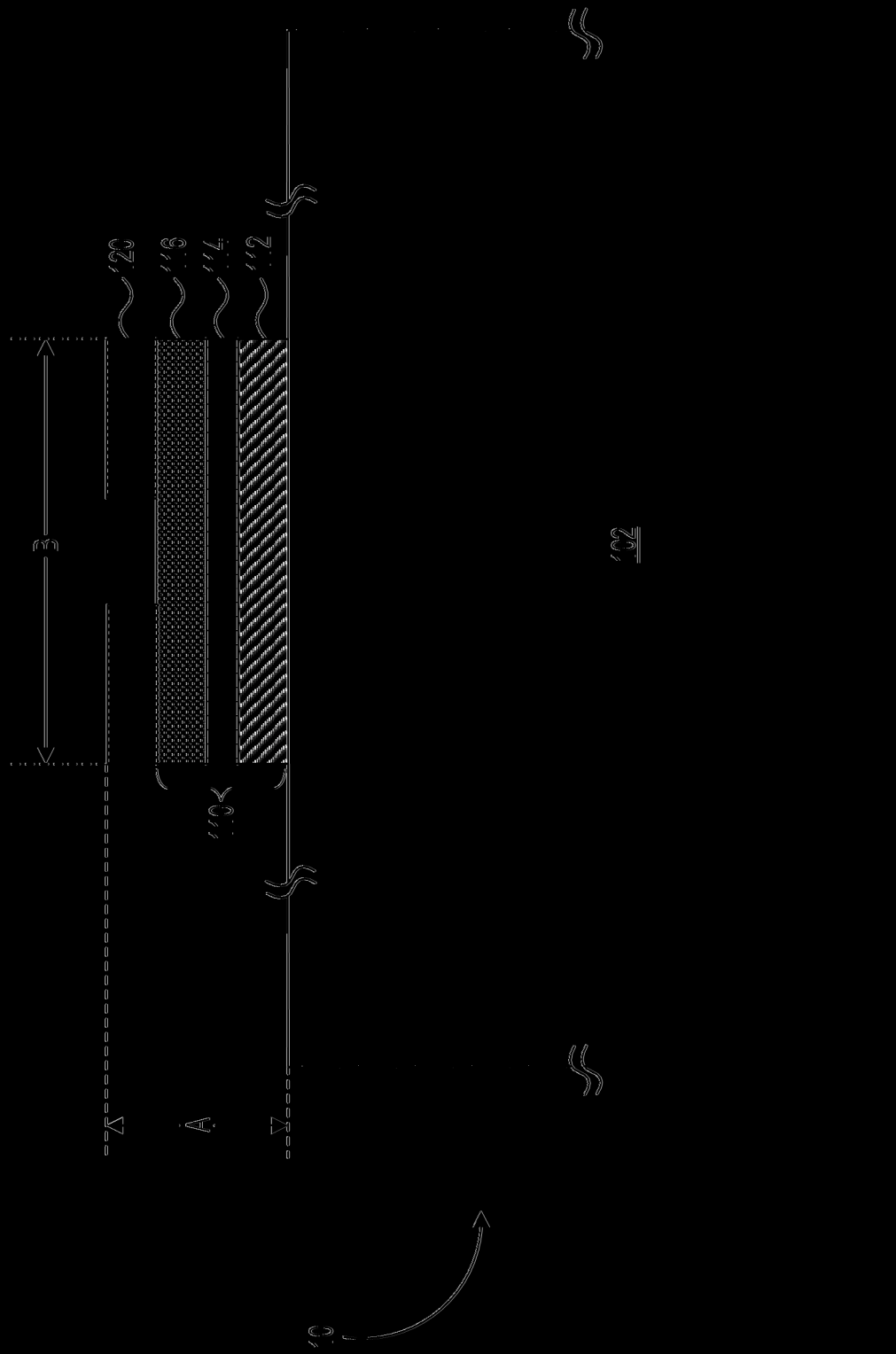
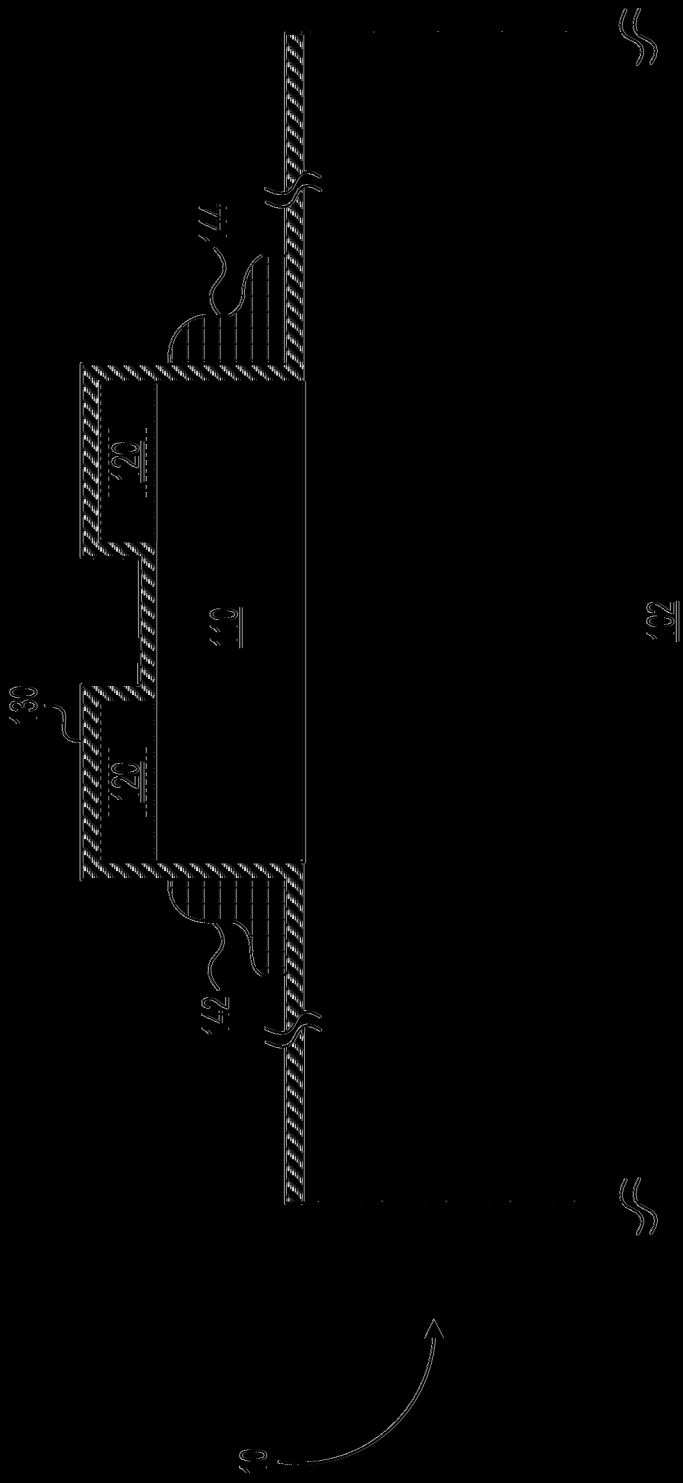
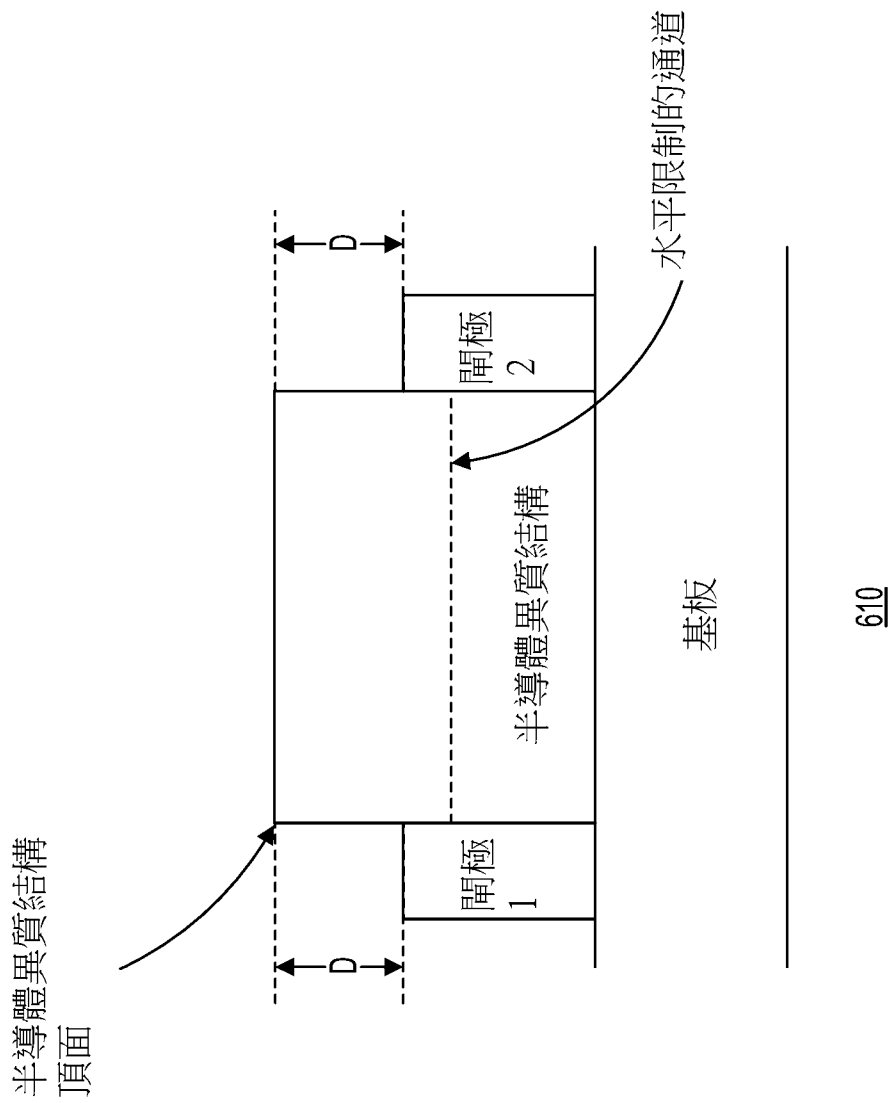


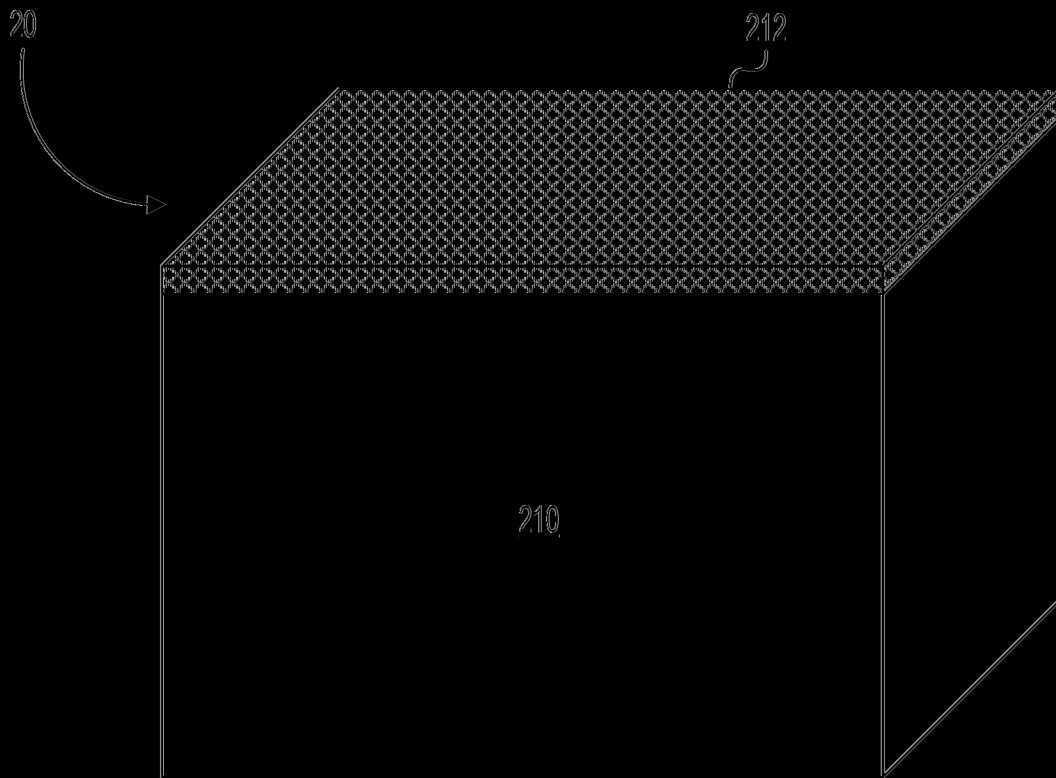
圖 7
007

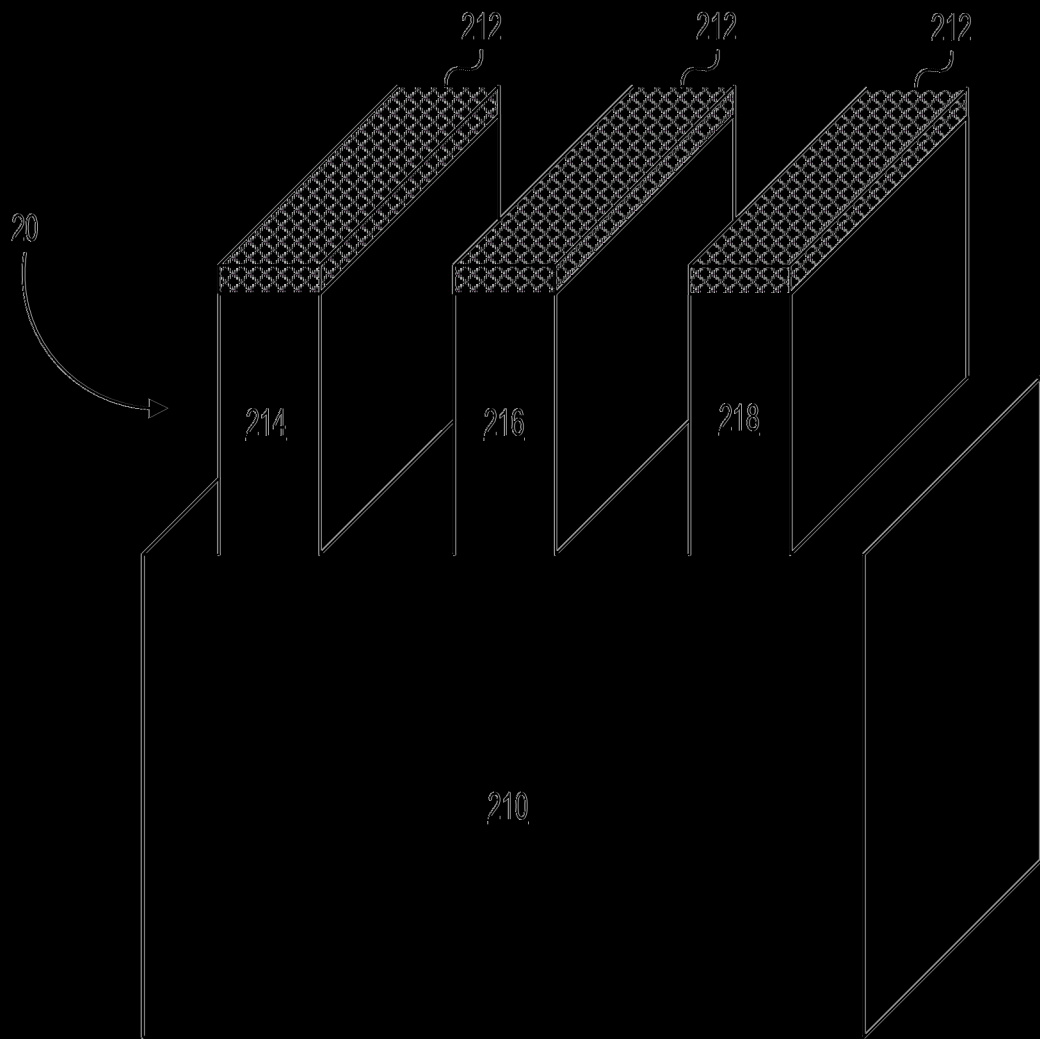




620

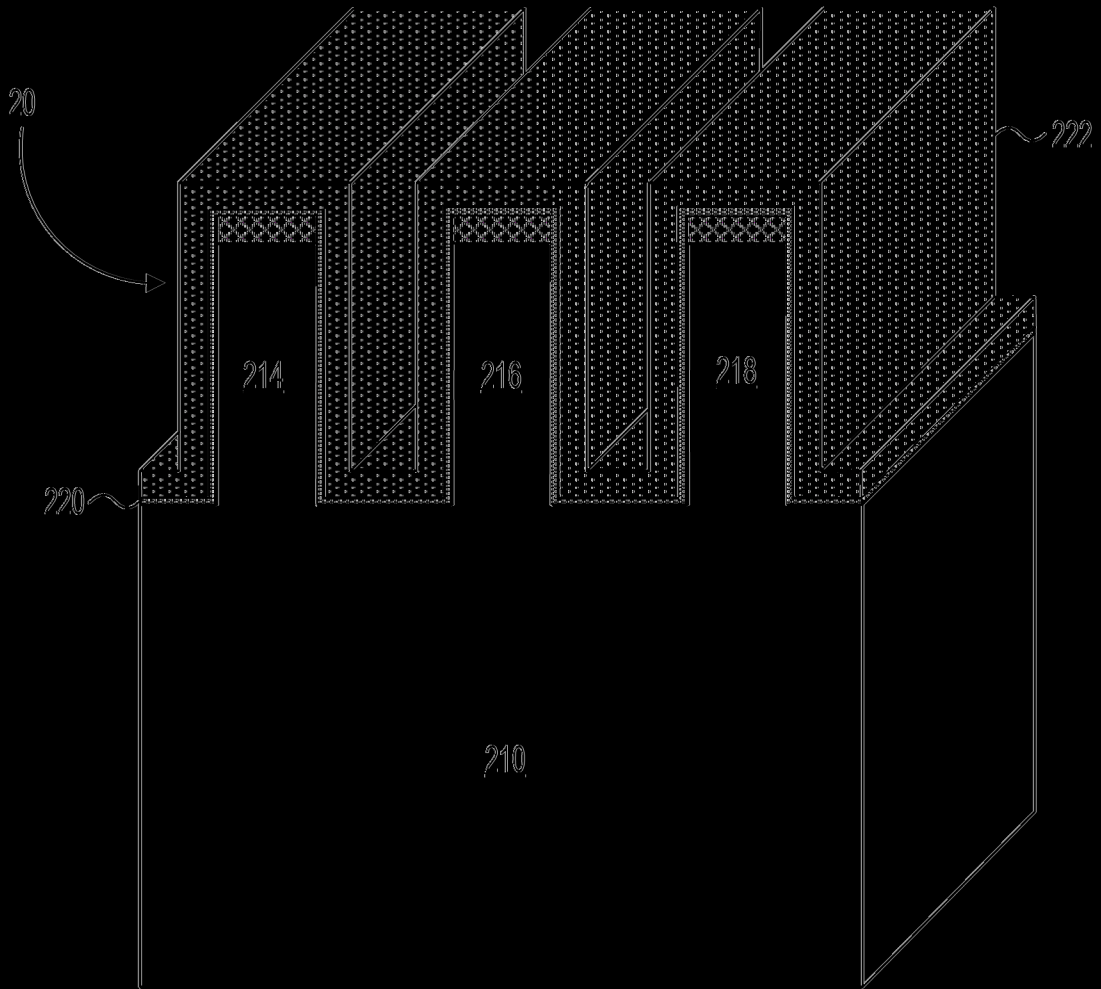
圖6



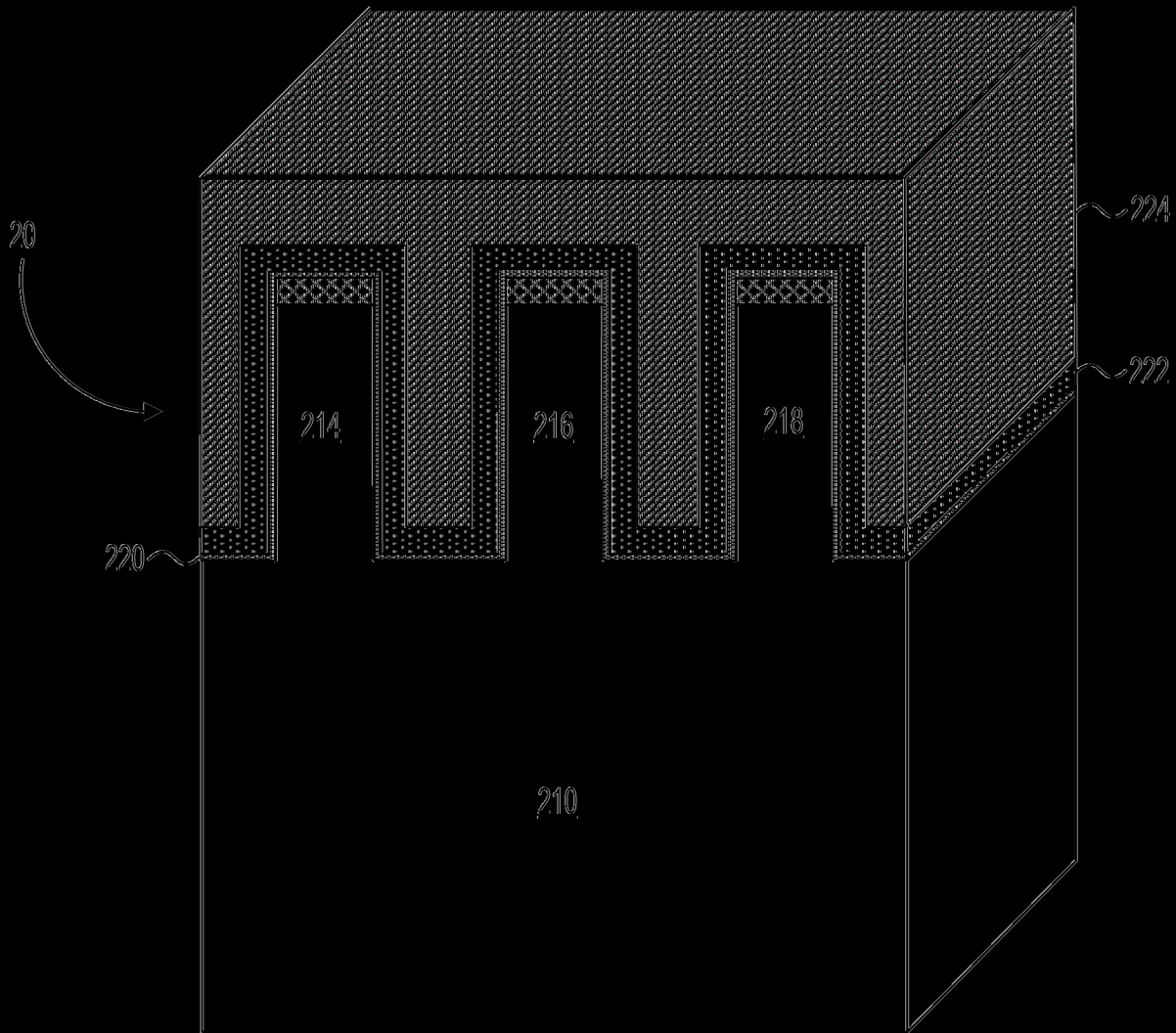


800

808

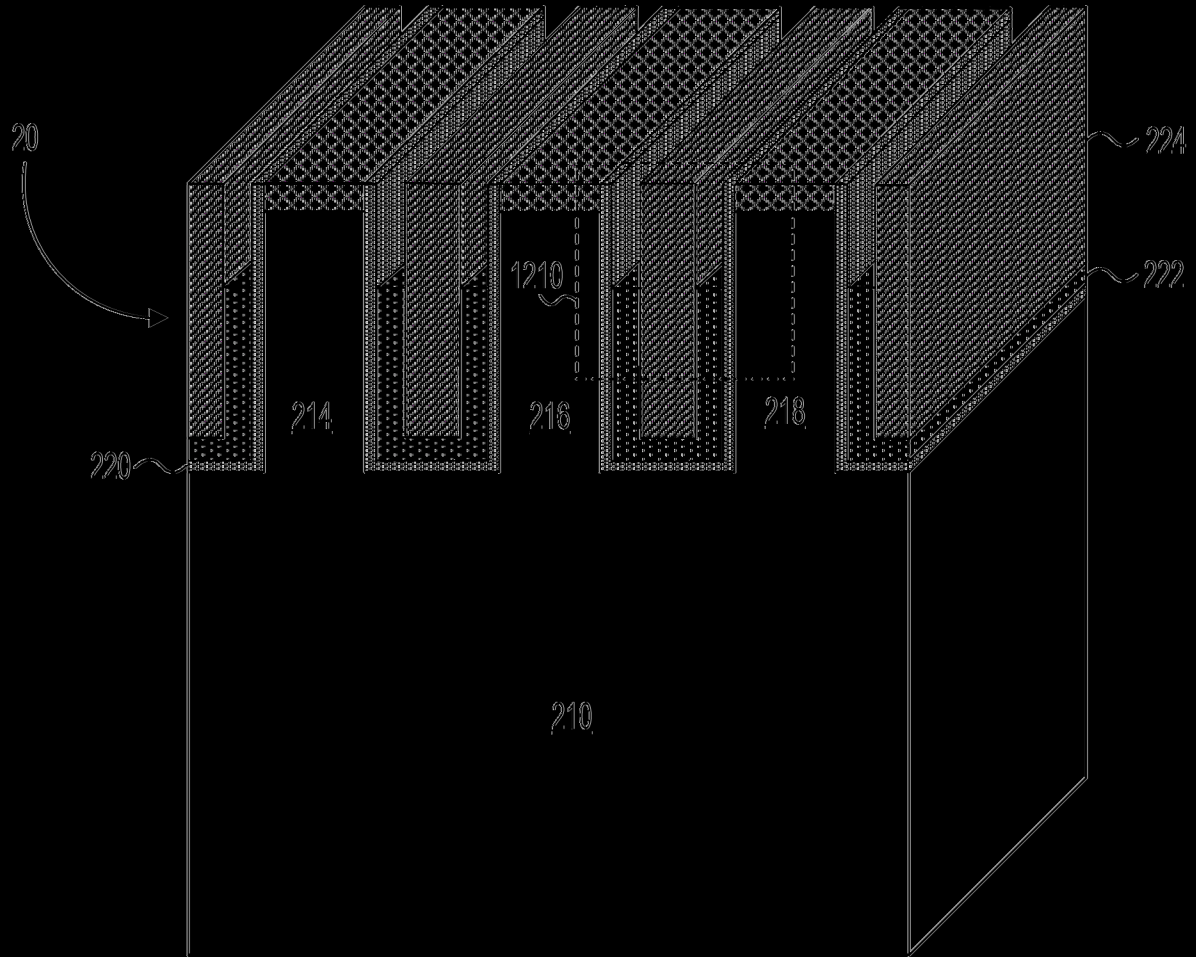


900
11/19

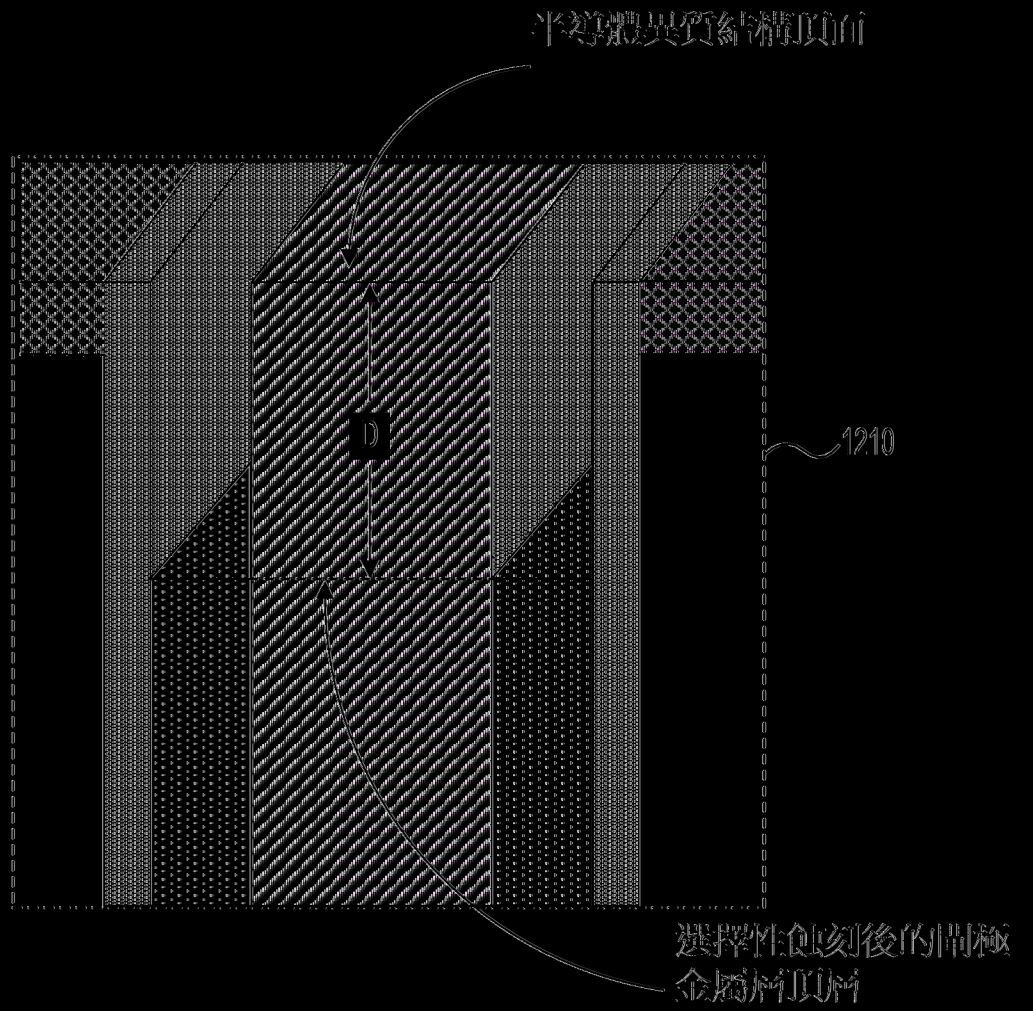


900

10

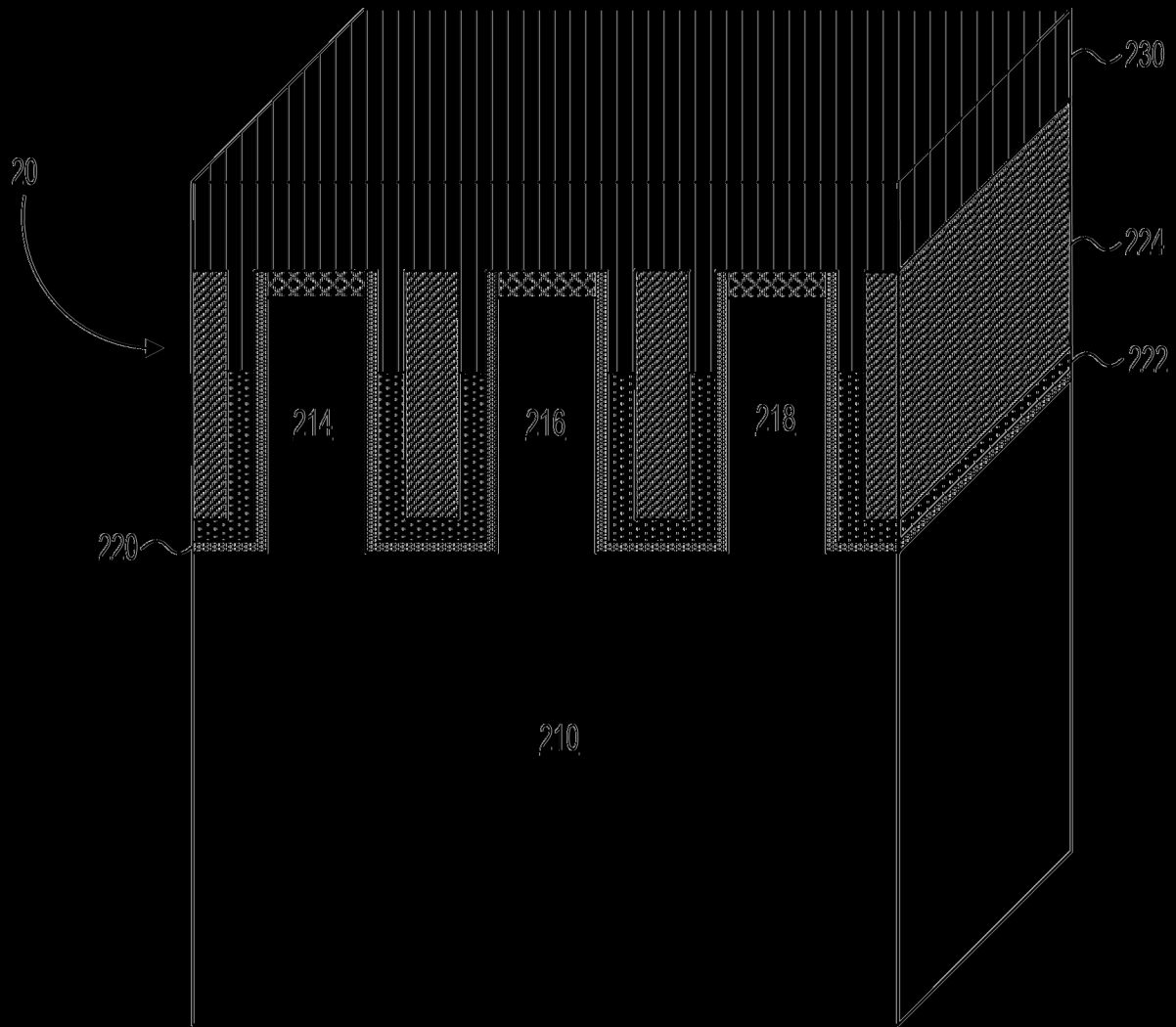


1200
圖 12

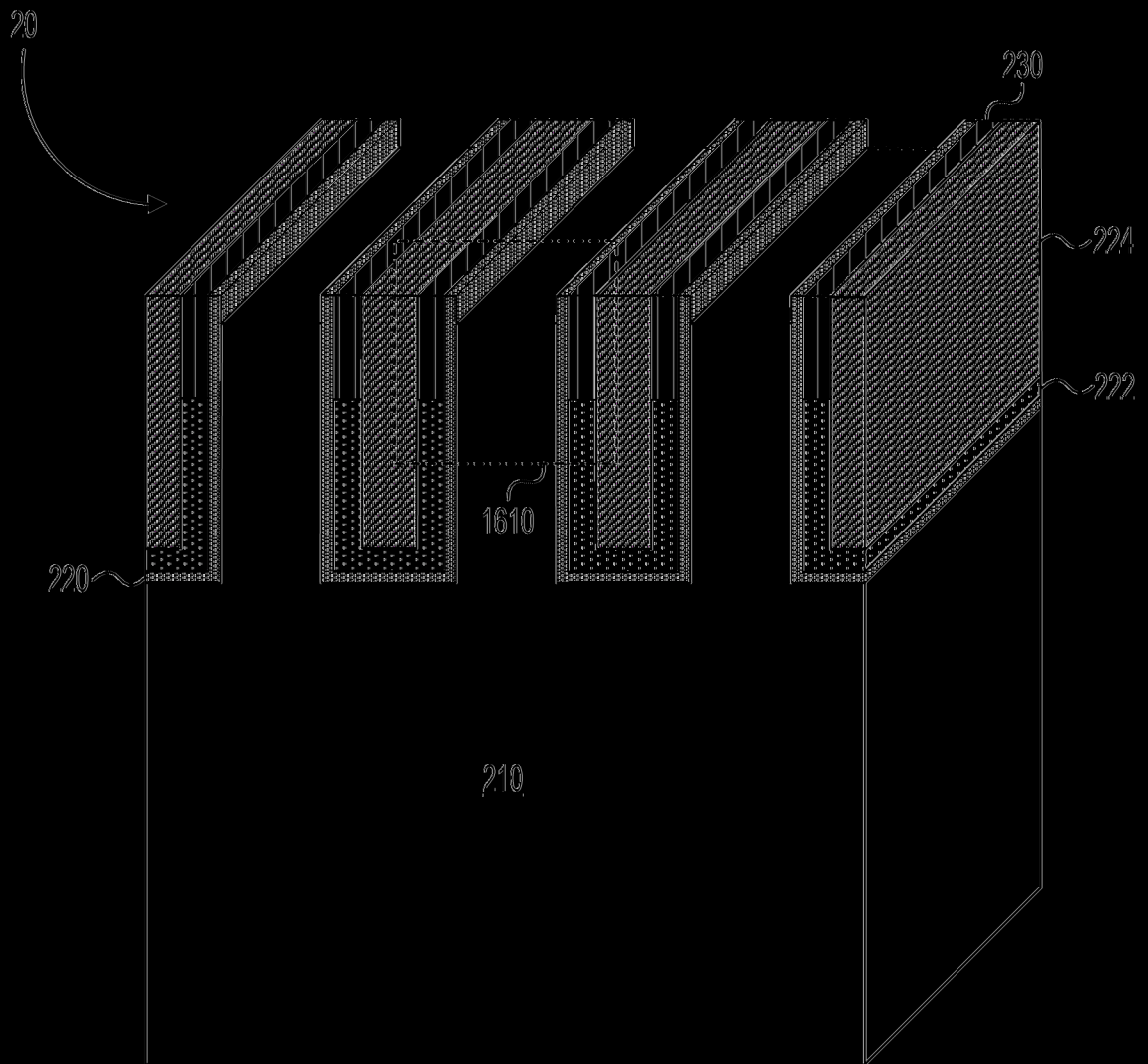


1300

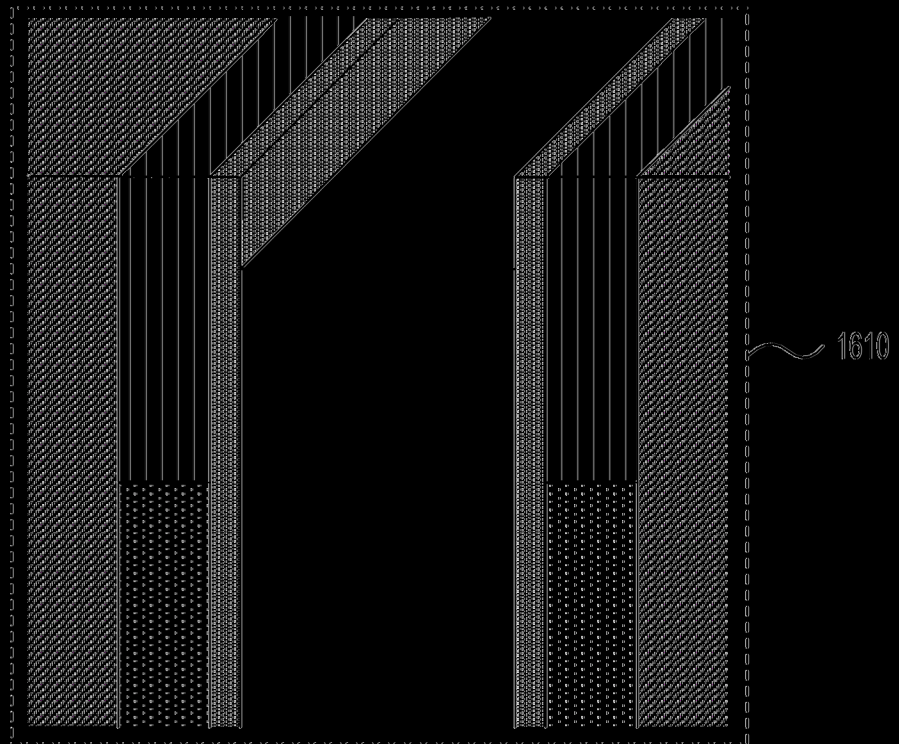
圖13



1400
14



1600
Fig. 16



1/00
[圖] 1'

