

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5540472号  
(P5540472)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl.		F I			
<b>HO4L</b>	<b>25/03</b>	<b>(2006.01)</b>	HO4L	25/03	D
<b>HO4B</b>	<b>1/16</b>	<b>(2006.01)</b>	HO4B	1/16	R
<b>HO4L</b>	<b>7/033</b>	<b>(2006.01)</b>	HO4L	7/02	B

請求項の数 15 (全 29 頁)

(21) 出願番号	特願2008-149330 (P2008-149330)	(73) 特許権者	000002185
(22) 出願日	平成20年6月6日(2008.6.6)		ソニー株式会社
(65) 公開番号	特開2009-296438 (P2009-296438A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年12月17日(2009.12.17)	(74) 代理人	100094053
審査請求日	平成23年5月16日(2011.5.16)		弁理士 佐藤 隆久
		(72) 発明者	菊池 秀和
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	飯塚 浩
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 シリアルデータ受信機、利得制御回路および利得制御方法

(57) 【特許請求の範囲】

【請求項1】

伝送路を伝送されたシリアル2値データの劣化特性を補償可能な利得・周波数特性を有し、利得が制御可能な補償回路と、

前記補償回路の出力信号を2値識別する2値識別回路と、

該2値識別回路から出力される連続するアイバターンの中央に位置する複数の2値シリアルデータ、および、前記複数の2値シリアルデータのうち少なくとも連続する2のデータの間位置する遷移データを、それぞれ位相の異なる複数の所定のクロックに応じて保持する複数のデータ保持回路と、

前記複数のデータ保持回路に保持された前記複数のデジタルデータのパターンを判定して、少なくとも、前記補償回路の利得を増減させる利得制御信号を生成して前記補償回路に印加するとともに、前記複数のデータ保持回路に保持された前記複数のデジタルデータの値から判定されたクロックと前記2値識別回路から出力されたデータとの位相差に応じた信号を出力する、論理回路と、

前記複数のデータ保持回路および前記論理回路と位相同期回路を構成し、前記論理回路から出力される前記位相差に応じた信号の電圧に応じた周波数で発振して前記複数のデータ保持回路のそれぞれに印加する複数のクロックを発生して前記位相の異なる所定のクロックとして前記複数のデータ保持回路の対応するデータ保持回路に出力する、電圧制御型発振回路と

前記利得が制御可能な補償回路と前記2値識別回路との間に、オフセット補正用の加算

10

20

回路と、

を有し、

前記複数のデータ保持回路は、前記2値識別回路から出力される連続するアイパターンの中央に位置する複数の2値シリアルデータ、および、当該複数の2値シリアルデータのうちの連続する2つの間の遷移データを前記電圧制御型発振回路から発振された複数のクロックに応じて保持可能に構成されており、

前記論理回路は、

前記複数のデータ保持回路で保持された全てのデータのパターンに基づいて前記利得が制御可能な補償回路の利得を制御する利得制御信号を生成して前記補償回路に印加し、

前記複数のデータ保持回路で保持された前記複数のデジタルデータの値から判定されたクロックと前記2値識別回路から出力されたデータとの位相差に応じた信号を前記電圧制御型発振回路に印加し、

前記複数のデータ保持回路で保持された前記遷移データが「1」および「0」それぞれの累計を求めて、前記補償回路を含むアナログ回路のオフセット補正量を算出してオフセット補正信号を生成して前記加算回路に印加する、

利得制御回路。

#### 【請求項2】

前記利得が制御可能な補償回路は、

前記伝送路を伝送されたシリアル2値データの劣化特性を補償可能な利得・周波数特性を有するハイパスフィルタと、

利得制御可能な増幅回路と

を有する、

請求項1に記載の利得制御回路。

#### 【請求項3】

前記電圧制御型発振回路は、

前記論理回路から出力される位相差に応じた信号に応じて、前記複数のデータ保持回路における前記2値識別回路から出力される連続する複数の2値シリアルデータを保持するのに用いるクロックを生成する第1リング発振回路と、

前記複数のデータ保持回路における前記データを保持するのに用いるクロックを生成する第2リング発振回路と、

前記第1および第2リング発振回路を接続するカップリング・インバータ回路とを有する、

請求項1または2に記載の利得制御回路。

#### 【請求項4】

当該利得制御回路は、

前記伝送路と同等の第2伝送路を伝送された基準クロックを受信して該受信した基準クロックの減衰特性を推定する減衰特性推定回路と、

該減衰特性推定回路で推定した減衰特性信号を、前記論理回路で生成した利得制御信号に加算して前記補償回路に印加する加算回路と

をさらに有する、

請求項1～3のいずれかに記載の利得制御回路。

#### 【請求項5】

当該利得制御回路は、

前記伝送路と同等の第2伝送路を伝送された基準クロックを受信して補償する第2補償回路の出力の歪みを検出する歪み検出回路と、

該歪み検出回路で検出した歪みを計数する計数回路と

該計数回路で計数した歪み検出信号を、前記論理回路で生成した利得制御信号に加算して前記補償回路に印加する加算回路と

をさらに有し、

前記計数回路で計数した歪み検出信号を前記第2補償回路に印加して当該第2補償回路

10

20

30

40

50

の利得を制御する、

請求項 1 ~ 3 のいずれかに記載の利得制御回路。

【請求項 6】

前記論理回路は、

前記複数のデータ保持回路において保持された複数のデータをデシリアル化する回路と、

前記デシリアル化された複数のデータと、前記複数のデータ保持回路において保持された前記複数のデータとのパターンを判定して前記補償回路の利得を増加または減少させるかの利得を決定する、複数の利得判定回路と、

前記複数の利得判定回路の結果を集計する利得集計回路と

を有し、

前記利得集計回路が、前記補償回路の利得制御信号を生成する、

請求項 1 ~ 5 のいずれかに記載の利得制御回路。

【請求項 7】

前記伝送路を伝送されたシリアル 2 値データは NRZ データであり、

複数の利得判定回路はそれぞれ、連続する 3 ビットのデータと、第 2 および第 3 のデータとのパターンを判定して前記補償回路の利得を増加または減少させるかの利得を決定し

、

前記利得集計回路は前記複数の利得判定回路の結果を集計する、

請求項 6 に記載の利得制御回路。

【請求項 8】

前記利得集計回路は、

連続する 3 ビットのアイパターンの中央で取り込んだ第 1 の値と、第 2 の値と第 2 と第 3 の遷移領域の値と第 3 の値が「0001、0100、1011 及び 1110」の場合は、前記補償回路の利得が不足していると判断しその利得を増大させる信号を出力し、

連続する 3 ビットのアイパターンの中央で取り込んだ第 1 の値と第 2 の値と、第 2 と第 3 の遷移領域の値と第 3 の値が「0011、0110、1001 及び 1100」の場合は、前記補償回路の利得が過剰であると判断しその利得を減少させる信号を出力する、

請求項 7 に記載の利得制御回路。

【請求項 9】

前記利得集計回路は、

連続する 2 ビットのアイパターンの中央で取り込んだ第 1 の値と、第 1 と第 2 の遷移領域の値と第 2 の値が「001」または「110」の場合は、前記電圧制御型発振回路の位相が進んでいると判断して前記電圧制御型発振回路の位相を遅らせる信号を出力し、

連続する 2 ビットのアイパターンの中央で取り込んだ第 1 の値と、第 1 と第 2 の遷移領域の値と第 2 の値が「011」または「100」の場合は、前記電圧制御型発振回路の位相が遅れていると判断して前記電圧制御型発振回路の位相を進める信号を出力する、

請求項 7 または 8 に記載の利得制御回路。

【請求項 10】

前記利得集計回路は、

前記電圧制御型発振回路の周波数と位相を前記伝送路を伝送されたシリアルデータに同期させ、遷移領域で前記データ保持回路に取り込んだ値が「0」の場合は、前記補償回路のオフセットが負であると判断しオフセットをキャンセルする信号を出力し、

遷移領域で前記データ保持回路に取り込んだ値が「1」の場合は、前記補償回路のオフセットが正であると判断しオフセットをキャンセルする信号を出力する、

請求項 7 ~ 9 のいずれかに記載の利得制御回路。

【請求項 11】

請求項 1 ~ 10 のいずれかに記載の利得制御回路を有する、

シリアルデータ受信装置。

【請求項 12】

10

20

30

40

50

請求項 1 ~ 10 のいずれかに記載の利得制御回路の利得制御方法であって、

前記伝送路を伝送されたシリアル 2 値データの劣化特性を補償可能な利得・周波数特性を有し、利得が制御可能な前記補償回路の出力信号を 2 値識別する 2 値識別ステップと、

該 2 値識別ステップにより得られる連続するアイパターンの中央に位置する複数の 2 値シリアルデータ、および、複数の 2 値シリアルデータのうち少なくとも連続する 2 のデータ間に位置する遷移データを、位相の異なる所定の複数のクロックに応じて保持する複数のデータ保持ステップと、

前記保持された複数のデジタルデータのパターンを判定して、少なくとも、前記補償回路の利得を増減させる利得制御信号を生成し、前記保持された複数のデジタルデータの値から判定されたクロックと前記 2 値識別ステップで得られたデータとの位相差に応じた信号を出力する、論理処理ステップと、

10

前記論理処理ステップにより得られた前記位相差に応じた信号の電圧に応じた周波数で発振して前記複数のデータ保持ステップにおける複数のクロックを発生するクロック発生ステップと、

前記複数のデータ保持ステップで保持された全てのデータのパターンに基づいて前記利得が制御可能な補償回路の利得を制御する利得制御信号を生成して前記補償回路に印加し、前記複数のデータ保持ステップで保持された前記複数のデジタルデータの値から判定されたクロックと前記 2 値識別回路から出力されたデータとの位相差に応じた信号を前記電圧制御型発振回路に印加し、前記複数のデータ保持ステップで保持された前記遷移データが「1」および「0」それぞれの累計を求めて、前記補償回路を含むアナログ回路のオフセット補正量を算出してオフセット補正信号を生成して前記加算回路に印加するステップ

20

を有する、

利得制御方法。

#### 【請求項 13】

前記データ保持ステップにおいて、前記 2 値識別ステップにおいて得られた連続するアイパターンの中央に位置する複数の 2 値シリアルデータ、および、当該複数の 2 値シリアルデータのうちの連続する 2 つのデータ間の遷移データを前記複数のクロックに応じて保持し、

前記論理ステップにおいて、

30

前記保持された全てのデータのパターンに基づいて前記利得が制御可能な補償回路の利得を制御する利得制御信号を生成し、

前記保持された前記遷移データの両側のデータのパターンに基づいて求めた位相差信号に応じてクロックを生成し、

前記保持された前記遷移データが「1」および「0」それぞれの累計を求めて、前記補償回路を含むアナログ回路のオフセット補正量を算出してオフセット補正信号を生成して前記利得制御信号に加算する、

請求項 12 に記載の利得制御方法。

#### 【請求項 14】

前記伝送路と同等の第 2 伝送路を伝送された基準クロックを受信して該受信した基準クロックの減衰特性を推定する減衰特性推定ステップと、

40

該減衰特性推定ステップで推定した減衰特性信号を、前記論理回路で生成した利得制御信号に加算して前記補償回路に印加するステップと

をさらに有する、

請求項 12 または 13 に記載の利得制御方法。

#### 【請求項 15】

前記伝送路と同等の第 2 伝送路を伝送された基準クロックを受信して補償する第 2 補償回路の出力の歪みを検出する歪み検出ステップと、

該歪み検出ステップで検出した歪みを計数する計数ステップと

該計数ステップで計数した歪み検出信号を、前記論理処理ステップで生成した利得制御

50

信号に加算して前記補償回路に印加するステップと

をさらに有し、

前記計数ステップで計数した歪み検出信号を前記第 2 補償回路に印加して当該第 2 補償回路の利得を制御する、

請求項 1 2 ~ 1 4 のいずれかに記載の利得制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はシリアルデータ受信機に関する。

より特定的には、本発明は、伝送路を経由して連続して伝送されるシリアルデータの劣化を適正に補償してデータの再生を向上させることが可能なシリアルデータ受信機と、このシリアルデータ受信機に適用する利得制御回路と、利得制御方法に関する。

10

【背景技術】

【0002】

図 1 に図解したように、送信機の信号源 1 から送り出されたデータパルス列からなる信号（シリアルデータ）はケーブルやマイクロストリップラインなどの伝送路 2 を伝播するうちにその高周波減衰特性によってパルス波形が劣化する。

高速のパルス信号を長距離の伝送路 2 を介しても正しく伝達する目的で、受信機に伝送路特性とほぼ逆特性のハイパスフィルタ（HPF）回路 3 を終端抵抗 4 の後段に設けて信号源 1 が送出したデータにほぼ等しい劣化の少ないパルス波形を再現するイコライザー技術（等化技術）が用いられている。

20

イコライザー技術で重要なことは、伝送路 2 における劣化を補償するため、受信機における HPF 回路の利得・周波数特性が正しく伝送路 2 の減衰特性の逆特性になっていることである。

【0003】

図 2（A）、（B）、（C）は、HPF 回路の利得・周波数特性（上図、a）、および、電圧波形（下図、b）を示す図である。

図 2（A）、（B）、（C）の上図において、実線は HPF 回路の利得・周波数特性を示し、太い破線は伝送路の劣化を示す利得・周波数特性を示し、これら 2 つの間にある細かい破線は、両者を合成した総合利得・周波数特性を示す。

30

【0004】

図 2（B）は、HPF 回路の高周波利得が適正な場合の利得・周波数特性（上図、a）、および、電圧波形（下図、b）を示している。図 2（B）上図（a）において、実線で示した HPF の利得・周波数特性は、広い周波数範囲において、太い破線で示した伝送路の利得・周波数特性の逆特性となっている。その結果、これら 2 つの間にある細かい破線として示した HPF 回路の利得・周波数特性と伝送路の利得・周波数特性とを合成した総合利得・周波数特性が HPF 回路によって伝送路 2 の劣化が補償されていることを示している。

この場合、図 2（B）下図（b）に示すように信号源 1 から伝送されたシリアル・パルスデータを正確に再生できる。

40

【0005】

図 2（A）上図（a）は、HPF 回路 3 の高周波利得が伝送路 2 の高周波減衰を補償するのに不足していて両者の伝達関数の積がパルス列の主たる信号帯域をカバーするだけの帯域を持たない場合を示す。

この場合、図 2（A）下図（b）に示すように、HPF 回路 3 からの出力パルスは長いデータ「0」の連続の後の短いデータ「1」のパルス幅が極端に狭くなる、あるいは、消失するなどの波形歪をもつ。その結果、図 2（A）下図（b）に示すようにパルスデータを正確に再生することができない。

【0006】

図 2（C）上図（a）に、HPF 回路 3 の高周波利得が伝送路 2 の伝達特性より過剰の

50

場合を示す。

この場合、図2(C)下図(b)に示すように、HPF回路3から出力されるパルス波形はオーバーまたはアンダーシュートが現れる変化の激しいものとなり、パルス幅に歪みが生じる。

【0007】

パルス幅の歪みを、アイパターンを参照して述べる。

図3(A)、(B)を参照してデジタルデータを2値に識別するためのアイパターンを述べる。

アイパターンが適切に開いていれば、デジタルデータを正確に2値に識別することができる。他方、アイパターンが適切に開いていないと、デジタルデータを正確に2値に識別することができない、または、不安定になる。その反面、アイの電圧が開きすぎても逆に時間方向の開口が狭まることもあり2値識別の確実性に問題が起こる。

10

【0008】

図3(A)は、受信機におけるHPF回路の利得が不足しているときのNRZ(Non Return to Zero)パルス出力のアイパターンを表した図である。

種々の組み合わせのパルス列履歴により生じるパルス波形の電圧-時間軌跡は、図中の領域A、B、Cとして示された、開いたアイ(目)の外側部分に存在する。開いたアイ領域で分離された領域A、B、Cは連続する3ビットのデータを識別することができる閾値とトリガーの範囲をそれぞれ示している。

データが領域(または時間帯)BからCに遷移する電圧軌跡がパルス電圧のセンター値と交差する可能性があるのは時間 $t \times 1$ から $t \times 2$ の間である。

20

以降、本明細書において、この交差の生じる時刻を遷移時刻と呼ぶ。

【0009】

図3(A)に示したHPF回路3の利得が不足の状態では出力は、1ビットの時間内で本来のパルス振幅を振り切るだけのスルーレートを持っていない。したがって、開いたアイ領域Aの時間帯でデータ「0」だった状態から開いたアイ領域Bの時間帯でデータ「1」に遷移した場合、領域Bでの電圧は十分に上昇しきれない。

ここでデータが開いたアイ領域Cで再度、「0」に遷移した場合は時間 $t \times 1$ から時間 $t \times 2$ の中で比較的早い遷移時刻を持つ。

しかし、データが開いたアイ領域の時間帯A、Bでデータ「1」が連続していた場合には時間帯Bでの電圧は十分高くなっているから、その状態から領域Cの時間帯で「0」に遷移するとしたらその遷移点は比較的遅くなる。

30

【0010】

図3(B)は、受信機におけるHPF回路3の利得が過剰のときのNRZパルス出力のアイパターンを示す図である。図3(A)のアイパターンと比較すると、アイ領域A、B、Cが十分開いている。

HPF回路の利得が過剰な場合は出力のスルーレートが大きく、データが遷移するたびに電圧は本来のパルス振幅を超えてオーバーシュートあるいはアンダーシュートを生じる。従って、アイ領域(時間帯)Aでデータ「0」、時間帯Bでデータ「1」という遷移があると出力は時間帯Bではオーバーシュートから回復しきれずに高くなっている、そのため、それに続いて時間帯Cでデータ「0」に遷移する場合は時間 $t \times 1$ から時間 $t \times 2$ の中の比較的遅い遷移時刻を持つ。

40

【0011】

しかし、時間帯AとBでデータが共に「1」で遷移がなかったのであれば電圧はオーバーシュートから回復して本来のパルス振幅に整定しているから、その後、時間帯Cで「0」に遷移する場合は比較的早い遷移時刻を持つ。

すなわち、データパルスが「010」と遷移したときと「110」と遷移したときの「10」の遷移時刻は、HPFの利得が不足している場合は「010」のほうが「110」より早く、利得が過剰な場合は「110」のほうが「010」より早い。

【0012】

50

このデータの遷移パターンの差を検出することができればH P F回路の利得の過不足を検出できるし、H P F回路の利得の過不足の無い適正状態に利得を制御するA G Cも実現することができる。

【 0 0 1 3 】

伝送路2の特性は個々の通信路で大きく変化するので、それにH P F回路3の特性を自動的に適正になるよう制御する自動利得制御(A G C)技術が提案されてきた。

【 0 0 1 4 】

特許文献1(特許第3596196号)に記載されているG V I F(Gigabit Video Interface)や、S D I(Serial Digital Interface)などにおいては、H P F回路の出力の振幅が一定になるようにH P F回路の特性が自動調整されるが、この方法は送信機が正確に一定の振幅でパルス列を送出しているという前提が必要である。

10

【 0 0 1 5 】

またH D M I(High-Definition Multimedia Interface)で用いられるデータパルス列と併送されるクロックを利用する方法はデータだけが単独で送出される場合には使えない。

【 0 0 1 6 】

H P F回路からのデータパルス列の周波数帯域ごとのパワーを比較してH P F回路の利得を調整する方法はバンドパスフィルタやパワー検出回路という複雑で繊細なアナログ回路が必要であった。

【 0 0 1 7 】

特許文献2(特開2005-303607号公報)は、送信機の出力パルス振幅が未知でも、データと併走されるクロックが無い場合でも、複雑なアナログ回路によらずにH P Fの利得を適正に調整する方法として、受信機におけるH P Fの出力を複数のラッチド・コンパレータで取り込んだデジタルの判定値に基づいた制御方法を開示している。この方法ではH P Fの利得が不足のときと過剰のときのパルスエッジの移動に注目する。

20

【 0 0 1 8 】

図4は、上述した遷移パターンによる遷移の遅れと進みに注目した、H P Fの利得制御を行う自動利得制御(A G C)回路5の基本構成を示す図である。

A G C回路5は、ハイパスフィルタ(H P F)3の後段に設けられたコンパレータ51と、4個の遅延型フリップフロップ(D型F F)52a、52b、52x、52cと、論理回路53と、デジタル・アナログ(D A)変換器54とを有する。

30

【 0 0 1 9 】

コンパレータ51は、信号源1から出力され伝送路2を経由してH P F3で受信されてH P F3から出力されるシリアルデジタルを入力して、順次、2値化してデータDとして出力する。

4個のD型F F52a、52b、52x、52cはそれぞれ、クロックC K a、C K b、C K x、C K cの印加(入力)タイミングに応じて、コンパレータ51から出力された2値化データDを取り込む(保持する)。

論理回路53は、4個のD型F F52a、52b、52x、52cの出力(取り込んだ値)Q a、Q b、Q x、Q cの、たとえば、立ち上がり状態を参照して、受信したデータの劣化状態を判定して、H P F3の利得を変化させる利得制御信号D - A G Cを生成する。

40

D A変換器54は、論理回路53で生成したデジタルの利得制御信号D - A G Cをアナログ信号S - A G Cに変換してH P F3に出力する。

H P F回路3は利得制御信号S - A G Cの応じてその利得を制御して伝送路2から受信したシリアルデータを等化する。

このようにA G C回路5は、H P F回路3の利得を適切に制御するための利得制御信号S - A G Cを生成する。

【 0 0 2 0 】

伝送路2からはシリアルデータが伝送されてくる。

50

4個のD型FF52a、52b、52x、52cには4つの異なるタイミングのクロックCKa、CKb、CKx、CKcが供給されている。3個のクロックCKa、CKb、CKcは連続する3ビットのデータA、B、Cをリタイミングするクロックで、データAパターンの時間中央に設定される。クロックCKxはクロックCKbとCKcの中間のクロックで、データBとデータCの間のデータ遷移に重なるクロックである。

## 【0021】

図5(A)、(B)は、4つのクロックCKa、CKb、CKx、CKcにより4個のD型FF52a、52b、52x、52cに取り込まれたデータQa、Qb、Qx、Qcのタイミングチャートを示す図である。

表1は、論理回路53においてハイパスフィルタの利得制御の判定に使用する真理値表である。

## 【0022】

## 【表1】

A	B	C	X	HPF利得判定
0	0	0	0	判定不可
			1	
0	0	1	0	不足
			1	過剰
0	1	0	0	不足
			1	過剰
0	1	1	0	判定不可
			1	
1	0	0	0	判定不可
			1	
1	0	1	0	過剰
			1	不足
1	1	0	0	過剰
			1	不足
1	1	1	0	判定不可
			1	

## 【0023】

D型FF52a、52b、52x、52cに取り込まれたデータQa～Qcは論理回路53において処理され、その値によってHPF回路3の利得を、表1の真理値表に従って判定が行われる。すなわち、論理回路53は、表1の真理値表に従ってHPF回路3の利得の過不足を判定して、その結果に基づいて利得制御信号D-AGCを生成してHPF回路3の利得を操作する(制御する)。なお、表1に示すように、HPF回路3の利得の過不足の判定ができない場合もある。

## 【0024】

論理回路53は、統計的に、HPF回路3の利得が過剰と判定されることが多ければHPF回路3の利得を現状よりも抑制(低下)させるように利得制御信号D-AGCを生成する。逆に、統計的に、HPF回路3の利得が不足とされる判定が多ければ、論理回路53は、利得を高めるように利得制御信号D-AGCを生成する。このことは、論理回路5

10

20

30

40

50



3は、たとえば、一例としては、過剰判定で1を減算し、不足判定で1を加算する処理を行うアップダウンカウンタで実現することができる。

論理回路53が上述した判定処理によって生成した(設定した)利得制御信号D-AGCはDA変換器によってHPF回路3を制御するアナログ信号S-AGCとなってHPF3の利得を調整する。

【0025】

上述した論理回路53としてアップダウンカウンタを用いた例では、HPF回路3の利得は適正な範囲をはさむ僅かな過剰と僅かな不足の間を往復する状態で安定する。

この構成によるAGC回路5によってHPF回路3はデータ遷移パターンによる遷移時刻の遅れ進みが小さい適正な利得に自動調整され、遷移時刻の遅れ進み、すなわちジッタの少ないデータパルスを再生する状態で安定する。

【0026】

【特許文献1】特許第3596196号

【特許文献2】特開2005-303607号公報

【特許文献3】特開2005-86379号公報

【発明の開示】

【発明が解決しようとする課題】

【0027】

図4、図5を参照して上述したAGC回路5が正確に機能するためには、データをリタイミングするクロックCKa、CKb、CKx、CKcが正確にデータのアイパターンの中央と遷移領域に一致していなくてはならない。しかしながら、データをリタイミングするクロックが正確にデータのアイパターンの中央と遷移領域に一致しない場合があり、改善することが望まれている。

【課題を解決するための手段】

【0028】

本発明によれば、

伝送路を伝送されたシリアル2値データの劣化特性を補償可能な利得・周波数特性を有し、利得が制御可能な補償回路と、

前記補償回路の出力信号を2値識別する2値識別回路と、

該2値識別回路から出力される連続するアイパターンの中央に位置する複数の2値シリアルデータ、および、前記複数の2値シリアルデータのうち少なくとも連続する2のデータ間に位置する遷移データを、それぞれ位相の異なる複数の所定のクロックに応じて保持する複数のデータ保持回路と、

前記複数のデータ保持回路に保持された前記複数のデジタルデータのパターンを判定して、少なくとも、前記補償回路の利得を増減させる利得制御信号を生成して前記補償回路に印加するとともに、前記複数のデータ保持回路に保持された前記複数のデジタルデータの値から判定されたクロックと前記2値識別回路から出力されたデータとの位相差に応じた信号を出力する、論理回路と、

前記複数のデータ保持回路および前記論理回路と位相同期回路を構成し、前記論理回路から出力される前記位相差に応じた信号の電圧に応じた周波数で発振して前記複数のデータ保持回路のそれぞれに印加する複数のクロックを発生して前記位相の異なる所定のクロックとして前記複数のデータ保持回路の対応するデータ保持回路に出力する、電圧制御型発振回路と

前記利得が制御可能な補償回路と前記2値識別回路との間に、オフセット補正用の加算回路と、

を有し、

前記複数のデータ保持回路は、前記2値識別回路から出力される連続するアイパターンの中央に位置する複数の2値シリアルデータ、および、当該複数の2値シリアルデータのうちの連続する2つの間の遷移データを前記電圧制御型発振回路から発振された複数のクロックに応じて保持可能に構成されており、

10

20

30

40

50

前記論理回路は、

前記複数のデータ保持回路で保持された全てのデータのパターンに基づいて前記利得が制御可能な補償回路の利得を制御する利得制御信号を生成して前記補償回路に印加し、

前記複数のデータ保持回路で保持された前記複数のデジタルデータの値から判定されたクロックと前記2値識別回路から出力されたデータとの位相差に応じた信号を前記電圧制御型発振回路に印加し、

前記複数のデータ保持回路で保持された前記遷移データが「1」および「0」それぞれの累計を求めて、前記補償回路を含むアナログ回路のオフセット補正量を算出してオフセット補正信号を生成して前記加算回路に印加する、

利得制御回路が提供される。

10

【0030】

好ましくは、前記電圧制御型発振回路は、前記論理回路から出力される位相差信号に応じて、前記複数のデータ保持回路における前記2値識別回路から出力される連続する複数の2値シリアルデータを保持するのに用いるクロックを生成する第1リング発振回路と、前記複数のデータ保持回路における前記遷移データを保持するのに用いる遷移クロックを生成する第2リング発振回路と、前記第1および第2リング発振回路を接続するカップリング・インバータ回路とを有する。

【0031】

また本発明によれば、前記伝送路と同等の第2伝送路を伝送された基準クロックを受信して該受信した基準クロックの減衰特性を推定する減衰特性推定回路と、該減衰特性推定回路で推定した減衰特性信号を、前記論理回路で生成した利得制御信号に加算して前記補償回路に印加する加算回路とをさらに有する、利得制御回路が提供される。

20

【0032】

また本発明によれば、前記伝送路と同等の第2伝送路を伝送された基準クロックを受信して補償する第2補償回路の出力の歪みを検出する歪み検出回路と、該歪み検出回路で検出した歪みを計数する計数回路と該計数回路で計数した歪み検出信号を、前記論理回路で生成した利得制御信号に加算して前記補償回路に印加する加算回路とをさらに有し、前記計数回路で計数した歪み検出信号を前記第2補償回路に印加して当該第2補償回路の利得を制御する、利得制御回路が提供される。

【0033】

好ましくは、前記論理回路は、前記複数のデータ保持回路において保持された複数のデータをデシリアル化する回路と、前記デシリアル化された複数のデータと、前記遷移データとのパターンを判定して前記補償回路の利得を増加または減少させるかの利得を決定する、複数の利得判定回路と、前記複数の利得判定回路の結果を集計する利得集計回路とを有し、前記利得集計回路が、前記補償回路の利得制御信号を生成する。

30

【0034】

また好ましくは、前記伝送路を伝送されたシリアル2値データはNRZデータであり、複数の利得判定回路はそれぞれ、連続する3ビットのデータと、第2および第3の遷移データとのパターンを判定して前記補償回路の利得を増加または減少させるかの利得を決定し、前記利得集計回路は前記複数の利得判定回路の結果を集計する。

40

【0035】

さらに好ましくは、前記利得集計回路は、連続する3ビットのアイパターンの中央で取り込んだ第1の値と、第2の値と第2と第3の遷移領域の値と第3の値が「0001、0100、1011及び1110」の場合は、前記補償回路の利得が不足していると判断しその利得を増大させる信号を出力し、連続する3ビットのアイパターン中央で取り込んだ第1の値と第2の値と、第2と第3の遷移領域の値と第3の値が「0011、0110、1001及び1100」の場合は、前記補償回路の利得が過剰であると判断し利得を減少させる信号を出力する。

また好ましくは、前記利得集計回路は、連続する2ビットのアイパターンの中央で取り込んだ第1の値と、第1と第2の遷移領域の値と第2の値が「001」または「110」

50

の場合は、前記電圧制御型発振回路の位相が進んでいると判断して前記電圧制御型発振回路の位相を遅らせる信号を出力し、連続する2ビットのアイパターンの中央で取り込んだ第1の値と、第1と第2の遷移領域の値と第2の値が「011」または「100」の場合は、前記電圧制御型発振回路の位相が遅れていると判断して前記電圧制御型発振回路の位相を進める信号を出力する。

また好ましくは、前記利得集計回路は、前記電圧制御型発振回路の周波数と位相を前記伝送路を伝送されたシリアルデータに同期させ、遷移領域で前記データ保持回路に取り込んだ値が「0」の場合は、前記補償回路のオフセットが負であると判断しオフセットをキャンセルする信号を出力し、遷移領域で前記データ保持回路に取り込んだ値が「1」の場合は、前記補償回路のオフセットが正であると判断しオフセットをキャンセルする信号を出力する。

10

#### 【0036】

本発明によれば、伝送路を伝送されたシリアル2値データの劣化特性を補償可能な利得・周波数特性を有し、利得が制御可能な補償回路と、上記利得制御回路とを有する、シリアルデータ受信機が提供される。

#### 【0037】

また本発明によれば、伝送路を伝送されたシリアル2値データの劣化特性を補償可能な利得・周波数特性を有し、利得が制御可能な補償回路と、前記伝送路と同等の第2伝送路を伝送された基準クロックを受信して補償する第2補償回路と、上記利得制御回路とを有する、シリアルデータ受信機が提供される。

20

#### 【0038】

また本発明によれば、上記利得制御回路を制御する方法が提供される。

#### 【発明の効果】

#### 【0039】

本発明によれば、伝送路の劣化を適切に補償することが可能な利得制御回路および利得制御方法を提供できる。さらに、本発明はこの利得制御回路を適用したシリアルデータ受信機を提供することができる。

#### 【0040】

または本発明によれば、伝送路の劣化を適切に補償することに加えて、伝送路の劣化を補償する、補償回路を含む利得制御回路の前段の回路のオフセットを補正することが可能な利得制御回路および利得制御方法を提供できる。さらに、本発明はこの利得制御回路を適用したシリアルデータ受信機を提供することができる。

30

#### 【発明を実施するための最良の形態】

#### 【0041】

##### 第1実施の形態

本発明のシリアルデータ受信機およびこのシリアルデータ受信機に用いる自動利得制御回路およびその方法についての第1実施の形態を図6を参照して述べる。

図6において、シリアルデータ受信機は、ハイパスフィルタ(HPF)回路3Aと、自動利得制御(AGC)回路5Aとを有する。

HPF回路3Aは、差動型利得調整可能なハイパスフィルタであり、差動シリアルデータを伝送する1対の伝送路2A、2Bに接続されている。伝送路2A、2Bの受信端には終端抵抗4A、4Bが接続されている。

40

AGC回路5Aは、コンパレータ51と、4個並列に設けられた遅延型フリップフロップ(D型FF)52a、52b、52x、52cと、論理回路53Aと、デジタル・アナログ(DA)変換器54とを有する。

AGC回路5Aはさらに、チャージポンプ回路55と、ループフィルタ56と、電圧制御型発振器(VCO)57とを有する。

#### 【0042】

なお、D型FF52a、52b、52x、52cに代えて、ラッチド・コンパレータを用いることができる。

50

コンパレータ51はHPF回路3の後段にはD型FF52a、52b、52x、52cやラッチド・コンパレータの入力感度を補ったり、相対的なばらつきの効果を抑制するために挿入したものであるため、それらの必要がなければ省略することもできる。

#### 【0043】

コンパレータ51は、HPF回路3Aから出力されるシリアルデジタルを順次、2値化してデータDとして出力する、2値識別回路として機能する。

4個のD型FF52a、52b、52x、52cはそれぞれ、クロックCKa、CKb、CKx、CKcの印加タイミングに応じて2値化データDを取り込む（保持する）。すなわち、D型FF52a、52b、52x、52cまたはラッチド・コンパレータは、コンパレータ51の出力データを位相（タイミング）の異なるクロックCKa、CKb、CKx、CKcに応じて保持する（取り込む）ことが可能な回路として機能する。

論理回路53Aは、4個のD型FF52a、52b、52x、52cの出力（取り込んだ値）Qa、Qb、Qx、Qcの、たとえば、立ち上がり状態を判定して、HPF回路3Aの利得を変化させる利得制御信号D-AGCを生成する。

DA変換器54は、論理回路53Aで生成したデジタルの利得制御信号D-AGCをアナログ信号S-AGCに変換してHPF回路3Aに出力する。

HPF回路3Aは利得制御信号S-AGCの応じてその利得を制御する。

AGC回路5Aは、HPF回路3Aの利得を適切に制御するための利得制御信号S-AGCを生成する。

#### 【0044】

##### ハイパスフィルタ

図7は、HPF回路3Aとして差動型利得制御型HPF回路を図解した図である。

図7に例示したHPF回路3Aは、差動型利得制御型HPFであり、差動増幅回路31と、利得可変ハイパスフィルタ回路32とを有する。

差動増幅回路31は、差動対増幅回路として構成された1対のトランジスタTR1、TR2と、トランジスタTR1、TR2の電流源I1、I2と、3個の抵抗素子R1~R3とで構成されている。

利得可変ハイパスフィルタ回路32は、トランジスタTR3とTR5とが直列に接続された第1のトランジスタ列と、トランジスタTR4とTR6とが直列に接続された第2のトランジスタ列と、ノードN1、N2との間に接続されたハイパスフィルタとして機能するキャパシタC1とを有する。

差動増幅回路31は、トランジスタTR1、TR2のゲートに印加された伝送路2A、2Bから入力されたシリアルデータの差動入力信号を増幅して、ハイパスフィルタ回路32に出力する。

ハイパスフィルタ回路32のトランジスタTR3とTR4のゲートに伝送路2A、2Bから入力されたシリアルデータの差動入力信号が印加されている。トランジスタTR5、TR6のゲートには、AGC回路5Aから出力された利得制御信号S-AGCが印加されており、HPF回路3Aの出力端子としてのトランジスタTR3とTR4のドレインから利得制御信号S-AGCに応じて電圧、すなわち、差動入力信号の振幅を制御した差動出力が出力される。

#### 【0045】

キャパシタC1を含むHPF回路3Aは、伝送路2A、2Bの劣化特性を補償する利得・周波数特性を有している。

しかしながら、伝送路2A、2Bの特性は状況に応じて種々変化し、HPF回路3Aの出力は、図2(A)または図2(C)に例示したアイパターンになることがある。そこで、AGC回路5Aで生成した利得制御信号S-AGCによってHPF回路3Aの利得を調整していく。

#### 【0046】

図6に図解した、コンパレータ51の出力を取り込む（保持する）4個のD型FF52a、52b、52x、52cと、論理回路53Aと、チャージポンプ回路55と、ループ

10

20

30

40

50

フィルタ56と、VCO57とは、位同期(PLL:PhaseLocked Loop)回路を形成している。ただし、チャージポンプ回路55は、PLLの構成には必須ではない。

【0047】

PLL回路の動作を簡単に述べる。

4個のD型FF52a、52b、52x、52cは一種の位相比較回路として機能する。

D型FF52a、52b、52x、52cは、コンパレータ51の出力をそれぞれのクロックCKa、CKb、CKx、CKcで保持したとき(取り込んだとき)、コンパレータ51の出力とクロックCKa、CKb、CKx、CKcとの位相差に応じたタイミングでデータQa、Qb、Qx、Qcを保持していることを意味している。

論理回路53Aは、取り込んだデータQa、Qb、Qx、Qcの値から判定されたクロックとコンパレータ51からのデータ出力の位相差に応じて電圧信号を出力する。

ループフィルタ56はローパスフィルタであり、低周波成分、すなわち、直流成分を通過させてVCO57に印加する。

電圧制御型発振器であるVCO57は入力された電圧に応じた周波数の信号を発生する。すなわち、VCO57はクロックCKa、CKb、CKc、CKxをコンパレータ51の出力と相対的な位相差を保たせながら周波数可変で発生する。VCO57で発生された信号がクロックCKa、CKb、CKx、CKcとしてD型FF52a、52b、52x、52cに印加されて、データの取り込みに使用される。

以上の動作を繰り返すと、コンパレータ51の出力とクロックCKa、CKb、CKx、CKcとが位相差のない状態、すなわち、同期状態に引き込まれる。

【0048】

たとえば、伝送路2Aにおける劣化によりクロックCKbとCKcの間にデータ遷移にあった場合、AGC回路5AのAGC機能が安定しているなら、論理回路53Aにおいて、クロックCKxでD型FF52xが取り込んだデータ値Qxと、クロックCKb、CKcでD型FF52b、52cで取り込んだデータ値Qb、Qcの不一致を検出するとクロックとデータの位相差を判別することができる。

もし、データ値Qxがデータ値Qbと不一致ならばデータの遷移はクロックCKxより前にあったことになる。他方、データ値Qcと不一致ならばデータ遷移はクロックCKxより後にあったことになる。

これは、いわゆる、Bang-Bang型位相比較器なので、図6に図解したAGC回路5Aは、コンパレータ51の出力から抽出したデータパルスとクロックの位相情報をフィードバックして、クロックCKa、CKb、CKc、CKxを再生する、クロック・リカバリPLL回路を構成している。

【0049】

以上、AGC回路5Bの動作説明を簡単にするために、4相のクロックCKa、CKb、CKx、CKcについて述べた。すなわち、4相のクロックCKa、CKb、CKcで4個のD型FF52a、52b、52cで取り込んだ3連続データQa、Qb、Qcの遷移パターンと、クロックCKxでD型FF52xで取り込んだデータ値QxでHPF3Aの利得の過不足を、論理回路53Aにおいて判定する例を述べた。

【0050】

本実施の形態においては、たとえば、図8に示す、6相クロックを使って6個並列に設けたD型FF(図示せず)でHPF回路3Aからの出力を取り込むこともできる。

この場合、クロックCKcとCKaの中間クロックCyで取り込んだデータ値Qy、クロックCKaとCKbの中間クロックCzで取り込んだデータ値Qzを用いてデータ値Qb、Qc、Qaの遷移パターンとデータ値Qyの組み合わせと、データ値Qc、Qa、Qbの遷移パターンと値Qzの組み合わせでも上記同様に、論理回路53AにおいてHPF回路3Aの利得の過不足を判定することができる。これらを併用することで判定の機会が増えてAGC回路5Aの応答を高速な応答にすることができる。

【0051】

10

20

30

40

50

以上、3相のリタイミングクロックと3相の中間クロックでA G C回路5 Aを構成する例を示した。

同様に4相のリタイミングクロックと4相の中間クロックによる構成、あるいは、5相のリタイミングクロックと5相の中間クロックによる構成なども可能である。

#### 【0052】

クロックを自由に多相化できるのと同様、単相クロックと1個のD型F FによってA G Cを構成することもできる。

図9に図解したように、クロックがデータのアイパターンのセンターと遷移領域に交互に位置するようにクロックのタイミングを調整しておけば、複数並列に設けられるD型F Fが次々に取り込む値を論理回路内で記憶しておいて同様の判定処理をすることができ

10

#### 【0053】

以上、第1実施の形態によれば、V C O 5 7を含むP L L回路において、伝送路3の劣化状態に起因して劣化している受信データとの位相同期がとれたクロック、たとえば、4相クロックC K a、C K b、C K x、C K cを用いており、正確な利得制御信号S - A G Cを生成することができる。その結果、H P F回路3 Aの利得を正確に制御することが可能となる。

#### 【0054】

##### 第2実施の形態

図10に図解したA G C回路5 Bを参照して本発明の第2実施の形態を述べる。

20

第2実施の形態のA G C回路5 Bは、H P F回路3の利得制御に加えて、オフセット補正を行うA G C回路である。

本実施の形態においては、差動型利得制御型ではないH P F回路3を用いている。

A G C回路5 Bは、第1実施の形態のA G C回路5 Aの回路構成に、加算回路5 8と、第2 D A変換器5 9を付加し、図6に図解した論理回路5 3 Aに代えて論理回路5 3 Bを設けている。

論理回路5 3 Bは、論理回路5 3 Aと同様、利得制御信号D - A G Cを生成する他、オフセット補正信号D - O Cを生成する。

その他の回路構成は、基本的に、第1実施の形態のA G C回路5 Aと同様である。

#### 【0055】

30

V C O 5 7 BとD型F F 5 2 Bについて述べる。

たとえば、V C O 5 7 Bで4相のクロックC K a、C K b、C K x、C K cを生成させて4個並列に設けられたD型F F 5 2 Bによってコンパレータ5 1の出力を取り込むことができる。また、V C O 5 7 Bから6相クロックを発生させて6個並列に設けられたD型F F 5 2 Bでコンパレータ5 1の出力を取り込むこともできる。さらに、4相のリタイミングクロックと4相の中間クロックによる構成、あるいは、5相のリタイミングクロックと5相の中間クロックによる構成なども可能である。クロックを自由に多相化できるのと同様、単相クロックと1個のD型F FによってA G C 5 Bを構成することもできる。

#### 【0056】

第1実施の形態の改善事項について考察する。

40

図6を参照して述べた第1実施の形態のP L L回路を含むA G C回路5 Aでは、H P F回路3 Aおよびその後位置するコンパレータ5 1のオフセットに正常な動作を阻害される可能性がある。たとえば、オフセットによりH P F回路3 Aもしくはコンパレータ5 1の出力が「1」に偏る傾向があった場合、コンパレータ5 1の出力の遷移において「0」から「1」に立ち上がる遷移は早い時刻に分布し、データ「1」からデータ「0」に立ち下がる遷移は遅い時刻に分布するようになる。第1実施の形態のA G C回路5 A内のP L L回路はこの2つの分布の平均時刻にリタイミング・クロックを同期させる。その結果、そのクロックで取り込まれる遷移領域の取り込み結果はほとんどが「1」になってしまい、論理回路5 3 AにおいてH P F回路3 Aの利得が適正であるか否かの判定ができなくなる可能性がある。

50

【 0 0 5 7 】

第 2 実施の形態の A G C 回路 5 B は上記不具合を改善する。

A G C 回路がすべてのデータの遷移を漏れなく検出する中間クロックによって動作する D 型 F F を持つならば、中間（遷移）クロックが取り込んだ値はオフセットがないときには「 0 」と「 1 」の個数の累計は等しくなるはずである。累計に偏りが出るのは H P F 回路 3 とコンパレータ 5 1 にオフセットがあるためである。

本実施の形態においては、A G C 回路 5 B により「 0 」と「 1 」の累計からオフセット制御（補正）量を演算してオフセット補正信号 D - O C を生成し、その信号 D - O C を第 2 D A 変換器 5 9 でアナログ信号 S - O C にしてコンパレータ 5 1 の前段に設けた加算回路 5 8 にフィードバックする。これにより、H P F 回路 3 などのアナログ回路のオフセットをキャンセルすることができる。

10

【 0 0 5 8 】

図 1 0 に図解した論理回路 5 3 B における自動利得制御（A G C）、位相同期（P L L）、オフセットキャンセル（O C）の各フィードバック制御に用いる H P F 回路の利得判定、V C O の位相判定、オフセットの判定は、表 2 の真理値表に基づく。

【 0 0 5 9 】

【表 2】



20

				AGC	PLL	OC
A	B	X	C	HPF利得判定	VCO位相判定	オフセット判定
0	0	0	0	判定不可	判定不可	負
		1				正
0	0	0	1	不足	進み	負
		1		過剰	遅れ	正
0	1	0	0	不足	遅れ	負
		1		過剰	進み	正
0	1	0	1	判定不可	判定不可	負
		1				正
1	0	0	0	判定不可	判定不可	負
		1				正
1	0	0	1	過剰	進み	負
		1		不足	遅れ	正
1	1	0	0	過剰	遅れ	負
		1		不足	進み	正
1	1	0	1	判定不可	判定不可	負
		1				正

30

40

判定は A によらない      判定は X のみによる

【 0 0 6 0 】

加算回路 5 8 は、H P F 回路 3 で伝送路 2 A の劣化が補償されたデータのオフセットを、第 2 D A 変換器 5 9 を経由して A G C 回路 5 B から出力されたオフセット補正信号 S - O C を加算して、H P F 回路 3 の出力信号のオフセットを補正する。

50

## 【 0 0 6 1 】

第 1 D A 変換器 5 4 を経由して A G C 回路 5 B から出力された利得調整信号 S - A G C によって H P F 回路 3 の利得を制御することは、図 4 および図 6 を参照して述べたことと同じである。

## 【 0 0 6 2 】

図 1 1 は図 1 0 の A G C 回路 5 B に好適な、V C O 5 7 B としての、クロック発生回路 6 の回路構成の 1 例を示す図である。

クロック発生回路 6 は、2 組の 3 段インバータリング 6 1、6 2、6 3 から成り立っており、図中上半分のリング発振回路 6 A からクロック C K a、C K b、C K c を得る。図中、上半分のリング発振回路 6 A と下半分のリング発振回路 6 B は駆動力の弱いクロスカ  
10  
ップル・インバータ 6 C で連結されていて同じ周波数で位相が反転した状態で発振している。

図 1 2 はクロック発生回路 6 の動作の様子を示すタイミングチャートである。遷移（中間）クロック C K x はクロック発生回路 6 の下半分のリング発振回路 6 B から得られる。

クロック発生回路 6 によれば時間的に等間隔のリタイミングクロック C K a、C K b、C K c と、クロック C K b と C K c の中間クロックである遷移クロック C K x が得られる。

なお、図 1 1 のクロック発生回路 6 の構成ではインバータは電流制御型になっており、制御入力によって電流を調整することで発振周波数を設定することが可能な V C O 5 7 B  
20  
として機能する。

## 【 0 0 6 3 】

第 3 実施の形態

図 1 3、図 1 4 を参照して本発明の第 3 実施の形態について述べる。

ケーブルデータ通信の中にはクロックそのものを伝送せず、データの伝送だけで広い範囲の伝送レートに自律的に対応することが要求される通信システムがある。

たとえば、特許文献 1（特許第 3596196 号）に記載されている G V I F を例示すると、受信機の初期化および受信の異常を検出した時に送信機へ参照クロック送信を要求して送られてきた参照クロックで V C O を伝送レートに引き込むシーケンス・マシンが組み込まれている。

## 【 0 0 6 4 】

イコライザ（等化器）を搭載する受信機では、参照クロックの受信時にハイパスフィルタ回路の利得をケーブルの減衰に見合う適正状態に合わせこんでしまうことが望ましい。しかしながら、G V I F で用いるような参照クロックはパルスデータの並びで見ると、データ列は「1 1 0 0 1 1 0 0 ...」であり、A G C 回路 5 が利得を判定するのに必要な「0 1 0」というデータ遷移が存在しない。

## 【 0 0 6 5 】

図 1 3 に示すように、参照クロックによる V C O の同期引き込み機構を A G C 回路 5 に適応するには、参照クロックを、「1 0 1 0」という遷移と長い「1」の連続（データ列）と、「0」の連続（データ列）を組み合わせたパルス列にすればよい。

図 1 4 の A G C 回路 5 C の回路例ではこのパルス列は 1 2 ビット長の繰返し周期を持ち、位相周波数決定（P F D）回路 7 1 の前置 N 分周器 7 2、7 3 を 2 分周器を用いて構成すれば P F D 回路 7 1 には 1 2 ビット周期のクロックが入力される。

V C O 5 7 C の発振は 3 ビット周期であることから前置 N 分周器 7 2、7 3 を 4 分周器とすれば P F D 回路 7 1 にはやはり 1 2 ビット周期のクロックが入力されることになり、P F D 回路 7 1 によって位相と周波数の比較を行って V C O 5 7 C を 3 ビットの周期発振に引き込むことができる。

## 【 0 0 6 6 】

他方、図 1 4 に図解の A G C 回路 5 C の回路構成は、V C O 5 7 C の出力をトリガーとして H P F 回路 3 の出力を取り込むクロック数に応じて複数並列に設けられた D 型 F F 5  
40  
2 C、もしくはラッチド・コンパレータを共有して、H P F 回路 3 の利得の自動調整と V  
50



CO57Cの周波数と位相同期とHPF回路3のオフセットキャンセルを並列に行う受信機の構成を示している。

図14のAGC回路5Cの回路構成ではデータ伝送がシングルエンドで行われているが、差動で行われてもよい。差動の場合でも、AGC、PLL、オフセットキャンセル処理はすべてコンパレータ51で2値化されたシングルエンド信号で行われている。これらの処理ではHPF回路3の出力のパルス遷移パターンとゼロクロス時刻情報だけを用いており、HPF回路3の出力波形の形状や振幅は用いていない。したがって、コンパレータ51でゼロクロスの時刻情報が保存されるならば、コンパレータ51の出力を「0/1」の2値シングルエンド信号に変換してしまってもかまわない。これは回路の単純化や省電力化に向いている。

10

【0067】

#### 第4実施の形態(利得制御)

本発明の第4実施の形態として、たとえば、第2および第3実施の形態における論理回路53B、53Cとして適用する論理回路53Dの回路構成の具体例を述べる。

図15は、6相のクロックCKa、CKb、CKcおよび遷移(中間)クロックCKx、CKy、CKzを使って6個のD型FF52a~52yでHPF回路3の出力をコンパレータ51で2値化した後のデータを取り込んだ場合の論理回路の1例を示す図である。

図16はそのタイミング図である。

【0068】

図15の論理回路53Dは、遅延回路81と、10個並列に設けられたD型FF82と、3個の利得判定回路83~85と、利得集計回路86とを有する。

20

論理回路53Dの前段にコンパレータ51の出力を取り込む(保持する)6個のD型FF52a~52yが設けられている。論理回路53Dの後段にDA変換器54が設けられている。DA変換器54から利得制御信号S-AGCがHPF回路3に出力される。

【0069】

VC057で生成されたクロックCKa、CKb、CKcは、連続する3ビットA、B、Cをリタイミングするクロックでデータのアイパターンの中央に設定される。

VC057で生成されたクロックCKxは、クロックCKbとCKcの中間の遷移クロックで、データBとデータCの間のデータ遷移に重なるクロックである。クロックCKyは、クロックCKcとCKaの中間のクロックで、データCとデータAの間のデータ遷移に重なるクロックである。クロックCKzは、クロックCKaとCKbの中間のクロックで、データAとデータBの間のデータ遷移に重なるクロックである。

30

データ値Qa、Qb、Qcはそれぞれ、クロックCKa、CKb、CKcでD型FF52a~52cに取り込まれたデータであり、データ値Qx、Qy、Qzはそれぞれ、クロックCKx、CKy、CKzでD型FF52x~52zに取り込まれたデータである。

図15に図解した論理回路53Dでは、D型FF52a~52yに取り込まれたデータ値Qa、Qb、Qc、Qx、Qy、Qzは、遅延回路81により遅延されたクロックCKyで取り込まれ、データ値QQa、QQb、QQc、QQx、QQy、QQzとして10個並列に設けられたD型FF82においてデシリアライズされる。データ値QQQb、QQQx、QQQc及び値QQQyは、デシリアライズされたデータ値QQb、QQx、QQc、QQyをクロックCKyにより取り込んだデータである。

40

【0070】

利得判定回路83~85は、それぞれ連続する3ビットのデータと第2と第3の遷移領域のデータが入力となる。

それぞれの利得判定回路83~85は、表2の真理値表に則り利得が不足の場合にはアップ(UP)信号を、利得が過剰の場合にはダウン(DN)信号をアサートする。

各利得判定回路83~85から出力されたUP信号またはDN信号は、利得集計回路86で集計され、DA変換器54への入力データ、すなわち、利得制御信号D-AGCを決定する信号となる。

【0071】

50

図17に利得集計回路86における利得最適化の処理フローの一例を示す。

利得集計回路86は、各クロック周期でのUPの総和及びDNの総和を集計し、UPの総和とDNの総和の差(m)を求める。mの累積 mをMとする。

累積Mの値が固定値Kよりも大きくなったら、利得集計回路86は利得が過剰であると判断し、DA変換器54への入力を1ユニット下げる。そして、Mの値を(M-K)とする。または、M=0とする。

累積Mの値が-Kよりも小さくなったら、利得集計回路86は利得が不足であると判断し、DA変換器54への入力を1ユニット上げる。そして、Mの値を(M+K)とする。または、M=0とする。

利得集計回路86における上述した処理を繰り返すことにより、HPF回路3の利得は最適値に定まる。

#### 【0072】

第4実施の形態の論理回路53Dを、上述した種々の論理回路53として、たとえば、図10を参照した述べた論理回路53B、図14を参照して述べた論理回路53Cに適用することができる。

#### 【0073】

##### 第5実施の形態(オフセット補正)

本発明の第5実施の形態として、たとえば、第2および第3実施の形態における論理回路53B、53Cとして適用する論理回路53Eの回路構成の具体例を述べる。

図18は、VCO57から出力される6相クロックを使って6個のD型FF52a~52yでHPF回路3の出力を取り込んだ場合のHPF回路3のオフセットをキャンセルするための論理回路の一例を示す図である。

クロックCKa、CKb、CKcは、連続する3ビットA、B、Cをリタイミングするクロックで、データのアイパターン中央に設定される。

クロックCKxは、クロックCKbとCKcの中間のクロックで、データBとデータCの間のデータ遷移に重なるクロックである。クロックCKyは、クロックCKcとCKaの中間のクロックで、データCとデータAの間のデータ遷移に重なるクロックである。クロックCKzは、クロックCKaとCKbの中間のクロックで、データAとデータBの間のデータ遷移に重なるクロックである。

データ値Qx、Qy、Qzはそれぞれデータの遷移領域に重なるクロックCKx、CKy、CKzでD型FF52a~52yに取り込まれたデータである。

図18の回路例では、データ値Qx、Qy、Qzは、遅延回路81により取り込まれたクロックCKyで取り込まれ、6個並列に設けられたD型FF82Aにおいてデータ値QQx、QQy、QQzとしてデシリアライズされている。

#### 【0074】

オフセット集計回路87は、データの遷移領域の各データを集計する。

図19にオフセット集計回路87が行うオフセットキャンセルの処理フローの一例を示す。

オフセット集計回路87は、各クロック周期でのデータの遷移領域の「1」の個数の総和及び「0」の個数の総和を集計し、「1」の個数の総和と「0」の個数の総和の差(n)を求める。nの累積 nをNとする。

累積Nの値が固定値Jよりも大きくなったら、オフセット集計回路87は、オフセットが正(+ )側になっていると判断し、DA変換器54への入力を1ユニット下げる。そして、N=N-Jとする。または、N=0とする。

累積Nの値が-Jよりも小さくなったら、オフセット集計回路87は、オフセットが負(- )側になっていると判断し、DA変換器54への入力を1ユニット上げる。そして、N=N+Jとする。または、N=0とする。

このオフセット集計回路87がフローの処理を繰り返すことにより、HPF回路3のオフセットをキャンセルすることができる適切なオフセット補正信号S-OCが生成される。オフセット補正信号S-OCは、加算回路58に印加されて、HPF回路3のオフセッ

10

20

30

40

50

トを補正するのに使用される。

【 0 0 7 5 】

変形態様

上述のオフセットキャンセルの例では、オフセット集計回路 8 7 において、データの遷移領域のすべての「 1 」または「 0 」を集計していた。連続する 2 ビットのデータが変化しない場合は、オフセット判定の対象外とすることもできる。

その場合の真理値を表 3 に示す。

【 0 0 7 6 】

【表 3】

10

B	X	C	オフセット判定
0	0	0	判定不可
	1		
0	0	1	負
	1		正
1	0	0	負
	1		正
1	0	1	判定不可
	1		

20

【 0 0 7 7 】

上述した表 2 によるオフセット判定は NRZ データの「 0 」と「 1 」の含有率が統計的に等しいときだけ有効であるが、表 3 に記載した内容にしたがった判定にはその制約が無いという利点がある。

30

【 0 0 7 8 】

第 5 実施の形態の論理回路 5 3 E を、上述した論理回路 5 3 として、たとえば、図 1 0 を参照した述べた論理回路 5 3 B、図 1 4 を参照して述べた論理回路 5 3 C に適用することができる。

【 0 0 7 9 】

第 5 実施の形態によれば、HPF 回路 3 の利得制御に加えて、HPF 回路 3 を含む受信回路のオフセットの影響を受けずに HPF 回路 3 の利得を伝送路 2 の特性を補償するのに最適な利得に自動的に制御する受信機を構成することが可能となる。

40

【 0 0 8 0 】

さらに、本実施の形態で用いる論理回路 5 3 におけるオフセットキャンセル回路は、HPF 回路 3 より後段の回路構成は HPF 回路 3 の出力のデータ遷移時刻の情報を保存することができる 2 値信号で構成される。その結果、アナログフィードバックによるオフセットキャンセルよりも高速伝送に対応する受信機を安価かつ安定に生産できるという利点がある。

【 0 0 8 1 】

第 6 の実施の形態

図 2 0 を参照して、本発明の第 6 実施の形態を述べる。

図 2 0 は基準クロック REF - CLK と NRZ データが減衰特性が同等の伝送線路を介

50

して伝送される場合の応用例を示す。

A G C回路5 Eは、コンパレータ5 1と、4個並列に設けられたD型F F 5 2と、論理回路5 3 Eとを有する。

A G C回路5 Eはさらに、加算回路9 1と、高周波減衰推定回路9 2とを有する。

図2 0においては、図解の簡略化のため、たとえば、図1 0を参照して述べた、チャージポンプ回路5 5、ループフィルタ5 6およびV C O 5 7 Bを含むP L L回路の図解を割愛している。

4個並列に設けられたD型F F 5 2には、上述した実施の形態と同様、図示しないV C O 5 7からのクロックC K a、C K b、C K x、C K cが印加される。

H P F回路3は、第1伝送路2 aを経由して伝送されるシリアルデータを等化する。

10

#### 【0082】

高周波減衰推定回路9 2は、第2伝送路2 bを経由して伝送される基準クロックR E F - C L Kを受信して、第2伝送路2 bにおける基準クロックR E F - C L Kの高周波減衰特性を推定する。

第1伝送路2 aと第2伝送路2 bとは同等の減衰特性を有し、終端抵抗4 aと4 bも同じ値とする。

クロックC L Kは、N R Z周期と同一周期もしくはその整数倍で必ず「0」と「1」の遷移を繰り返すため、基準クロックR E F - C L Kの受信端（受信機）での振幅を観測することによって、伝送路2 bの減衰特性を推定することができる。

なお、特許文献3（特開2005-86379号公報）には、基準クロックの受信端での振幅特性により推定された減衰特性に応じて、N R Z信号の伝送路減衰特性を補償する手法が示されている。

20

#### 【0083】

加算回路9 1は、論理回路5 3 EおよびD A変換器5 4から出力される、上述した利得制御信号と、高周波減衰推定回路9 2から出力される高周波減衰特性推定信号S 9 2とを加算して、H P F回路3に出力する。

このように、第6実施の形態は、基準クロックR E F - C L Kの高周波減衰特性を推定した結果を反映して利得制御信号S - A G Cを生成する。

#### 【0084】

図2 0に図示したA G C回路5 Eでは、基準クロックR E F - C L Kの受信端での振幅特性により推定された減衰特性（高周波減衰特性推定信号S 9 2）をコース（Coarse）値（大まかな値）として、第1伝送路2 aを経由して伝送されるN R Z信号の減衰特性を補償し、さらにN R Z信号の受信波形からファイン（Fine）値（精密値）として伝送路2 aの減衰（劣化）特性を補償する。

30

#### 【0085】

第6実施の形態によれば、基準クロックR E F - C L Kに基づく高周波減衰推定回路9 2の減衰特性の推定結果をH P F回路3の利得制御のコース値として、H P F回路3の利得を迅速に制御し、さらに、論理回路5 3 Eから出力されるN R Z信号の受信波形からH P F回路3の利得を精密に制御することができる。

#### 【0086】

40

#### 第7実施の形態

図2 1を参照して、本発明の第7実施の形態を述べる。

図2 1は第6実施の形態と同様、基準クロックR E F - C L KとN R Zデータが減衰特性が同等の伝送路2 a、2 bを介して信号が伝送される場合の例を示す。

N R Zパルス信号が伝送される伝送路2 aには終端抵抗4 aを介して上述したハイパスフィルタ（H P F）回路3 aが接続されている。

A G C回路5 Fは、図2 0に図解したA G C回路5 Eと同様、H P F回路3 aの後段に設けられたコンパレータ5 1と、4個並列に設けられたD型F F 5 2と、論理回路5 3 Eとを有する。

図2 1においても、図解の簡略化のため、たとえば、図1 0を参照して述べた、チャー

50

ジポンブ回路55、ループフィルタ56およびVCO57を含むPLL回路の図解を割愛している。4個並列に設けられたD型FF52には、上述した実施の形態と同様、VCO57からのクロックCKa、CKb、CKx、CKcが印加される。

【0087】

基準クロックREF-CLKが伝送される伝送路2aと同等の伝送路2bには終端抵抗4bを介してHPF回路3aと同じ特性のHPF回路3bが設けられている。

AGC回路5Fはさらに、加算回路91と、歪み検出回路93と、歪みの数を計数するカウンタ94とを有する。

カウンタ94は基準クロックREF-CLKの歪みの程度を第2利得制御信号D-AGC2として生成する。

第2利得制御信号D-AGC2は上述した実施の形態と同様、HPF回路3bの利得を制御する信号である。

【0088】

DA変換器54aがHPF回路3aに第1利得制御信号S-AGC1を印加し、DA変換器54bがHPF回路3bに第2利得制御信号S-AGC2を印加する。第1利得制御信号S-AGC1は、加算回路91において論理回路53Fで生成した利得制御信号D-AGCに第2利得制御信号D-AGC2を加算した信号である。

【0089】

図21に図解したAGC回路5Fは、基準クロックREF-CLKの波形を利得制御型HPF回路3b、歪み検出回路93、カウンタ94及びDA変換器54bのフィードバックループによって最適にし、そのデジタル補正值をNRZ信号の減衰を補償するコース(粗)値とし、さらに論理回路53FでNRZ信号の受信波形からファイン(精密)値として減衰特性を補償することができる。

【0090】

第7実施の形態によれば、基準クロックREF-CLKの歪みを検出し、それに基づき高周波減衰推定回路92の減衰特性の推定結果をHPF3bの利得制御のコース値として、HPF回路3aの利得を迅速に制御し、さらに、論理回路53Fから出力されるNRZ信号の受信波形からHPF回路3aの利得を精密に制御することができる。

【0091】

本発明の実施に際しては、上述した実施の形態を適宜組み合わせることができる。

たとえば、上述したように、図10を参照して述べたAGC回路5B内の論理回路53Bとして、図15～図17を参照して述べた論理回路53を適用することができるし、図18および図19を参照して述べた論理回路53を適用することができる。

ハイパスフィルタ3は、図7を参照して述べた差動型であってもなくてもよい。

【0092】

また以上述べた本発明に基づく種々の実施の形態によれば、伝送される信号に厳密な振幅に規定が無くてもハイパスフィルタ回路の利得制御が可能であり、常にデータと並送されるクロックも必要ないことから広範囲の送信機に対応した最適な受信ができる。

【0093】

さらに以上述べた本発明に基づく種々の実施の形態によれば、ハイパスフィルタの利得の自動制御には信号の帯域別電力を比較するためのバンドパスフィルタ(BPF)も、電力検出回路も必要としないという、回路構成上の利点がある。換言すれば、回路構成を簡単にできる。

【0094】

上述したハイパスフィルタ回路の利得の自動調整と、PLL回路を構成する電圧制御型発振器(VCO)57の周波数および位相の同期とハイパスフィルタ回路のオフセットキャンセルを並列に行う3重ループを本実施の形態で述べたように制御すると、下記の効果を奏する。すなわち、ハイパスフィルタの利得の自動調整とVCOの周波数および位相の同期とHPFのオフセットキャンセルを時系列で調整することなく、また、シリアルデータを受信しながら同時に最適な受信状態を維持することが可能となる。

10

20

30

40

50

## 【 0 0 9 5 】

本発明の実施に際しては、上述した実施の形態に限定されず、本発明の範囲において、当業者が実施しうる種々の変形態様をとることができる。

## 【 図面の簡単な説明 】

## 【 0 0 9 6 】

【 図 1 】 図 1 はシリアルデータ伝送システムを示す図である。

【 図 2 】 図 2 ( A )、( B )、( C ) は、図 1 におけるハイパスフィルタが利得が不足した場合、適正な場合、過剰な場合の、利得・周波数特性と、再生データの波形を示す図である。

【 図 3 】 図 3 ( A )、( B ) はアイパターンが狭いとき、アイパターンが広すぎたときを示す図である。

10

【 図 4 】 図 4 はハイパスフィルタ回路の利得制御を行う自動利得制御 ( A G C ) 回路の基本構成図である。

【 図 5 】 図 5 ( A )、( B ) は、図 4 の A G C 回路に適用するタイミング・チャートである。

【 図 6 】 図 6 は本発明の第 1 実施の形態としての A G C 回路の構成である。

【 図 7 】 図 7 はハイパスフィルタ回路の詳細回路の 1 例を示す図である。

【 図 8 】 図 8 は図 6 に図示した A G C 回路に適用する 1 例としてのクロックの波形図である。

【 図 9 】 図 8 は図 6 に図示した A G C 回路に適用する他の 1 例としてのクロックの波形図である。

20

【 図 1 0 】 図 1 0 は本発明の第 2 実施の形態としてのハイパスフィルタ回路の自動利得制御および自動オフセット補正を行う A G C 回路の構成である。

【 図 1 1 】 図 1 1 は図 1 0 の A G C 回路に適用するクロック発生回路の構成を示す図である。

【 図 1 2 】 図 1 2 は図 1 0 に図示した A G C 回路に適用する 1 例としてのクロックの波形図である。

【 図 1 3 】 図 1 3 は本発明の第 3 実施の形態に適用する信号波形図である。

【 図 1 4 】 図 1 4 は本発明の第 3 実施の形態としてのハイパスフィルタ回路の自動利得制御および自動オフセット補正を行う A G C 回路の構成である。

30

【 図 1 5 】 図 1 5 は本発明の第 4 実施の形態として上述した複数の実施の形態の A G C 回路内の論理回路の 1 構成例を示す図である。

【 図 1 6 】 図 1 6 は図 1 5 に図解した論理回路に適用する信号波形図である。

【 図 1 7 】 図 1 7 は図 1 5 に図解した論理回路における論理判定処理を示すフローチャートである。

【 図 1 8 】 図 1 8 は本発明の第 5 実施の形態として上述した複数の実施の形態の A G C 回路内の論理回路の他の構成例を示す図である。

【 図 1 9 】 図 1 9 は図 1 8 に図解した論理回路における論理判定処理を示すフローチャートである。

【 図 2 0 】 図 2 0 は本発明の第 6 実施の形態として A G C 回路の主要部の 1 構成例を示す図である。

40

【 図 2 1 】 図 2 1 は本発明の第 7 実施の形態として A G C 回路の主要部の他の構成例を示す図である。

## 【 符号の説明 】

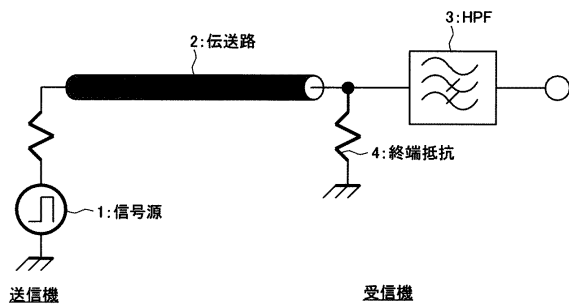
## 【 0 0 9 7 】

1 ... 送信機における信号源、2 ... 伝送路、3 ... ハイパスフィルタ回路、4 ... 終端抵抗、5 ... 自動利得制御 ( A G C ) 回路、5 1 ... コンパレータ ( 2 値識別回路 )、5 2 ... 遅延型フリップフロップ ( D 型 F F )、5 3 ... 論理回路、5 4 ... D A 変換器、5 5 ... チャージポンプ回路、5 6 ... ループフィルタ、5 7 ... 電圧制御型発振器 ( V C O )、5 8 ... 加算回路、5 9 ... D A 変換器、7 1 ... 位相・周波数検出回路 ( P F D )、7 2 ~ 7 3 ... 分周回路

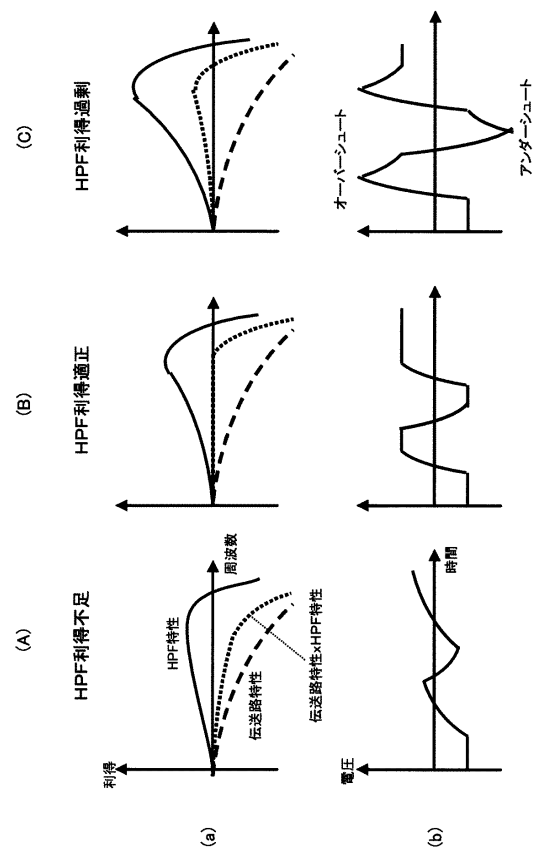
50

、74...チャージポンプ回路、81...遅延回路、82A...D型FF、83~85...利得判定回路、86...利得集計回路、87...オフセット集計回路、91...加算回路、92...高周波減衰推定回路、93...歪み検出回路、94...カウンター、5、5A、5E、5F...自動利得制御(AGC)回路、5B、5C...自動利得およびオフセット制御回路、S-AGC...利得制御信号、S-OC...オフセット補正信号

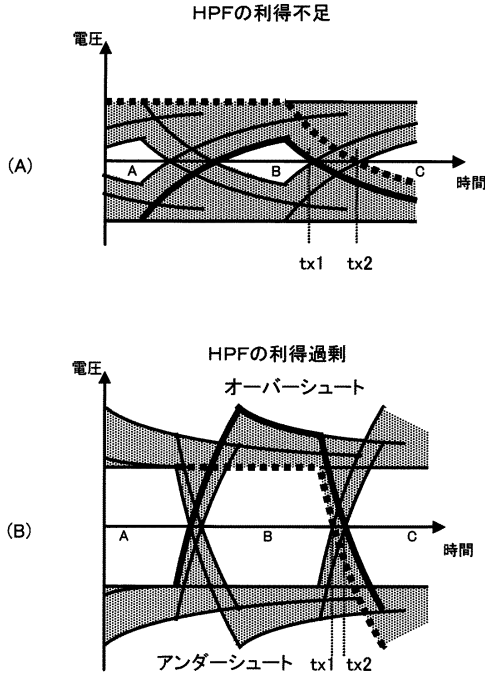
【図1】



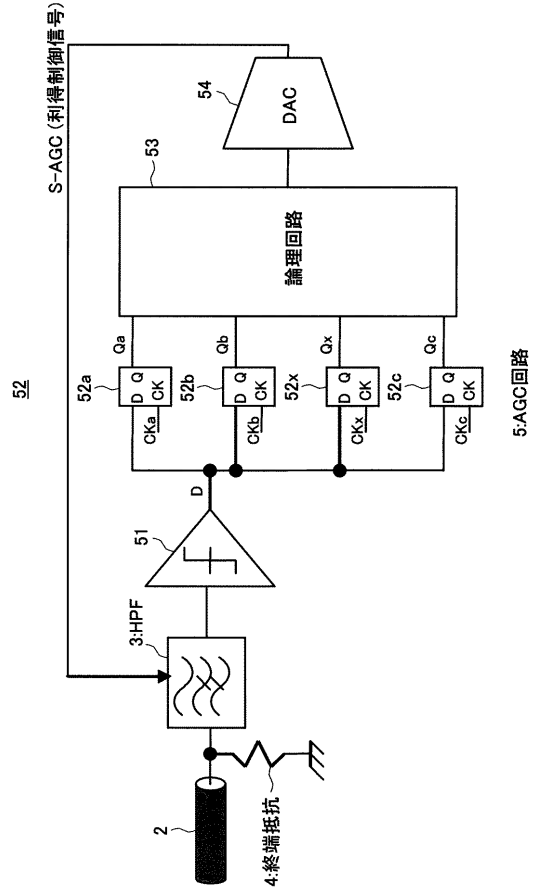
【図2】



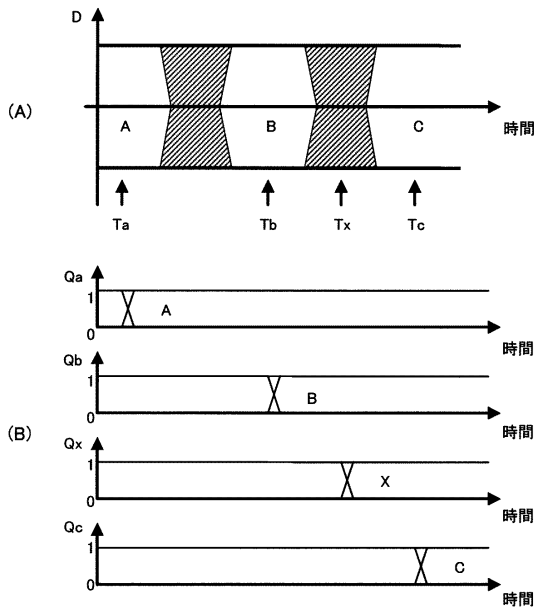
【図3】



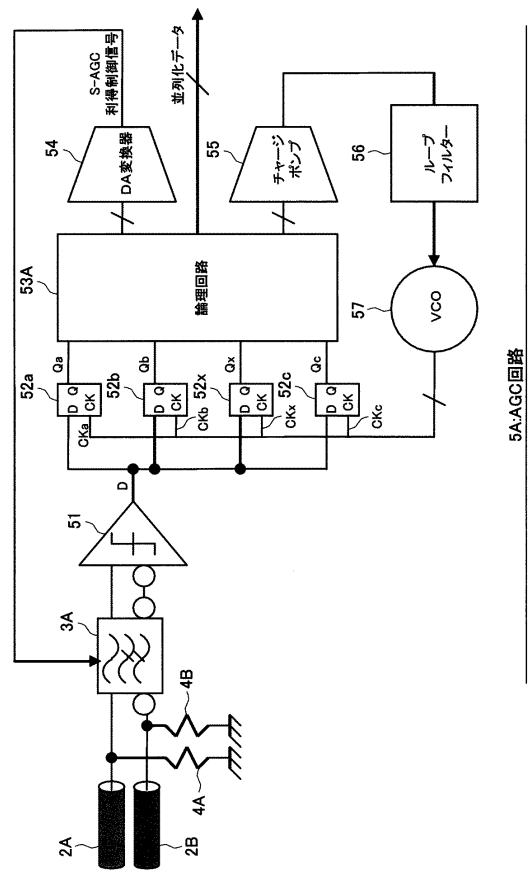
【図4】



【図5】

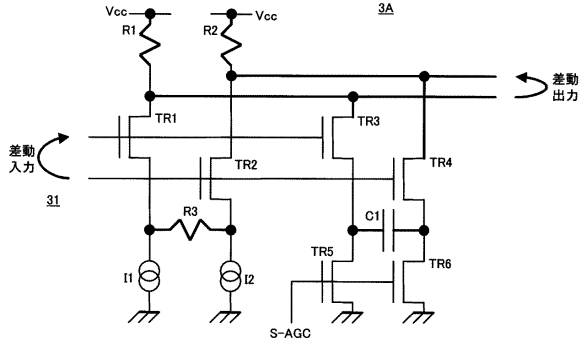


【図6】

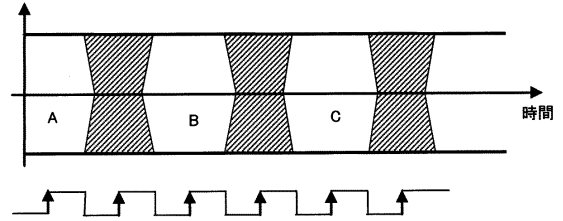




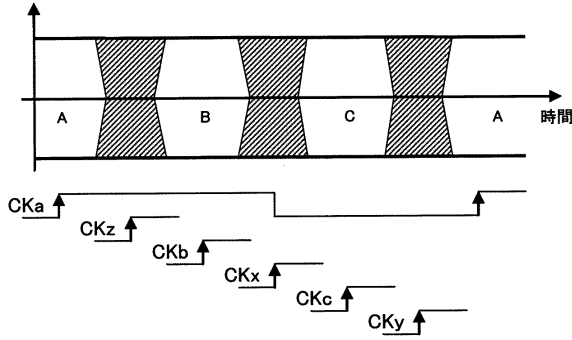
【図7】



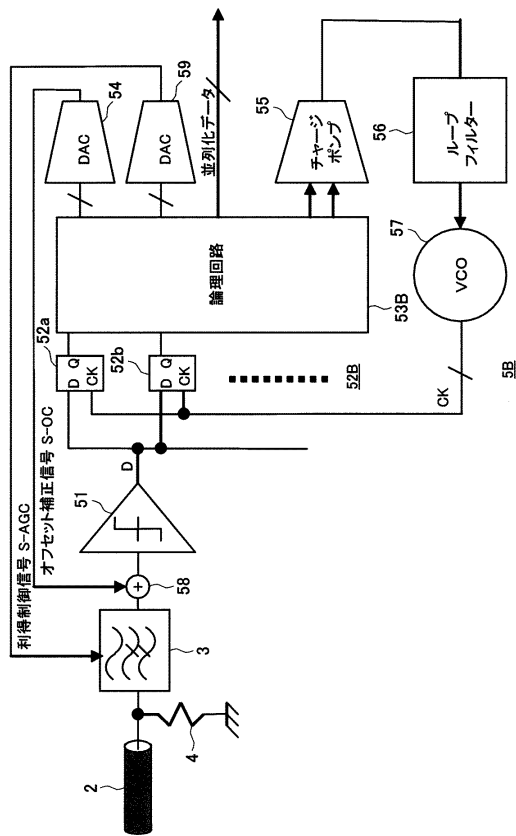
【図9】



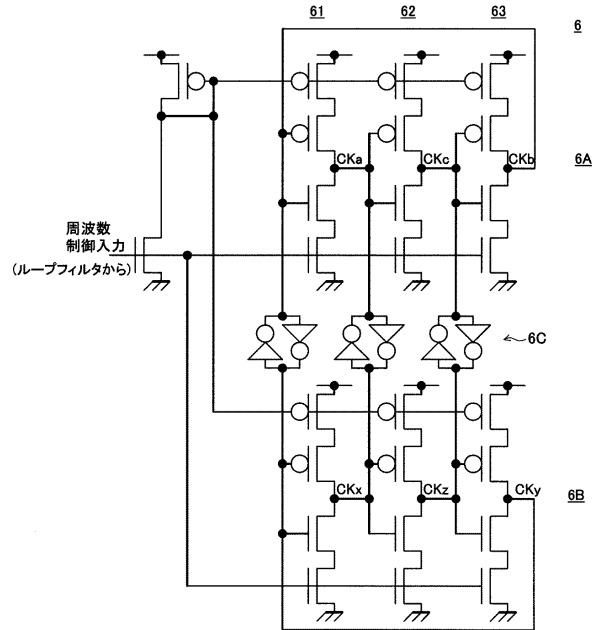
【図8】



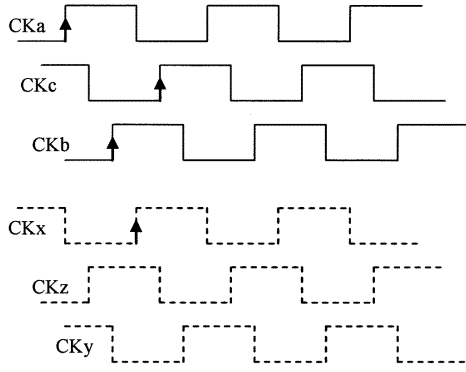
【図10】



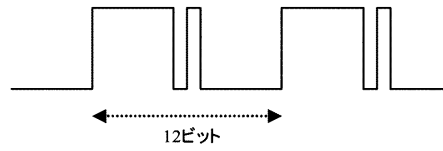
【図11】



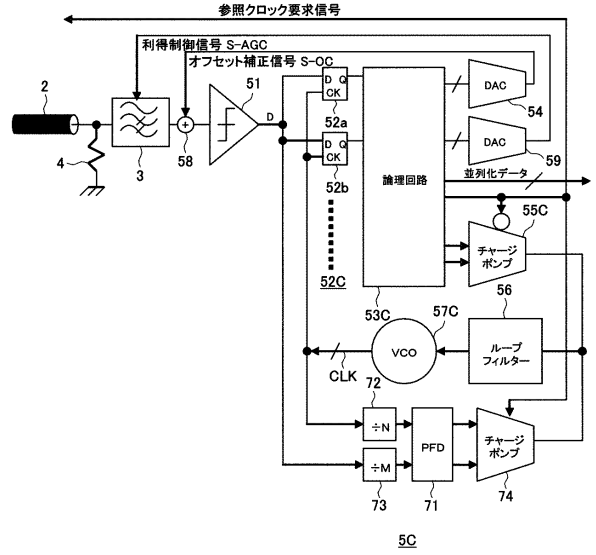
【図12】



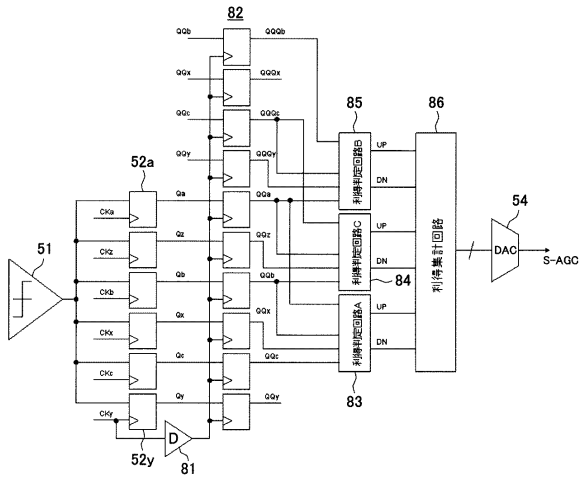
【図13】



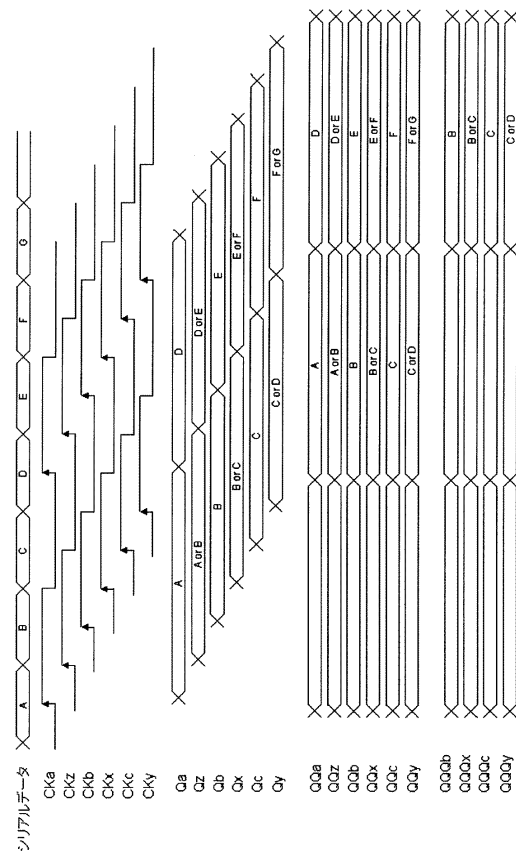
【図14】



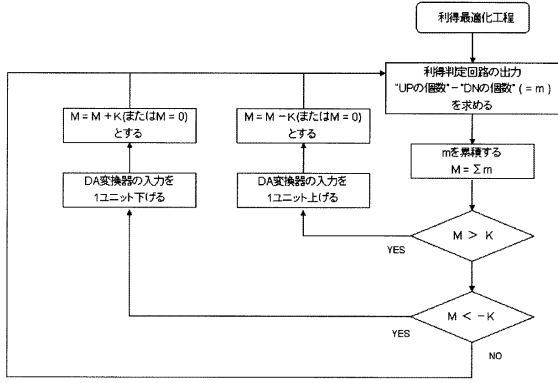
【図15】



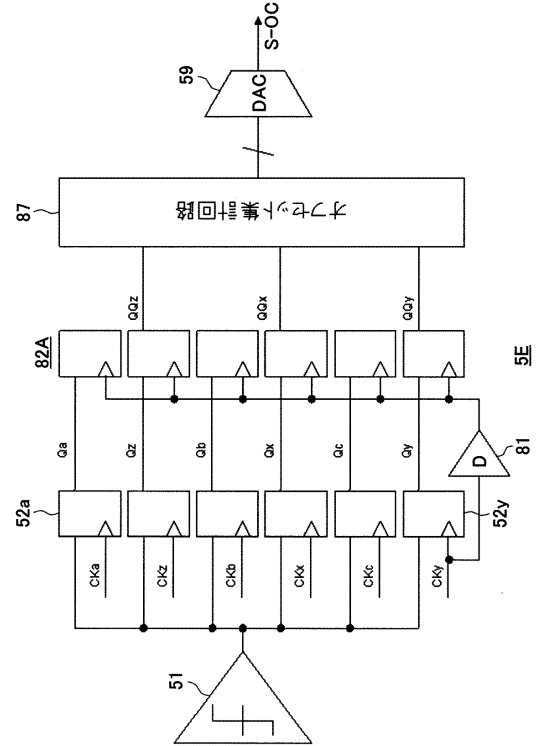
【図16】



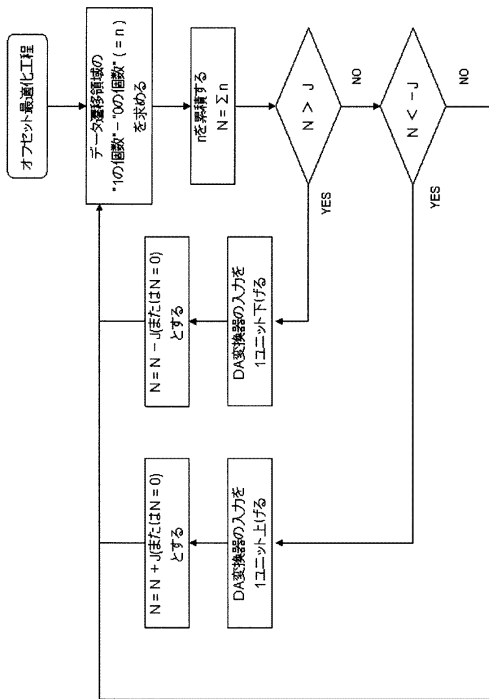
【図17】



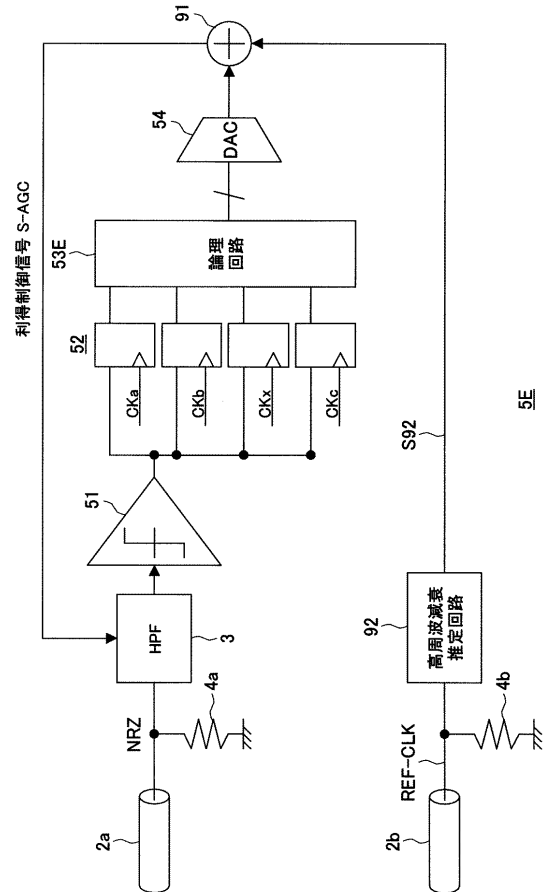
【図18】



【図19】



【図20】





---

フロントページの続き

- (56)参考文献 特開2009-118186(JP,A)  
特開2007-151044(JP,A)  
国際公開第2007/034366(WO,A1)  
特開2004-260352(JP,A)  
国際公開第2008/044406(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04L 25/03  
H04B 1/16  
H04L 7/033