

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/092 (2006.01)

H01L 27/02 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610076090.8

[43] 公开日 2006年11月1日

[11] 公开号 CN 1855496A

[22] 申请日 2004.6.16

[21] 申请号 200610076090.8

分案原申请号 200410048162.9

[30] 优先权

[32] 2003.6.17 [33] JP [31] 172239/2003

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 伊藤贵之

[74] 专利代理机构 北京市中咨律师事务所

代理人 陈海红 段承恩

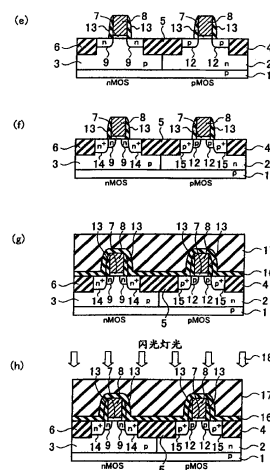
权利要求书 1 页 说明书 18 页 附图 16 页

[54] 发明名称

半导体器件

[57] 摘要

本发明提供半导体衬底上不发生滑移和缺陷，而可以形成浅pn结的半导体器件。硅衬底上形成元件区域和元件隔离区域，元件区域上形成栅绝缘膜和栅电极。以栅电极为掩模，形成注入源漏杂质的源漏杂质区域。进行不让源漏杂质扩散，恢复源漏杂质区域晶体性的热处理。在元件隔离区域、硅衬底和栅电极上形成层间绝缘膜。介以层间绝缘膜对硅衬底照射层间绝缘膜不吸收而由硅衬底吸收的光加热硅衬底，不让源漏杂质扩散，但激活源漏杂质。



1. 一种半导体器件，特征在于包括：

具有多个元件区域的硅衬底；

设于所述硅衬底表面，隔离所述元件区域的元件隔离区域；

设于所述元件区域的所述硅衬底上的栅绝缘膜；

设于所述栅绝缘膜上的栅电极；

具有设于包括所述硅衬底表面的所述元件区域，与所述元件区域的导电型不同的导电型的源漏杂质区域；

设于所述栅绝缘膜下方的碳化硅层或氮化硅层。

2. 按照权利要求1所述的半导体器件，其特征是具有设于包括所述硅衬底表面的所述元件区域，设于所述栅电极下方，接连于所述源漏杂质区域，并具有与所述源漏杂质区域的导电型相同导电型的扩散杂质区域。

3. 按照权利要求1或2所述的半导体器件，其特征是所述碳化硅层或所述氮化硅层设置在所述源漏杂质区域的下方。

4. 按照权利要求1所述的半导体器件，其特征是所述碳化硅层或所述氮化硅层设置在所述元件隔离区域之下或下方。

5. 按照权利要求1所述的半导体器件，其特征是所述碳化硅层或所述氮化硅层设置在所述硅衬底的所述表面到背面，该设置是从所述背面开始的。

6. 按照权利要求1所述的半导体器件，其特征是所述碳化硅层或所述氮化硅层设置在相对所硅衬底的所述表面的背面之上或附近。

半导体器件

技术领域

本发明是关于以高辉度光源热处理后的半导体器件。

背景技术

作为半导体器件的大规模集成电路(LSI)的性能提高就是提高集成度,即随着构成半导体器件的元件微细化而能实现。为此,不断增进LSI大规模化,元件微细化。而且,为了使元件微细化,需要在距半导体衬底表面20nm以下左右的浅处,形成pn结。随着元件被微细化而形成更浅的pn结将困难起来。

为了形成浅pn结,就要形成浅的杂质扩散区域。作为形成浅杂质扩散区域的方法,首先,要以低加速能量,对半导体衬底离子注入杂质,并热处理半导体衬底。但是,就杂质的p型掺杂剂硼(B)、n型掺杂剂磷(P)、砷(As)的离子注入来说,半导体衬底硅(Si)中的扩散系数较大,因而用卤素灯快速热退火(RTA: Rapid Thermal Anneal)处理,杂质向半导体衬底的内部和往外面扩散,就不可能在半导体衬底上形成有高浓度杂质的浅的杂质扩散区域。另一方面,应该抑制杂质的扩散,降低RTA处理中的热理温度的话,激活高浓度杂质就没有指望了。这样,在半导体衬底上形成使高浓度杂质激活并有低电阻的浅杂质扩散区域是困难的。

最近,为了解决这个困难,以瞬时给激活杂质供给必要的热能为目的,研讨用氙(Xe)闪光灯的闪光灯退火法。氙闪光灯是有管内装入氙气的石英管,通过管内瞬时使电容器等所存贮的电荷放电,可在例如数100 μ s~数100ms时间范围内,发出高辉度的白光。该白光被半导体衬底吸收,使半导体衬底瞬间发热,能瞬时得到对杂质的激活必要的热能。因此,不会使

半导体衬底中注入的杂质浓度分布变化，但能激活高浓度杂质。

氙闪光灯因放电而发光，因而照射面积宽广，瞬时照射整个半导体衬底的整个面，能够一并热处理半导体衬底。使整个半导体衬底高速升温降温，因而认为对半导体衬底产生很大的热应力。而且，元件由有凹凸的微细图形的不同材料构成，因而，对半导体衬底照射高辉度白光的话，因元件的不同材料折射率不同，高辉度白光折射，在半导体衬底内进行相干，高辉度白光局部性集中，形成局部性温度高的发热点(热点)。可以认为由于元件的不同材料的加热效率、比热、热传导率、热膨胀率不同，而在不同材料间产生热应力。由于这些情况，半导体衬底上发生滑移和缺陷等的衬底损伤，担心降低半导体器件的生产成品率。

为了降低对半导体衬底发生的热应力，抑制热点的发生，如降低高辉度白光照射前的半导体衬底的衬底预热温度或氙闪光灯照射能量的话，就无法期待充分激活杂质。

在半导体器件的制造方法方面，已经公开层间绝缘膜表面形成光吸收膜的技术。因为层间绝缘膜表面形成的光吸收膜发热，因而可以认为热点很难发生，然而并不是半导体衬底本身发热，进行半导体衬底有效的瞬间升温是困难的(例如，参照专利文献1。)。

[专利文献 1]

特开 2000-183177 号公报 (第 1 图)

发明内容

本发明鉴于上述情况而做出发明，其目的在于提供半导体衬底上无滑移和缺陷，具有浅 pn 结的半导体器件。

本发明的特征在于，具有：有多个元件区域的硅衬底；设于该硅衬底表面，隔离元件区域的元件隔离区域；设于该元件区域的硅衬底上的栅绝缘膜；设于该栅绝缘膜上的栅电极；具有设于包括硅衬底表面的元件区域，与元件区域的导电型不同的源漏杂质区域；以及设于栅绝缘膜下方的碳化硅层或有氮化硅层的半导体器件。

附图说明

图 1 是有关第 1 实施例半导体器件的制造中途的剖面图 (之 1) 。

图 2 是有关第 1 实施例半导体器件的制造中途的剖面图 (之 2) 。

图 3 是表示有关第 1 实施例半导体器件的制造方法的,用于源漏扩散层的离子注入后恢复晶体性和抑制再扩散的,使用卤素灯的 RTA 处理温度与时间的应用范围的曲线图。

图 4 是表示有关第 1 实施例半导体器件 nMOSFET 结漏电流的晶片面内分布的累积几率曲线图。

图 5 是表示有关第 1 实施例半导体器件 pMOSFET 结漏电流的晶片面内分布的累积几率曲线图。

图 6 是表示有关第 1 实施例半导体器件的制造方法的,用于源漏扩散层的离子注入后激活的,用氩闪光灯的闪光灯退火法的衬底预热温度和照射能量密度的应用范围曲线图。

图 7 是表示比较例半导体器件的制造方法的,源漏扩散层的离子注入后用于激活的,用氩闪光灯的闪光灯退火法的衬底预热温度和照射能量密度的应用范围曲线图。

图 8 是表示比较例半导体器件的制造方法的,源漏扩散层的离子注入后用于激活的,用氩闪光灯的闪光灯退火法,表示热点发生位置的半导体器件剖面图。

图 9 是有关第 2 实施例半导体器件的剖面图。

图 10 是有关第 2 实施例半导体器件的制造中途的剖面图 (之 1) 。

图 11 是有关第 2 实施例半导体器件的制造中途的剖面图 (之 1) 。

图 12 是有关第 2 实施例半导体器件的制造中途的剖面图 (之 3) 。

图 13 是表示有关第 2 实施例半导体器件的制造方法的,用于源漏扩散层的离子注入后激活的,用氩闪光灯的闪光灯退火法的衬底预热温度和照射能量密度的应用范围曲线图。

图 14 是表示有关第 2 实施例半导体器件的氮化硅层或碳化硅层的配

置位置的半导体器件剖面图。

图 15 是有关第 3 实施例半导体器件的剖面图。

图 16 是有关第 3 实施例半导体器件的制造中途的剖面图。

图 17 是比较例半导体器件的制造方法的,用于源漏扩散层的离子注入后激活的,用氩闪光灯的闪光灯退火法的衬底预热温度和半导体衬底脆性破坏的拉伸应力的关系曲线图。

图 18 是比较例半导体器件的制造方法的,用于源漏扩散层离子注入后激活的,用氩闪光灯的闪光灯退火法,发生的应力的半导体衬底深度方向的分布图。

图 19 是有关第 3 实施例半导体器件的制造方法的,用于源漏扩散层的离子注入后激活的,用氩闪光灯的闪光灯退火法的应力发生情况的半导体衬底剖面图。

具体实施方式

其次,参照附图,说明有关本发明实施例。以下附图的记载中,同一或类似的部分附加同一或类似的标号。而且,附图是典型的图,厚和平面尺寸的关系,应该注意各层厚度的比率等与实际的不同。

(第 1 实施例)

以半导体器 LSI 的元件 CMOS 晶体管的制造工序为例,说明有关本发明第 1 实施例半导体器件的制造方法。

首先,如图 1(a)所示, p 型硅 (Si) 衬底 1 的 nMOS 区域内形成 p 阱(well)层 3,在 pMOS 区域内形成 n 阱层 2。p 阱层 3 的周围和 n 阱层 2 的周围形成元件隔离区域 4 到 6。然后,在 p 型硅衬底 1 的表面形成将成为栅绝缘膜 7 的氧化硅膜。

其次,如图 1(b)所示,在栅绝缘膜 7 上形成将成为栅电极 8 的多晶硅膜。用反应性离子蚀刻(RIE)法,选择性地蚀刻多晶硅膜,形成栅电极 8。

如图 1(c)所示,在 pMOS 区域成膜成光刻胶膜 10。把光刻胶膜 10 和 nMOS 区域的栅电极 8 作为掩模,对 p 型硅衬底 1 表面的 nMOS 区域离子

注入将成为 n 型的扩散杂质的 V 族原子，例如离子化的砷 (As)。离子注入的条件是加速能量 1 keV，剂量 $1 \times 10^{15} \text{cm}^{-2}$ 。通过该离子注入，邻接栅电极 8，接连元件隔离区域 5 和 6 形成浅 n 型扩散杂质区域 9。除去光刻胶膜 10。

如图 1(d)所示，对 nMOS 区域成膜成光刻胶膜 11。把光刻胶膜 11 和 pMOS 区域的栅电极 8 作为掩模，在 p 型硅衬底 1 表面的 pMOS 区域，离子注入将成为 p 型扩散杂质的 III 族原子，例如离子化的硼(B)。离子注入的条件是加速能量 0.2 keV，剂量 $1 \times 10^{15} \text{cm}^{-2}$ 。通过离子注入，邻接栅电极 8，接连元件隔离区域 4 和 5 形成浅的 p 型扩散杂质区域 12。除去光刻胶膜 11。

其次，以卤素灯作为热源，进行 p 型硅衬底 1 的 RTA 处理。RTA 处理的条件是如图 3 所示，RTA 处理时的 p 型硅衬底 1 的衬底温度和 RTA 处理的加热时间设为落入斜线的工艺条件区域 19 内。因此，把杂质的杂质扩散长可作成 10nm 以下。还有，这个工艺条件区域 19 的边界线，可用式 1 表示。更好，衬底温度设为 900℃ 以下，加热时间设为 30 秒以下是理想的。因此，可把杂质的杂质扩散长度设为 5 nm 以下。该 RTA 处理中，杂质不会扩散到硅衬底 1 很深。而且，可消除离子注入中硅衬底 1 上发生的晶体缺陷。在消除晶体缺陷后的制造工序，硅衬底 1 升温时能抑制杂质扩散。但是，因为衬底温度低，不能使杂质充分激活。

$$(\text{加热时间(秒)})=6 \times 10^{-13} \exp\{3.74 \times 10^{+4} / ((\text{衬底温度}(\text{℃})) + 275)\} \dots (1)$$

用减压气相生长(LPCVD: Low Pressure Chemical Vapor Deposition)法，顺序淀积氮化硅(Si_3N_4)膜和氧化硅(SiO_2)膜。用 RIE 法，蚀刻氮化硅膜和氧化硅膜，在栅电极 8 和栅绝缘膜 7 的侧面，选择性地残留氮化硅膜和氧化硅膜。

因此，如图 2(e)所示，可形成氮化硅膜和氧化硅膜的的多层构造侧壁隔层 13。

如图 2(f)所示，以光刻胶膜掩蔽 pMOS 区域，栅电极 8 和侧壁隔层 13 作为掩模，对 nMOS 区域离子注入将成为 n 型源漏的杂质 V 族原子，例

如离子化的磷(P)。离子注入的条件是加速能量 15 keV, 剂量 $3 \times 10^{15} \text{cm}^{-2}$ 。同样, 以光刻胶膜掩蔽 nMOS 区域, 对 pMOS 区域离子注入将成为 p 型的源漏杂质的 III 族原子, 例如离子化的硼。离子注入的条件是加速能量 4keV, 剂量 $3 \times 10^{15} \text{cm}^{-2}$ 。通过这些离子注入, 离开栅电极 8 的边缘, 在硅衬底 1 内形成接连元件隔离区域 4 到 6 和扩散杂质区域 9 与 12 的深源漏杂质区域 14 和 15。而且, 通过这些离子注入, 在栅电极 8 中, 即使 nMOS 区域也注入磷, 在 pMOS 区域注入硼。

其次, 卤素灯作为热源, 进行 p 型硅衬底 1 的 RTA 处理。RTA 处理的条件是如图 3 所示, RTA 处理时的 p 型硅衬底 1 的衬底温度和 RTA 处理的加热时间设为落入斜线的工艺条件区域 19 内。因此, 可把杂质的杂质扩散长度规定为 10nm 以下。更好的是, 衬底温度设为 900℃ 以下, 加热时间设为 30 秒以下是理想的。因此, 可把杂质的杂质扩散长规定 5 nm 以下。该 RTA 处理中, 杂质不会扩散到硅衬底 1 很深。而且, 能够消除因离子注入而在硅衬底 1 发生的晶体缺陷。在该晶体缺陷的消除后的制造工序中, 硅衬底 1 升温的时候可抑制杂质扩散。但是, 因为衬底温度低, 不可能使注入源漏杂质区域 14 和 15 的杂质充分激活。

如图 2(g)所示, 用 LPCVD 法, 成膜氮化硅膜 16 的膜厚 30 nm 左右。进而, 可用 LPCVD 法成膜膜厚 500nm 左右的氧化硅膜 17。因此, 能形成氮化硅膜 16 和氧化硅膜 17 层叠的层间绝缘膜。

加热硅衬底 1, 使硅衬底 1 的衬底预热温度上升到 450℃, 并维持在 450℃。如图 2(h)所示, 在硅衬底 1 的表面上方氙闪光灯发光, 从硅衬底 1 的表面上方使氙闪光灯 18 照射整个硅衬底 1 的表面。氙闪光灯 18 对硅衬底 1 上的照射能量密度为 35J/cm^2 , 氙闪光灯 18 的照射时间是 1ms。照射的氙闪光灯 18, 透过氮化硅膜 16、氧化硅膜 17 和侧壁隔层 13, 被栅电极 8 和硅衬底 1 内的扩散杂质区域 9、12 和源漏杂质区域 14、15 吸收。吸收氙闪光灯 18 的栅电极 8 和杂质区域 9、12、14 和 15 发热并升温。一般可以认为, 栅电极 8 和杂质区域 9、12、14 和 15 的温度超越 1000℃, 随着这个温度, 注入栅电极限 8 和杂质区域 9、12、14 和 15 的

杂质被激活。通过该激活，可降低栅电极 8 和杂质区域 9、12、14 和 15 的电阻。还有，氙闪光灯 18 的光源发光时间在 100 ms 以下是理想的。因此，不会使硅衬底 1 过分升温。最好是 1ms 以下。因此，只有栅电极 8 和杂质区域 9、12、14 和 15 升温。光源照射能量密度是 100 J/cm^2 以下是理想的。根据这种情况，也不会使衬底 1 过分升温。衬底预热温度是 600°C 以下是理想的。根据这个情况，也不会使硅衬底 1 过分升温。

然后，在栅电极 8 和源漏杂质区域 14 和 15 上的层间绝缘膜上开连接孔。经过连接孔把栅布线连接到栅电极 8。经过连接孔把源漏电极连接到源漏杂质区域 14 和 15。通过以上步骤完成半导体器件。

以第 1 实施例的半导体器件的制造方法制作的半导体器件中，在硅衬底 1 未形成晶体缺陷等损伤。注入栅电极 8 和杂质区域 9、12、14 和 15 的杂质也充分被激活，因而栅电极 8 和杂质区域 9、12、14 和 15 的薄层电阻降低，在硅衬底 1 的晶片上所配置的多个元件的该薄层电阻面内离散 σ 也控制在未滿 1%。这样，半导体器件的元件特性提高了。

如图 4 所示，可以认为，根据硅衬底 1 的晶片上配置的多个元件的 nMOS 区域的 p 阱 3 和杂质区域 9、14 的 pn 结的结漏电流的晶片面内的面内分布累积几率，第 1 实施例半导体器件一方，比比较例的半导体器件结漏电流要小，形成良好的 pn 结。

还有，比较例的半导体器件是部分变更第 1 实施例半导体器件的制造方法制作的。变更的地方有 3 处。第 1 变更处是层间绝缘膜形成后不进行闪光灯光的照射。第 2 变更处是图 1(d)的扩散杂质注入后，转换成卤素灯的 RTA 处理之后，按与第 1 实施例相同条件进行闪光灯光的照射。第 3 变更处是图 2(f)的源漏杂质注入后，转换为卤素灯的 RTA 处理，按与第 1 实施例相同条件，进行闪光灯光的照射。

就比较例的半导体器件来说，在作为硅衬底 1 的晶片面内，有时源漏杂质区域 14、15 薄层电阻面内离散 σ 大，可以认为是由于注入源漏杂质区域 14、15 杂质的激活不充分引起的。而且，对结漏电流增大而言，都知道是因为硅衬底 1 内部，由于部分熔化而变形、滑移、层叠缺陷，位错

等晶体缺陷引起的衬底损伤的缘故。

同样,如图 5 所示,根据在硅衬底 1 的晶片上配置的多个元件的 pMOS 区域 n 阱 2 和杂质区域 12、15 的 pn 结的结漏电流晶片面内的面内分布累积几率,可以认为第 1 实施例的半导体器件比起比较例半导体器件方面来结漏电流要小,能形成良好的 pn 结。

由此,如图 6 所示,很清楚对于衬底预热温度和照射能量密度,存在能够形成低电阻,低漏电流的杂质区域 9、12、14 和 15 的工艺条件区域 20。衬底预热温度和照射能量密度过大,硅衬底 1 上就发生滑移和裂纹。衬底预热温度和照射能量密度过小,对注入硅衬底 1 的杂质就不能充分激活。而且,可知如提高衬底预热温度,就能降低照射能量密度。这是因为,衬底预热温度一提高,滑移等发生的照射能量密度降低,同时,因为充分激活必要的照射能量密度也降低的缘故。还有,第 1 的实施例中制作半导体器件时的工艺条件,相当于图 6 的点 22,处于工艺条件区域 20 里面。

另一方面,如图 7 所示,很清楚,用于制作比较例半导体器件的工艺条件区域 21 是比图 6 第 1 实施例的工艺条件区域 20 要狭窄。而且,按比较例制作半导体器件时的工艺条件,相当于点 22,在工艺条件区域 21 以外。

用于制作比较例半导体器件的工艺条件区域 21 比图 6 的第 1 实施例工艺条件区域 20 还窄的理由,认为如下。

构成半导体器件的元件的材料折射率 n 大多分布在 1.4~5.0 之间。例如,硅衬底 1 的硅折射率 n 为 4.1。栅电极 8 的多晶硅(poly-Si) 折射率 n 为 3.8~4.6。元件隔离区域 4 到 6、栅绝缘膜 7、侧壁隔层 13 和层间绝缘膜 17 的氧化硅(SiO_2) 折射率 n 为 1.5。层间绝缘膜 16 和侧壁隔层 13 的氮化硅(Si_3N_4) 的折射率 n 为 2.0。

在比较例,形成层间绝缘膜 16, 17 之前要照射闪光灯 18,不过闪光灯 18 是其波长从可见光直到红外成为连续光谱。而且,根据波长,折射率 n 变化,因而各波长折射角不同。作为被处理衬底的硅衬底 1 具有起因于能带构造的吸收光谱。由该吸收光谱可知,硅衬底 1 吸收可见光,

而不吸收红外光。故此，可以认为是，没有经由层间绝缘膜 16、17，折射率 n 从 1 气氛向硅衬底 1 入射闪光灯光 18 时，在硅衬底 1 的表面，闪光灯光 18 的尤其红外光，在不同的波长光之间由于不同折射率而会聚，随着该会聚使硅衬底 1 局部上发热。

还有，如图 8 所示，从气氛向硅衬底 1 入射闪光灯光 18，在相同波长光之间，作为栅电极 8 下硅衬底 1 表面多个同步的二次光源 31 到 33 引起干涉。从闪光灯光 18 的二次光源 32 出射的光是受元件隔离区域 4 反射的场合，这个反射光的光源可看作二次光源 31、33。由此可知，从二次光源 31 到 33 出射的同步，同波长的 3 束传播波叠合的话，在热点 26 到 29，3 束传播波的相位就一致。因此，对该热点 26 到 29，重叠 3 束传播波后的振幅得到最大振幅。而且，得到最大光能。可以认为在该热点 26 到 29 局部性发热，成为滑移和裂纹的原因。热点 26，27 是离二次光源 32 1.5 波长，热点 28 是离开 2.5 波长，热点 29 离开 6.5 波长。具体点说，热点 26，27 距硅衬底 1 表面的深度是，假设氩闪光灯光 18 峰值波长为硅能带构造起因的临界点附近的可见光 40nm 则二次光源 32 的波长大约 150 nm。

另一方面，第 1 实施例中，形成层间绝缘膜 16，17 之后，照射闪光灯光 18。闪光灯光 18 从气氛经由层间绝缘膜 16，17 照射硅衬底 1。凸部的栅电极 8 之间的凹部，配置着层间绝缘膜 16，17。层间绝缘膜的氧化硅膜 17 折射率 n 是 1.5，氮化硅膜 16 的折射率 n 是 2.0。对该凹部改变气氛，通过配置层间绝缘膜 16，17，可缩小凹部的折射率和栅电极 8 折射率之差，所以难以产生二次光源 31 到 33，难以产生光的相干性。因此，抑制热点 26 到 29 的发生，可降低发热强度。而且，可提高均匀使硅衬底 1 升温的均热性，能降低滑移、裂纹等损伤。

而且，第 1 实施例中，吸收闪光灯光 18 的光吸收膜不在硅衬底 1 的上方，因而闪光灯光 18 直接照射硅衬底 1 使之发热。因此，用小的光能量就可进行有效的加热。还有，层间绝缘膜的氮化硅膜 16 和氧化硅膜 17 对闪光灯光 18 的吸收系数大致为 0。因此，闪光灯光 18 没有损失大量

光能，可让能量传送到硅衬底 1。而且，因为不用光吸收膜，所以不需要光照射后剥离光吸收膜的工序。

还有，层间绝缘膜的氮化硅膜 16，即使用等离子 CVD 法来形成也行。并且，层间绝缘膜的氧化硅膜 17，用等离子 CVD 法或涂布法来形成也可以。而且，硅衬底 1 上成膜的层间绝缘膜是不限于氮化硅膜 16 和氧化硅膜 17。例如，象氮氧化硅 (Si₃N₄)膜，PSG(Phospho Silicate Glass)膜、BSG(Boro-Silicate Glass)膜，BPSG(Boro-Phospho Silicate Glass)膜，SiH₄膜那样的电介质膜也行。进而，象聚硅氮烷膜，聚丙炔膜，聚丙炔醚膜，聚甲基硅氧烷之类的有机膜也可以。而且，把层间绝缘膜的氮化硅膜 16 和氧化硅膜 17，这些电介质膜和有机膜作成多孔性也行。由于作成多孔性，闪光灯光 18 在层间绝缘膜内进行光散射。这样，闪光灯光 18 刚到达硅衬底 1 之前因为光散射，硅衬底 1 内的光相干性减弱，能抑制光能量集中发生的热点 26 到 29。还有，为了形成多孔性膜，只要加快成膜速度就行。

并且，作为在层间绝缘膜内散射闪光灯光 18 其它的方法，在层间绝缘膜的膜表面，例如，用化学机械抛光(CMP: Chemical Mechanical Polishing)法，形成微细凹凸也行。这样微细的凹凸，可使闪光灯光 18 散射。该微细凹凸是周期比硅衬底 1 上形成的栅电极 8 的凸部重复图形还短的周期。

而且，第 1 实施例中，图 1(d) 和图 2(f) 各自离子注入后就卤素灯的 RTA 处理来说，把衬底温度是 900℃ 以下，加热时间是 30 秒以下作为例子做说明，然而不限于于此，这些 RTA 处理即使省略也行。因为形成侧壁隔层 13 时和形成层间绝缘膜时，随着硅衬底 1 升温，能兼具这些 RTA 处理的缘故。

第 1 实施例中，在半导体器件的制造方法的热处理方法方面，用高辉度光源进行热处理之前，象半导体器件的元件栅电极 8 这样微细有凸起元件图形的硅衬底 1 表面，形成折射率比气氛高的，或具有光散射性的膜。因此，在硅衬底 1 上不会发生损伤，可用高辉度光源进行热处理。

这是因为，用层间绝缘膜埋入微细地凸起的元件图形间，能够缩小微细凸起元件图形与其周围的折射率差，削弱硅衬底内的光相干性，抑制因光能集中而发生热点，可以降低集中的光能强度。就是，采用具有多孔性的层间绝缘膜，或者在层间绝缘膜表面添加比元件图形间隔还要微细的凹凸的办法，也能获得硅衬底 1 光到达以前使光散射同样的效果。

抑制热点发生的结果，不会给硅衬底 1 造成损伤，可均匀地使硅衬底升温，抑制半导体器件的元件电特性离散。进而，因为半导体器件元件的微细化容易，所以能够制造高性能的 MOS 晶体管。

(第 2 实施例)

以半导体器件 LSI 的元件 CMOS 晶体管为例，说明有关本发明第 2 实施例的半导体器件。

有关第 2 实施例半导体器件，如图 9 所示，具有硅衬底 1；元件隔离区域 4 到 6 和 37 到 39；栅绝缘膜 7；栅电极 8；源漏杂质区域 14，15、扩散杂质区域 9、12、以及碳化硅层或氮化硅层 35、36。

硅衬底 1 有 nMOS 区域和 pMOS 区域的多个元件区域。nMOS 区域的硅衬底 1 上配置着 p 阱 3。pMOS 区域的衬底 1 上配置 n 阱 2。

元件隔离区域 4 到 6 和 37 到 39，设于硅衬底 1 的表面，隔离 nMOS 区域和 pMOS 区域的元件区域。元件隔离区域 37 到 39 包括与硅共价键的碳或氮。

栅绝缘膜 7 设在 nMOS 区域和 pMOS 区域的元件区域的上述硅衬底 1 上。

栅电极 8 设在栅绝缘膜 7 上。

源漏杂质区域 14，15 设置在包括硅衬底 1 表面的 nMOS 区域和 pMOS 区域的元件区域。源漏杂质区域 14 是导电型 n 型，与 nMOS 区域的元件区域 p 阱的导电型不同。源漏杂质区域 15 的导电型 n 型，与 pMOS 区域的元件区域 n 阱导电型不同。

扩散杂质区域 9、12 设置包括硅衬底 1 表面的元件区域，设于栅电极 8 下边，并接连源漏杂质区域 14、15。扩散杂质区域 9 的导电型是

n 型，与源漏杂质区域 14 的导电型相同。扩散杂质区 12 的导电型是 p 型，与源漏杂质区域 15 的导电型相同。

碳化硅层或氮化硅层 35、36 设在栅绝缘膜 7 下边，而且设在源漏杂质区域 14，15 下边。并且，碳化硅层或氮化硅层 35、36 设置在元件隔离区域 4 到 6 和 37 到 39 下或下方。

第 2 实施例的半导体器件中，借助于碳化硅层或氮化硅层 35、36，能够耐受半导体器件的制造方法的热处理时发生的应力。而且，不仅硅衬底 1 的元件区域，而且碳化硅层 35、36 和包括与硅共价键碳的元件隔离区域 37 到 39 也随光能发热，所以可以均匀加热硅衬底 1。

有关第 2 实施例半导体器件的制造方法，把构成半导体器件 LSI 元件的 CMOS 晶体管制造工序作为例子做说明。

首先，如图 10(a) 所示，在 p 型硅(Si)衬底 1 的 nMOS 区域内，形成 p 阱(well)层 3，pMOS 区域内形成 n 阱层 2。在 p 阱层 3 的周围和 n 阱层 2 的周围形成元件隔离区域 4 到 6。

其次，如图 10(b) 所示，使碳原子或氮原子离子化，在加速能量 100 keV、剂量 $1 \times 10^{15} \text{cm}^{-2}$ 条件下，离子注入硅衬底 1。在衬底温度 1000 °C 下加热硅衬底 1 大约 1 小时。通过该加热处理，硅衬底 1 内形成碳化硅层或氮化硅层 35、36。硅原子和碳原子的共价键 (Si-C)，或有硅原子和氮原子的共价键 (Si-N) 的元件隔离区域 37 到 39 是在元件隔离区域 4 到 6 下面形成的。还有，距注入碳或氮的硅衬底 1 表面的深度为 100 nm 以上的深度是理想的。因此，元件特性不会恶化。注入的碳或氮的浓度，注入为 $1 \times 10^{19} \sim 1 \times 10^{22} \text{cm}^{-3}$ 是理想的。因此，不会在硅衬底 1 发生晶体缺陷，但能变换折射率。

其次，如图 10(c) 所示，形成栅绝缘膜 7 和栅电极 8。栅绝缘膜 7 和栅电极 8 的形成可以实施与图 1(b) 的第 1 实施例半导体装置制造方法同样的方法。

如图 1(d) 所示，形成浅的 n 型扩散杂质区域 9。n 型扩散杂质区域 9 的形成可以实施与图 1(c) 的第 1 实施例半导体器件的制造方法同

样的方法。

如图 11(e) 所示, 形成浅的 p 型扩散杂质区域 12。p 型扩散杂质区域 12 的形成可以实施与图 1(d) 的第 1 实施例半导体器件的制造方法同样的方法。

加热硅衬底 1, 使硅衬底 1 的衬底预热温度上升到 450 °C, 并维持在 450 °C。如图 11(f) 所示, 用氩闪光灯, 对硅衬底 1 的表面照射氩闪光灯光 18。就照射条件来说, 例如, 照射时间设为 1ms, 照射能量密度设为 35 J/cm²。通过该照射, 注入离子后的扩散杂质被激活, 同时恢复扩散杂质区域 9、12 的晶体缺陷。能够降低邻接栅电极 8 的浅扩散杂质区域 9, 12 的电阻。还有, 这个照射, 可以更换成用卤素灯的 RTA 处理。这种 RTA 处理的条件是与第 1 实施例半导体器件的制造方法的图 1(d) 的用卤素灯 RTA 处理相同。该 RTA 处理中, 不会使扩散杂质扩散到硅衬底 1 的深处, 并恢复扩散杂质区域 9、12 的晶体缺陷。但是, 有时扩散杂质未能充分激活。

如图 12(g) 所示, 形成侧壁隔层 13。侧壁隔层 13 的形成可以实施与图 2(e) 的第 1 实施例半导体器件的制造方法同样的方法。

如图 12(h) 所示, 形成源漏杂质区域 14 和 15。并且, 栅电极 8 中对 nMOS 区域注入磷、对 pMOS 区域注入硼的离子。源漏杂质区域 14 与 15 的形成, 和离子注入可以实施与图 2(f) 的第 1 实施例半导体器件的制造方法同样的方法。

加热硅衬底 1, 使硅衬底 1 的衬底预热温度上升到 450 °C, 并维持在 450 °C。如图 12(i) 所示, 用氩闪光灯, 对硅衬底 1 的表面照射氩闪光灯光 18。就照射条件来说, 例如, 照射时间设为 1ms, 照射能量密度设为 35J/cm²。通过该照射, 注入离子后的源漏杂质和栅电极 8 中所注入的杂质被激活, 同时恢复源漏杂质区域 14、15 和栅电极 8 的晶体缺陷。能够降低邻接栅电极 8 的深源漏杂质区域 14, 15 和栅电极 8 的电阻。并且, 氩闪光灯光 18 的发光时间在 100ms 以下是理想的。因此, 可使源漏杂质区域 14, 15 和栅电极全体发热。更理想的是设定为 1ms 以下。

因此，可使源漏杂质区域 14、15 局部发热。氙闪光灯 18 的照射能量密度为 $100\text{J}/\text{cm}^2$ 以下是理想的。因此，可使源漏杂质区域 14、15 局部发热。衬底预热温度为 600°C 以下是理想的。因此，能够抑制该预热时杂质的再扩散。

最后，如图 9 所示，形成氮化硅膜 16 和氧化硅膜 17 层叠的层间绝缘膜。氮化硅膜 16 和氧化硅膜 17 的形成可以实施与图 2(g) 的第 1 实施例半导体器件的制造方法同样的方法。还有，层间绝缘膜用常温 CVD 法，以成膜温度 400°C ，整个形成氧化硅膜也行。而后，在栅电极 8 和源漏杂质区域 14 和 15 上的层间绝缘膜开连接孔。通过连接孔把栅布线连接到栅电极 8。通过连接孔把源漏电极连接到源漏杂质区域 14 和 15。通过以上工序，完成了半导体器件。

第 2 实施例的半导体器件中，没有在硅衬底 1 上形成晶体缺陷等损伤。注入栅电极 8 和杂质区域 9、12、14 和 15 的杂质也被充分激活了，因而降低栅电极 8 和杂质区域 9、12、14 和 15 的电阻，在硅衬底 1 晶片上所配置的多个元件薄层电阻的面内离散 σ 也控制在未滿 1% 内。根据硅对衬底 1 晶片上所配置的多个元件 nMOS 区域的 p 阱 3 和杂质区域 9、14 的 pn 结结漏电流的晶片面内的面内分布累积几率，可以认为结漏电流小，形成了良好的 pn 结。这样，半导体器件的元件特性提高了。

而且，如图 13 所示，对于衬底预热温度和照射能量密度，可见存在能够形成低电阻低漏电流的杂质区域 9、12、14 和 15 的工艺条件区域 43。如衬底预热温度和照射能量密度过大的话，硅衬底 1 上就发生滑移和裂纹。如衬底预热温度和照射能量密度过小的话，就对硅衬底 1 注入的杂质不能充分地激活。而且，可知提高衬底预热温度的话，可降低照射能量密度。这就是与第 1 实施例的图 6 的工艺条件区域 20 同样的倾向。而且，和第 1 实施例的图 6 的工艺条件区域 20 相比，工艺条件区域 43，照射能量密度扩大到更大的区域。还有，第 2 实施例中制造半导体器件时的工艺条件，相当于图 13 的点 22，处于工艺条件区域 43 里面。

用于制造第 2 实施例半导体器件的工艺条件区域 43 扩大的理由如下。

构成半导体器件的元件的材料折射率 n 多半分布在 1.4 ~ 5.0 之间。向这些元件照射闪光灯 18 时, 闪光灯 18 成为其波长从可见光到红外光的连续光谱, 随着波长而折射率 n 变化, 因而每种波长折射角不同。并且, 作为被处理衬底的硅衬底 1, 具有起因于能带构造的吸收光谱。由吸收光谱可知, 硅衬底 1 吸收可见光, 然而不吸收红外光。故此, 可以认为是, 是从折射率 n 为 1 的气氛向硅衬底 1 和元件隔离区域 4 到 6 入射闪光灯 18 的话, 在硅衬底 1 和元件隔离区域 4 到 6 的表面, 闪光灯 18 的尤其红外光, 因透镜效应, 即因不同的波长光之间不同折射率而会聚, 随该透镜效应而使硅衬底 1 局部发热。

进而, 如图 14 所示, 和图 8 同样, 在热点 26 到 29 发生的位置, 配置碳化硅层或氮化硅层 35、36。即, 距比热点 26 和 27 接近硅衬底 1 的表面处, 配置碳化硅层或氮化硅层 35、36 的上面 41。距比热点 29 远离硅衬底 1 的表面处, 配置碳化硅层或氮化硅层 35、36 的下面 42。在热点 26 到 29 发生的位置, 由于材料由硅换成碳化硅或氮化硅, 折射率也改变了, 因而不会形成热点 26 到 29。

热点 26、27 是距二次光源 32 离开 1.5 波长, 热点 28 离开 2.5 波长, 热点 29 是离开 6.5 波长。具体点说, 热点 26、27 距硅衬底 1 表面的深度如设定二次光源 32 的波长为可见光 400 nm, 则是大约 150 nm。热点 28 距硅衬底 1 表面的深度, 如设定二次光源 32 的波长为可见光 400 nm, 就是大约 250 nm。热点 29 距硅衬底 1 表面的深度如设定二次光源 32 的波长为可见光 400 nm, 就是大约 650 nm。从以上, 碳化硅层或氮化硅层 35、36 的上面 41 是距硅衬底 1 表面大约比 150 nm 要浅是理想的。否则就, 大约比 250 nm 要浅是理想的。碳化硅层或氮化硅层 35、36 的下面 42 是距硅衬底 1 表面大约比 650 nm 还深是理想的。否则就, 大约比 250 nm 还深是理想的。

把碳注入硅衬底 1 中的场合, 元件隔离区域 37 到 39 中也注入碳, 元件隔离区域 37 到 39 也能变成具有闪光灯 18 的光吸收性, 可以提

高硅衬底 1 晶片的均匀加热性。碳化硅层 35、36 提高硅衬底 1 的抗热应力性能。不会也伴随热点发生的应力对硅衬底 1 造成损伤，能够供给充分的能量。通过更加充分进行对杂质的激活，可达成降低薄层电阻和提高均一性。

并且，倘若由氮化硅层 35、36，和碳化硅层不同，没有对闪光灯 18 的光吸收性，因而会降低热点的光吸收量，使折射率变化，因而能够抑制热点的发生和强度。并且，氮化硅层 35、36 提高了硅衬底 1 的抗热应力性能。

还有，第 2 实施例中，刚形成图 10(b)的元件隔离区域 4 到 6 以后形成碳化硅层或者氮化硅层 35、36，然而本发明不限于此，只要氩闪光灯的闪光灯 18 照射前可以说都行。但是，如果使元件隔离区域 4 到 6 具有光吸收性，即使为避免元件的晶体管驱动力恶化，在元件隔离区域 4 到 6 形成以后到源漏区域 14、15 形成之前，栅绝缘膜 7 的成膜之前，形成碳化硅层或氮化硅层 35、36 是理想的。

通过预先对硅衬底 1 导入碳、氮等杂质，就不会在硅衬底 1 发生损伤，可用高辉度的光源进行热处理。这是因为，由于把杂质注入硅衬底 1 中，施加再结晶处理，硅衬底 1 中形成硬化层的碳化硅层或氮化硅层 35、36 的缘故。提高对闪光灯 18 等高辉度光能照射发热的抗热应力性能。并且，减少热点发生位置的光吸收性，能防止焦耳热发生，会抑制衬底损伤。工艺条件区域扩大，关系到工艺的稳定性。结果，硅衬底 1 内不发生损伤，可进行光照射强度很强的瞬间性热处理。而且，半导体器件的微细化就容易，能够制造高性能的 MOS 晶体管。

(第 3 实施例)

以半导体器件 LSI 的元件 CMOS 晶体管为例，说明有关本发明第 3 实施例半导体器件。

如图 15 所示，有关第 3 实施例半导体器件，与图 9 的第 2 实施例半导体器件相比，碳化硅层或氮化硅层 35 的配置位置不同。碳化硅层或氮化硅层 35 设置在硅衬底 1 的背面上。

以半导体器件 LSI 的元件 CMOS 晶体管的制造工序为例，说明有关

第 3 实施例半导体器件的制造方法。

首先,如图 16(a)所示,在硅衬底 1 的背面,用等离子 CVD 法,形成碳化硅层或氮化硅层 35。碳化硅层或氮化硅层 35 的膜厚设为 $1\ \mu\text{m}$ 。还有,碳化硅层或氮化硅层 35 的形成,采用从硅衬底 1 的背面向硅衬底 1,注入碳原子或氮原子的办法也行。碳原子或氮原子的注入,通过对换硅衬底 1 的表面和背面,可与图 10(b)的第 2 实施例半导体器件的制造方法同样实施。

如图 16(b)所示,在 p 型硅衬底 1 的 nMOS 区域内形成 p 阱(well)层 3、pMOS 区域内形成 n 阱层 2。在 p 阱层 3 的周围和 n 阱层 2 的周围形成元件隔离区域 4 到 6。

如图 16(c)所示,形成栅绝缘膜 7 和栅电极 8。绝缘膜 7 和栅电极 8 的形成,可与图 10(c)的第 2 实施例半导体器件的制造方法和图 1(b)的第 1 实施例半导体器件的制造方法同样实施。以下,与图 11(d)到图 12(i)的第 2 实施例半导体器件的制造方法同样实施。而且,能够完成第 3 实施例的半导体器件。还有,闪光灯 18 照射的条件,变更如以下。

如图 17 所示,如果第 1 和第 2 实施例中的衬底预热温度 $450\text{ }^{\circ}\text{C}$,拉伸应力超过 $120\ \text{Mpa}$ 时,通常硅衬底 1 的晶片上,就发生滑移和裂纹。因此,设定板预热温度为更容易发生裂纹的 $500\text{ }^{\circ}\text{C}$ 。如果衬底预热温度 $500\text{ }^{\circ}\text{C}$,拉伸应力超过 $100\ \text{Mpa}$ 时,通常硅衬底的晶片上,就发生滑移和裂纹。

而且,闪光灯 18 的照射时间设为 $3\ \text{ms}$,照射能量密度设为 $35\ \text{J}/\text{cm}^2$ 。如图 18 和图 19 所示,刚照射之后的拉伸应力是以硅衬底 1 的背面为最高,达到了 $130\ \text{Mpa}$ 。但是,硅衬底 1 的晶片上不发生滑移和裂纹。即,可在图 13 的工艺条件区域 43 中获得工艺条件 23。还有,将碳化硅层或氮化硅层 35 设在硅衬底 1 的背面上或附近是令人满意的。由此,因为硅衬底 1 的背面,刚照射之后是拉伸应力成为最大的地点,在此地点可配置碳化硅层或氮化硅层 35 的缘故。从硅衬底 1 的表面到背面为止的由背面起设置碳化硅层或氮化硅层 35 也可以。所以要从硅衬底 1 的表面到背面的由背面起的地点,是因为发生拉伸应力。并且,背面发生的拉伸应力,起因于表面压缩应力,因而为抑制压缩应力的增大,象第 2 实施例的半导

体器件那样，在表面的附近配置碳化硅层或氮化硅层 35，有效地防止滑移发生。

还有，上述实施例中，作为照射光的光源，虽然说明了有关使用氩闪光灯退火装置的情况，但是本发明不限于此，有关激光那样的高辉度发光的可能光源也能应用。此外，在不脱离本发明宗旨的范围内，还可实施各式各样变化。

如以上说过的一样，按照本发明，就能够提供半导体衬底上不发生滑移和缺陷，而可以形成浅 pn 结的半导体器件的制造方法。

并且，按照本发明，就能够提供半导体衬底上没有滑移和缺陷，而具有浅 pn 结的半导体器件。

图1

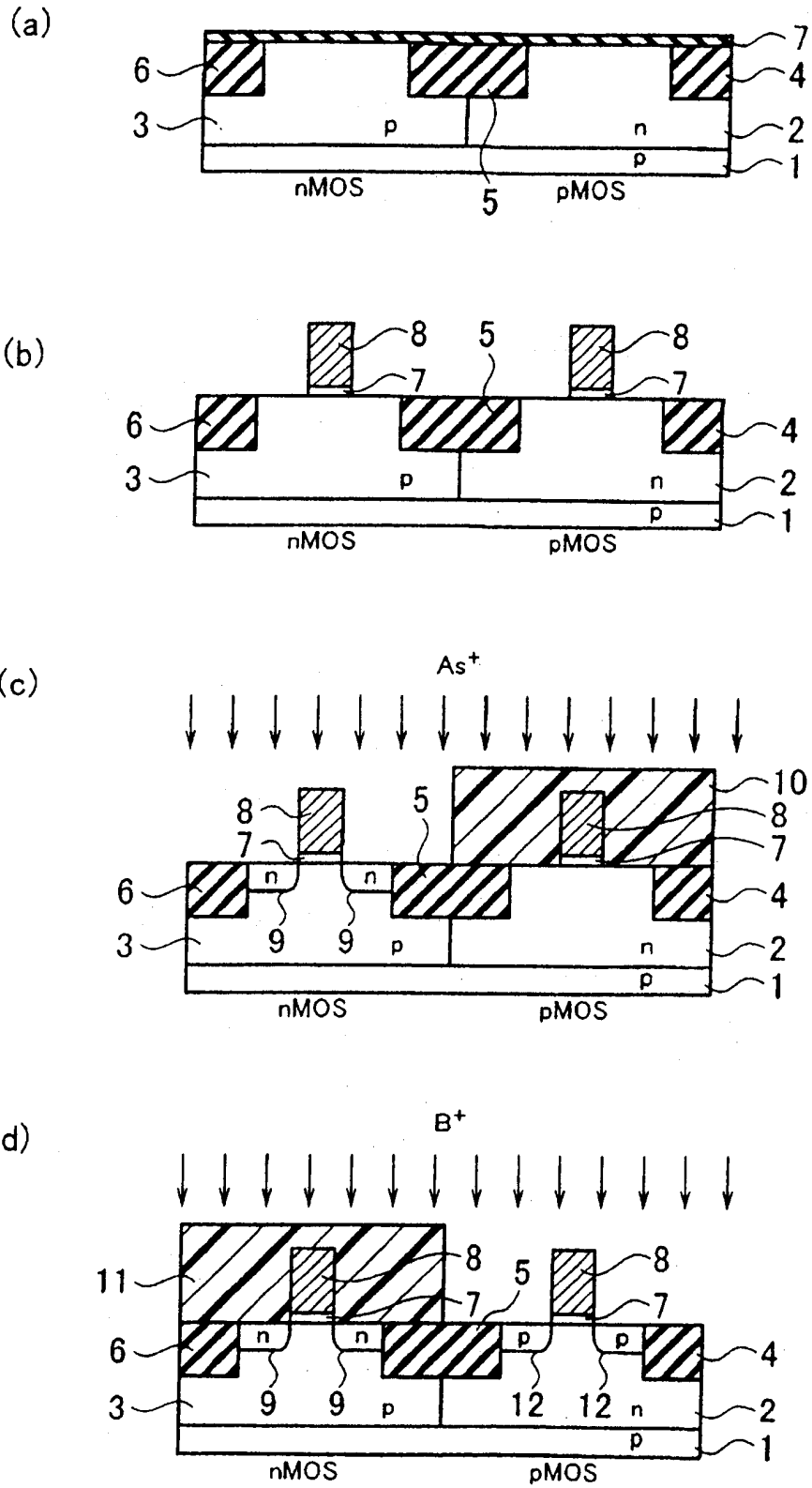
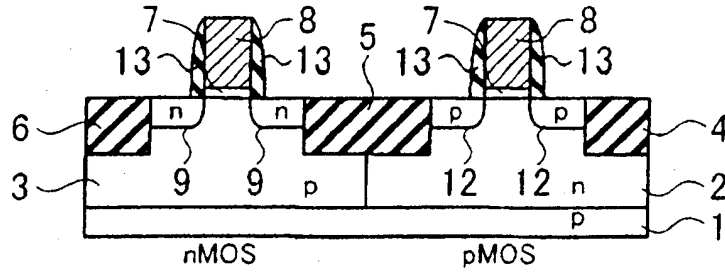
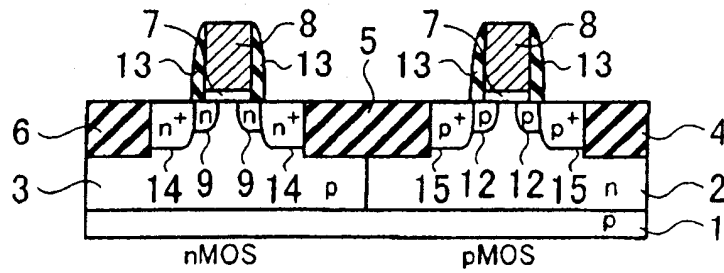


图2

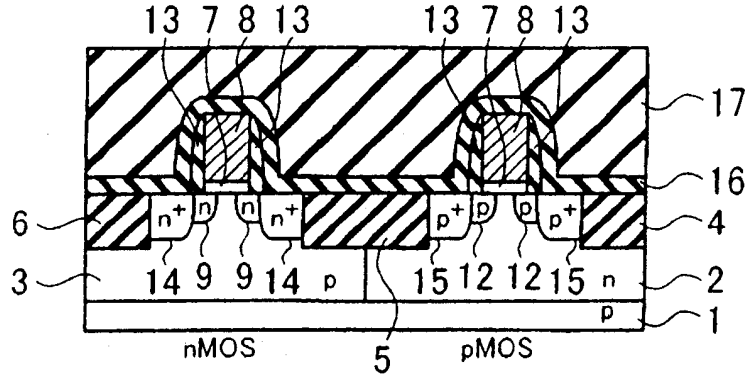
(e)



(f)



(g)



(h)

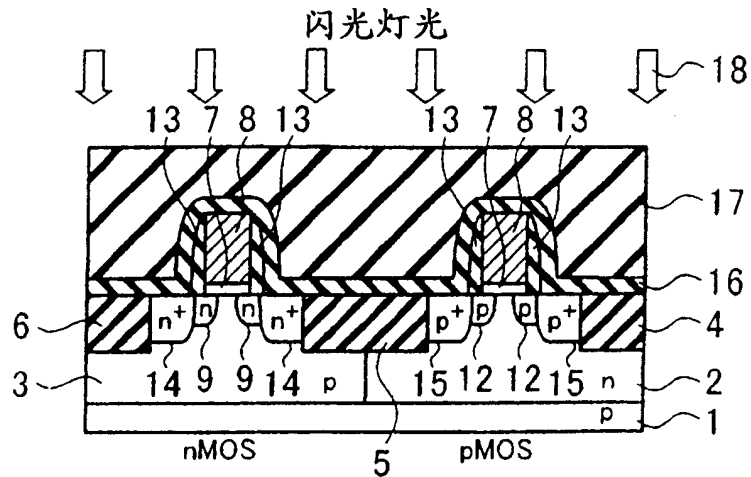


图3

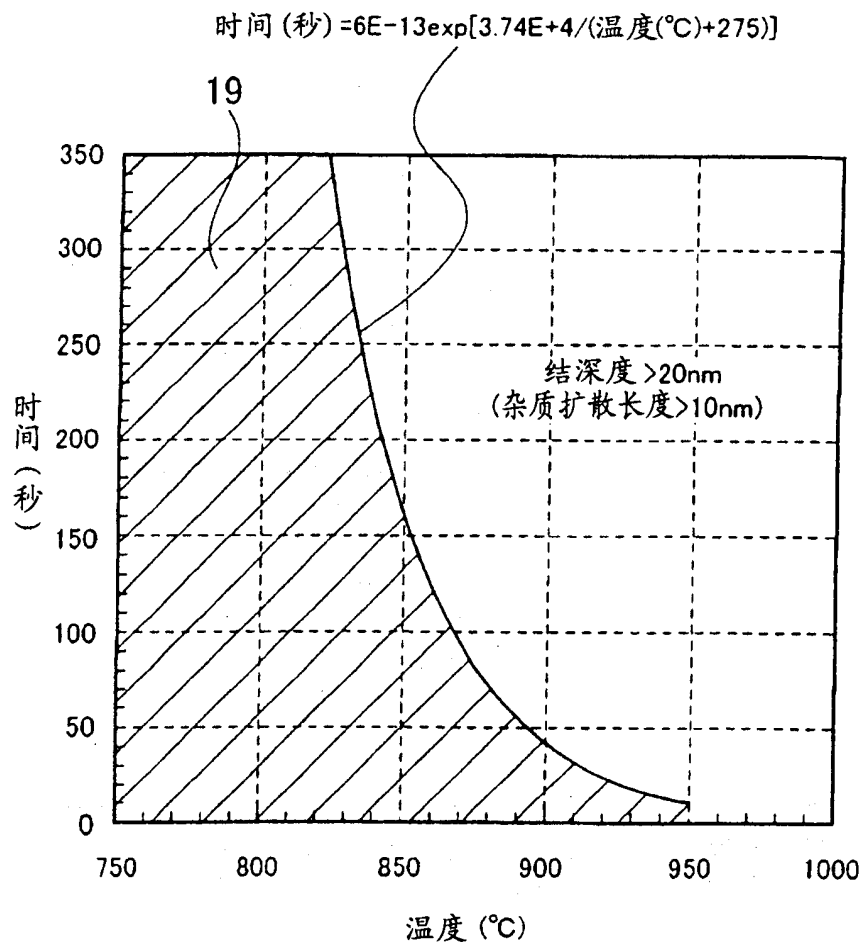


图4

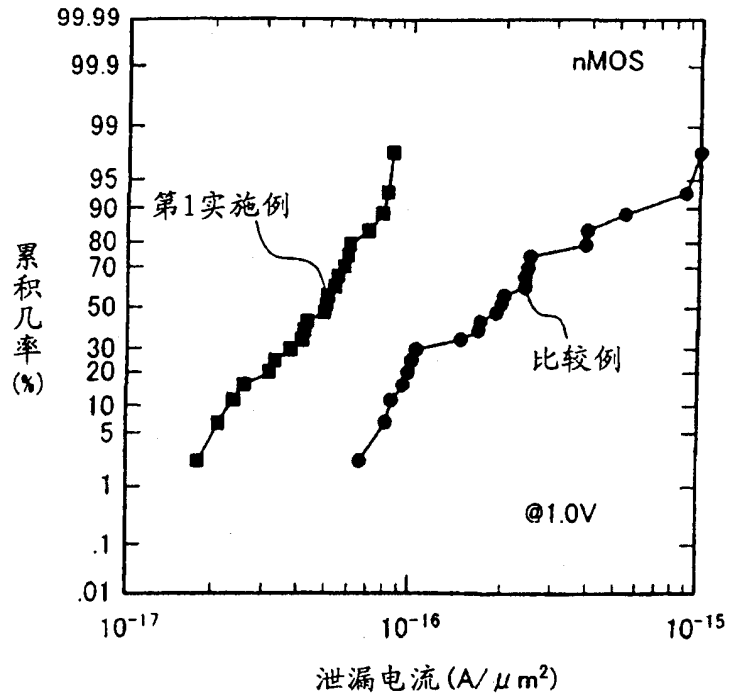


图5

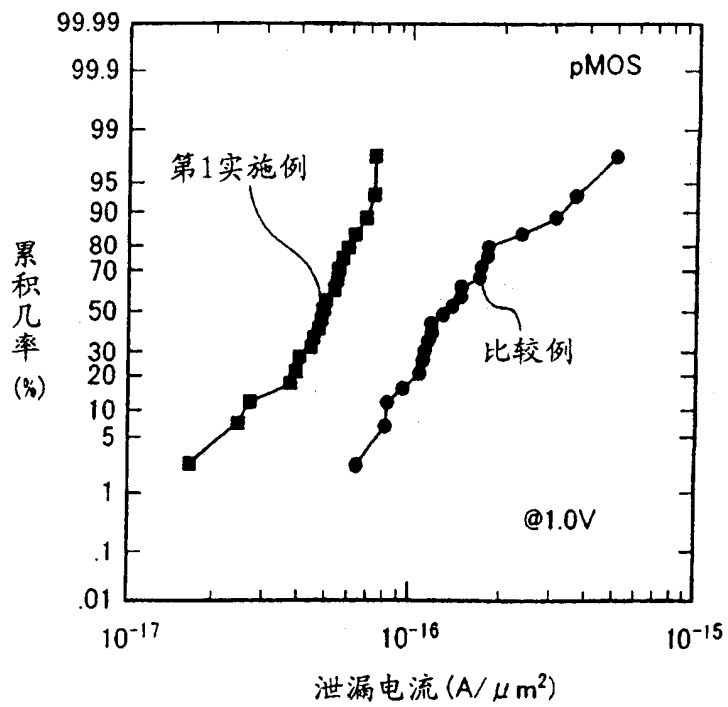


图6

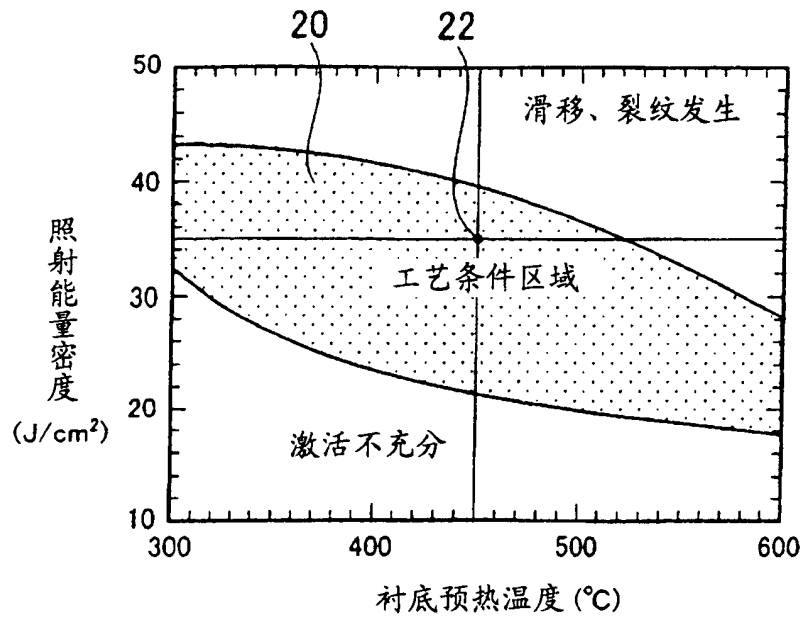


图7

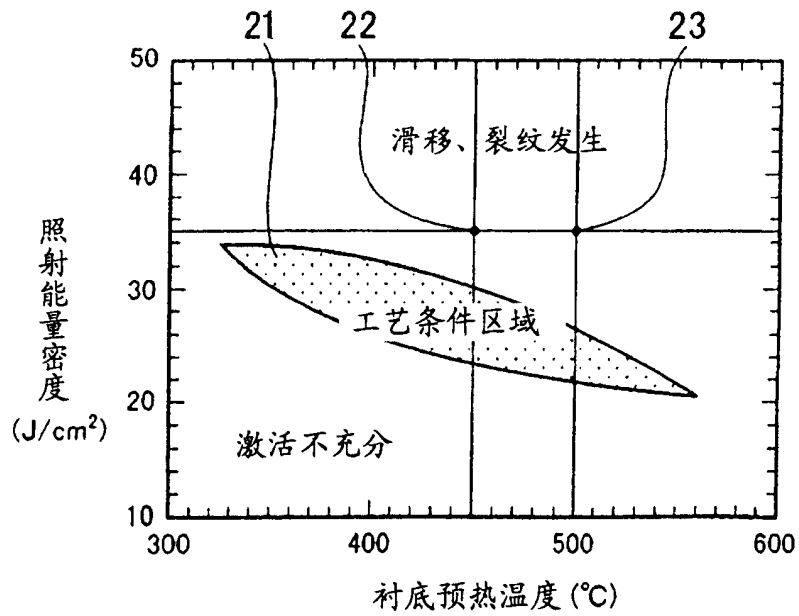


图8

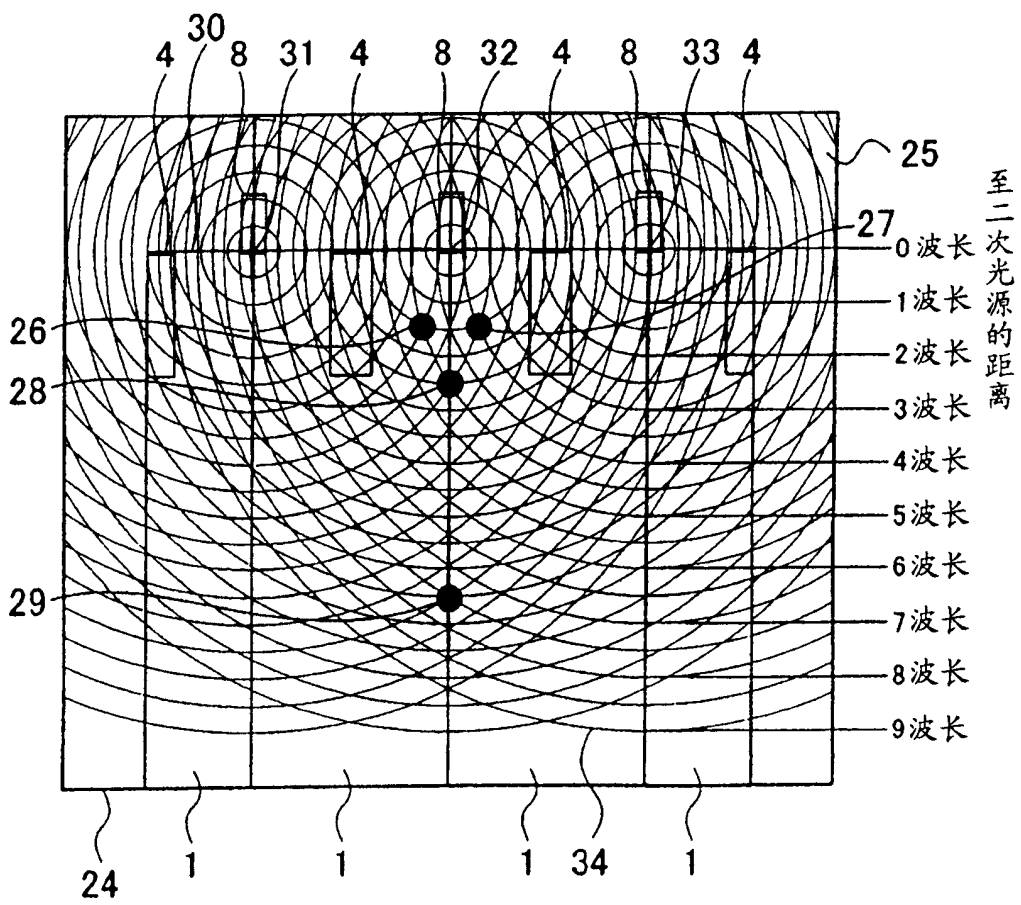


图9

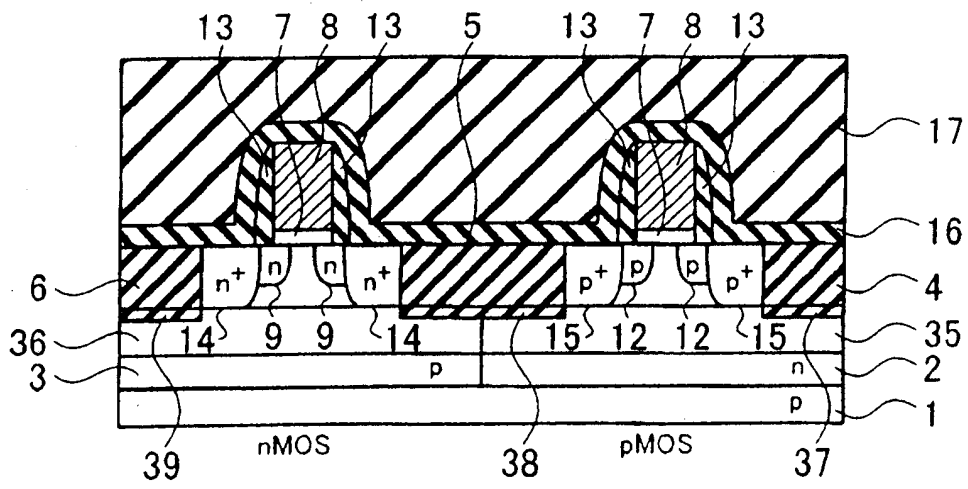
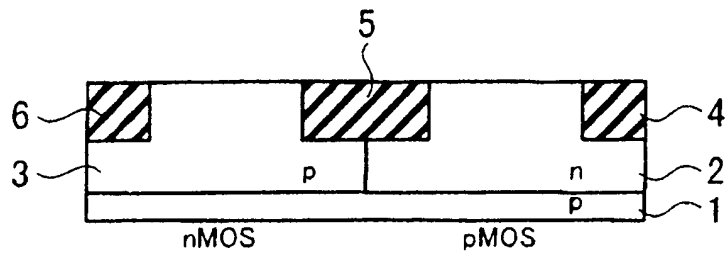
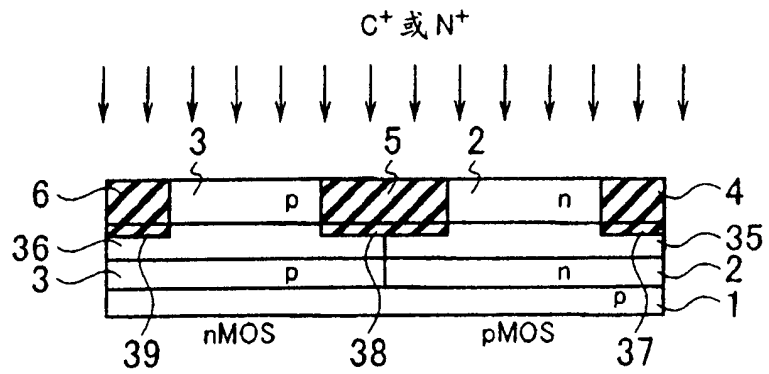


图10

(a)



(b)



(c)

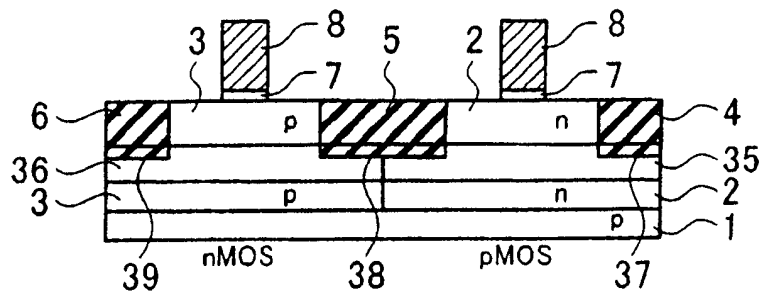


图11

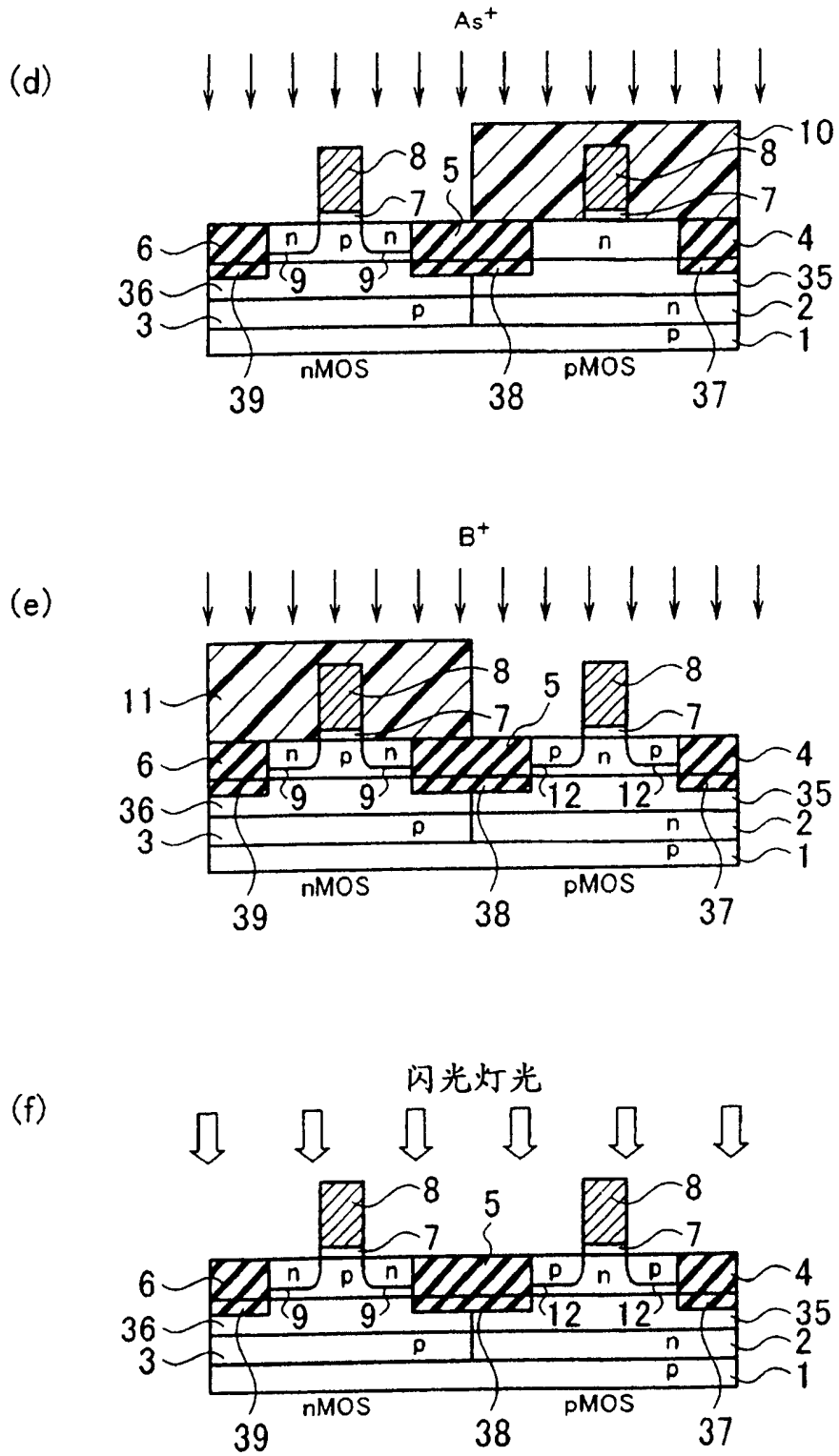


图13

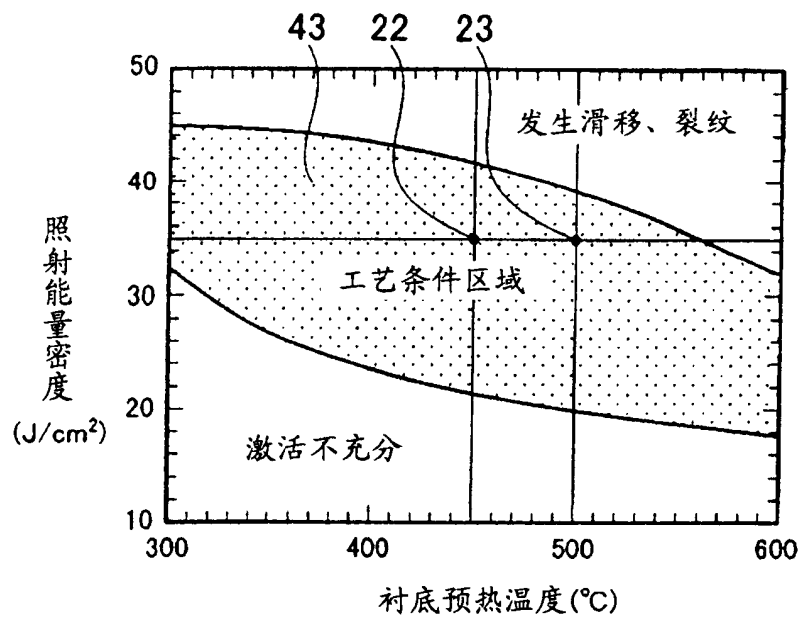


图14

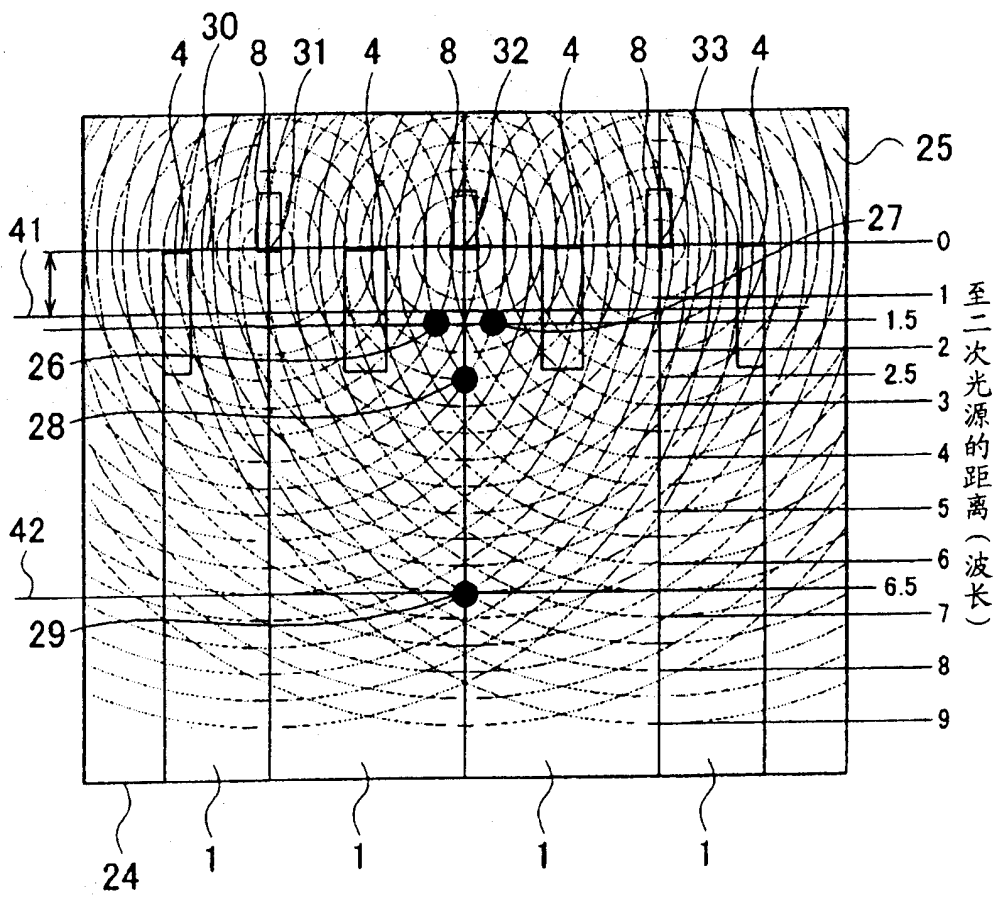


图15

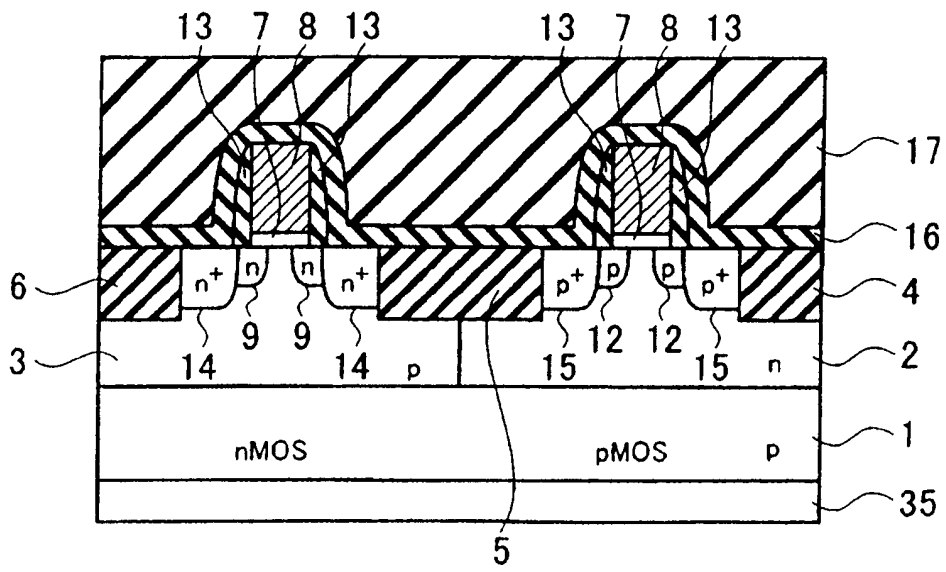
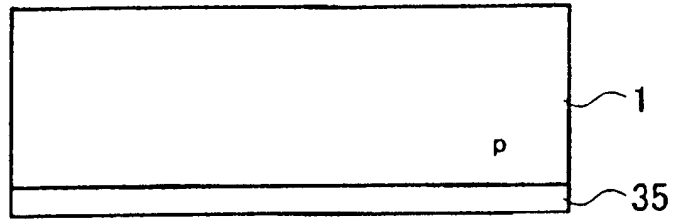
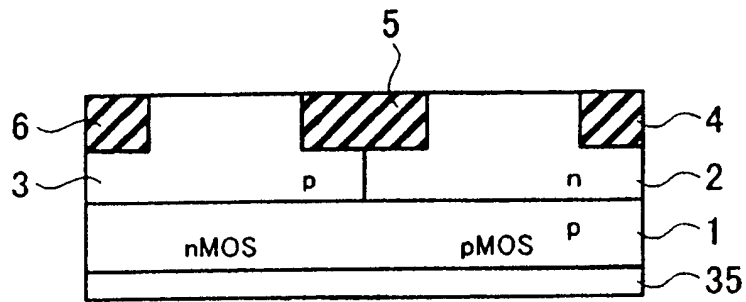


图16

(a)



(b)



(c)

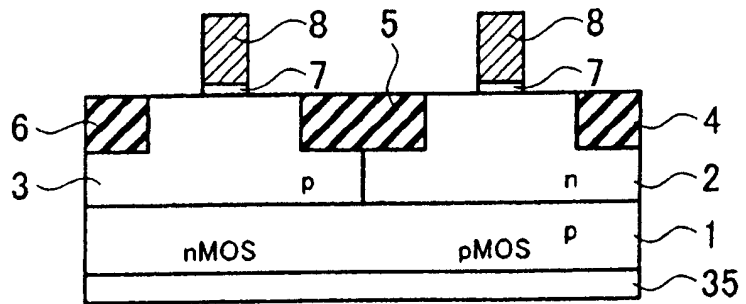


图17

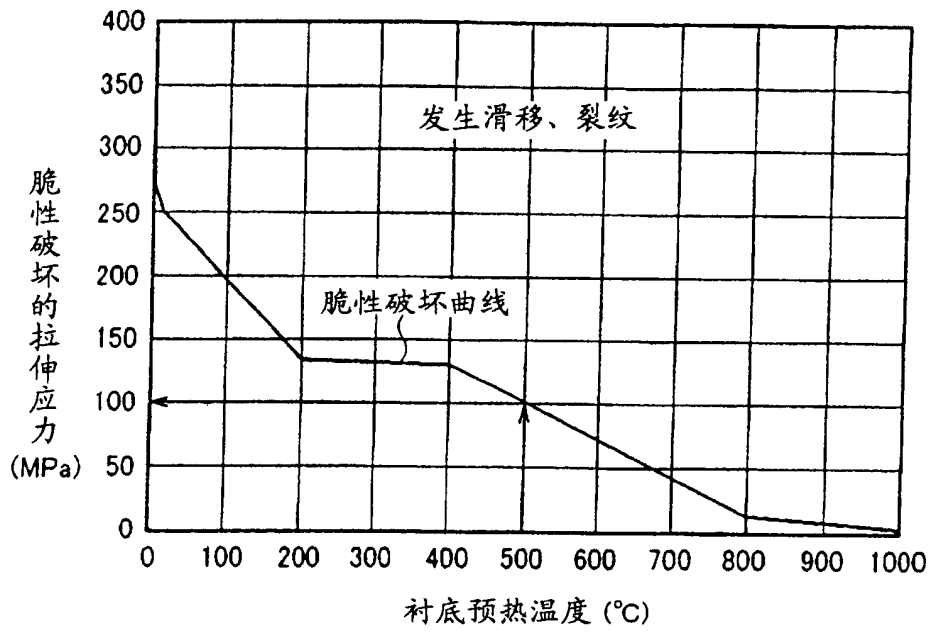


图18

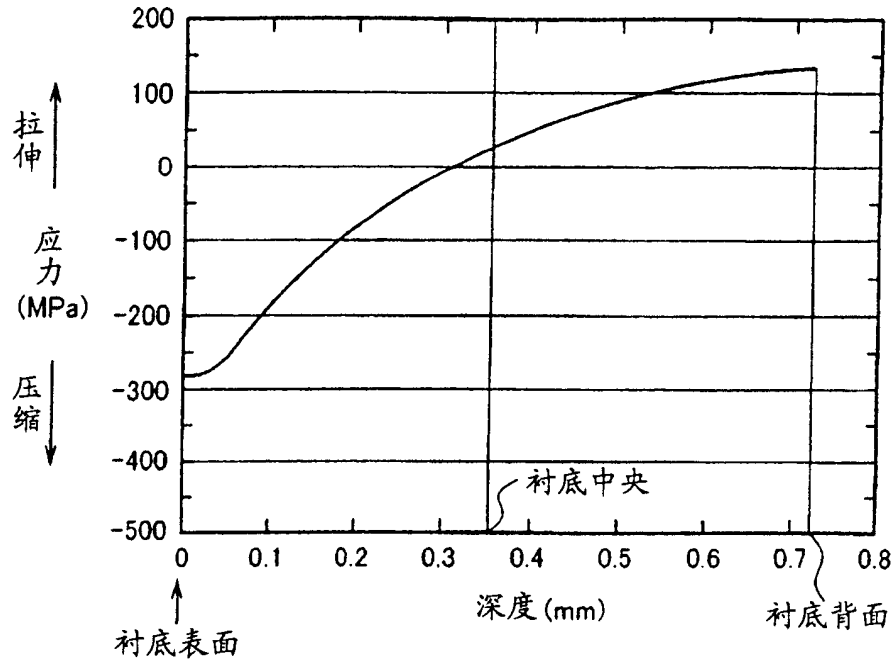


图19

