



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월31일
(11) 등록번호 10-1061316
(24) 등록일자 2011년08월25일

(51) Int. Cl.
H01L 21/027 (2006.01) *H01L 21/32* (2006.01)
(21) 출원번호 10-2008-0060486
(22) 출원일자 2008년06월25일
심사청구일자 2008년06월25일
(65) 공개번호 10-2009-0032940
(43) 공개일자 2009년04월01일
(30) 우선권주장
1020070098451 2007년09월28일 대한민국(KR)
(56) 선행기술조사문헌
US20070161251 A1*
KR1020070069914 A*
KR1020060135126 A*
US20060046422 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
반근도
경기 용인시 처인구 마평동 두보아파트 102-1602
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 10 항

심사관 : 설관식

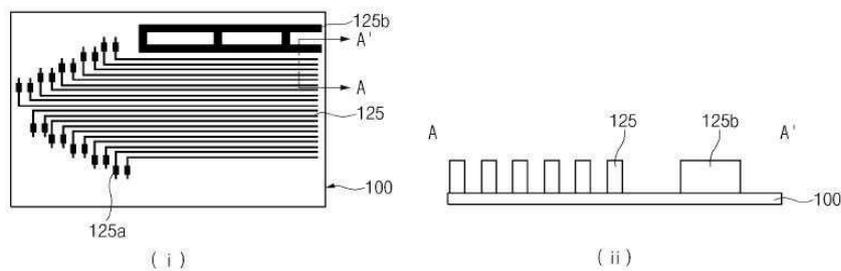
(54) 반도체 소자의 미세패턴 형성방법

(57) 요약

본 발명은 반도체 소자의 미세 패턴 형성 방법에 관한 것으로, 미세 패턴을 정의하는 스페이서 형성 공정과 더미 패턴을 정의하는 마스크 패턴 형성 공정을 분리하여 수행함으로써, 반도체 소자의 형성 공정 수율 및 신뢰성을 향상시킬 수 있도록 하는 발명에 관한 것이다.

본 발명에 따르는 반도체 소자의 미세 패턴 형성 방법은, 반도체 기판 상부에 셀 영역과 주변회로 영역을 정의하는 단계; 상기 반도체 기판 전면에 피식각층을 형성하는 단계; 상기 셀 영역의 피식각층 상부에 희생막 패턴을 형성하는 단계; 상기 희생막 패턴의 측벽에 스페이서를 형성하는 단계; 상기 희생막 패턴을 제거하여 스페이서 패턴을 형성하는 단계; 상기 주변회로 영역의 피식각층 상부에 주변회로 패턴을 정의하는 마스크 패턴을 형성하는 단계; 및 상기 스페이서 패턴 및 감광막 패턴을 마스크로 상기 셀 영역 및 주변회로 영역의 피식각층을 패터닝하여 각각 셀 패턴 및 주변회로 패턴을 얻는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도1g



특허청구의 범위

청구항 1

반도체 기판 상부에 셀 영역과 주변회로 영역을 정의하는 단계;
 상기 반도체 기판 전면에 피식각층을 형성하는 단계;
 상기 피식각층 상부에 하드마스크층을 형성하는 단계;
 상기 셀 영역의 하드마스크층 상부에 희생막 패턴을 형성하는 단계;
 상기 희생막 패턴의 측벽에 스페이서를 형성하는 단계;
 상기 희생막 패턴을 습식식각 공정으로 제거하여 스페이서 패턴을 형성하는 단계;
 상기 주변회로 영역의 피식각층 상부에 주변회로 패턴을 정의하는 마스크 패턴을 형성하는 단계; 및
 상기 스페이서 패턴 및 마스크 패턴을 마스크로 상기 셀 영역 및 주변회로 영역의 피식각층을 패터닝하여 각각 셀 패턴 및 주변회로 패턴을 얻는 단계
 를 포함하며,
 상기 스페이서 패턴을 형성하는 단계는:
 인접한 두 개의 라인형 스페이서 패턴이 연결된 상태의 스페이서 패턴을 얻는 단계;
 상기 반도체 기판의 상부에 상기 스페이서에 의해 형성되는 라인 패턴의 양 단부를 노출시키는 제 2 감광막 패턴을 형성하는 단계; 및
 상기 제 2 감광막 패턴을 마스크로 상기 노출된 스페이서를 식각하여 상기 연결된 상태의 스페이서 패턴을 분리하는 단계를 포함하며,
 상기 스페이서 패턴 형성 시 스크라이브 레인에 정렬 키 또는 오버레이 버니어(Alignment Key or Overlay Vernier) 패턴을 더 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 마스크 패턴은 상기 주변회로 패턴을 양각 형태로 정의하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 4

제 1 항에 있어서,
 상기 마스크 패턴은 상기 주변회로 패턴을 음각 형태로 정의하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 5

제 1항에 있어서,
 상기 희생막 패턴의 적어도 일측 단부는 소정 각도 꺾여서 형성되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 6

삭제

청구항 7

제 1항에 있어서,
 상기 스페이서를 형성하는 단계는,
 상기 반도체 기판 전면에 스페이서 물질층을 형성하는 단계와,
 에치백(Etch Back) 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

반도체 기판 상부에 제 1 하드마스크층을 형성하는 단계;
 상기 제 1 하드마스크층 상부에 식각방지막을 형성하는 단계;
 상기 식각방지막 상부에 희생막을 형성하는 단계;
 상기 희생막 상부에 제 2 하드마스크층을 형성하는 단계;
 상기 제 2 하드마스크층을 패턴링하여 미세 패턴이 스페이서 영역에 의해 정의 될 수 있도록 제 2 하드마스크 패턴을 형성하는 단계;
 상기 제 2 하드마스크 패턴을 마스크로 상기 희생막을 식각하여 희생막 패턴을 형성하는 단계;
 상기 제 2 하드마스크 패턴을 제거하고 상기 희생막 패턴의 측벽에 스페이서를 형성하는 단계;
 상기 희생막 패턴을 습식식각 공정으로 제거하여 스페이서 패턴을 형성하는 단계;
 상기 스페이서 패턴의 외각 영역에 패드 형성용 더미 패턴을 정의하는 감광막 패턴을 형성하는 단계;
 상기 스페이서 패턴 및 감광막 패턴을 마스크로 상기 식각방지막 및 제 1 하드마스크층을 식각하는 단계; 및
 상기 스페이서 패턴, 감광막 패턴 및 식각방지막을 제거하여 미세 패턴을 정의하는 제 1 하드마스크 패턴을 형성하는 단계를 포함하며,
 상기 스페이서 패턴을 형성하는 단계는:
 인접한 두 개의 라인형 스페이서 패턴이 연결된 상태의 스페이서 패턴을 얻는 단계;
 상기 반도체 기판의 상부에 상기 스페이서에 의해 형성되는 라인 패턴의 양 단부를 노출시키는 제 2 감광막 패턴을 형성하는 단계; 및
 상기 제 2 감광막 패턴을 마스크로 상기 노출된 스페이서를 식각하여 상기 연결된 상태의 스페이서 패턴을 분리하는 단계를 포함하며,
 상기 스페이서 패턴 형성 시 스크라이브 레인에 정렬 키 또는 오버레이 버니어(Alignment Key or Overlay Vernier) 패턴을 더 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 12

제 11항에 있어서,
 상기 제 2 하드마스크 패턴의 적어도 일측 단부는 소정 각도 꺾여서 형성되는 것을 특징으로 하는 반도체 소자

의 미세 패턴 형성 방법.

청구항 13

제 11항에 있어서,
 상기 희생막 패턴의 측벽에 스페이서를 형성하는 단계는,
 상기 반도체 기판 전면에서 스페이서 물질층을 형성하는 단계와,
 에치백(Etch Back) 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제 11항에 있어서,
 상기 마스크 패턴은 상기 더미 패턴을 양각 형태로 정의하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 18

제 11항에 있어서,
 상기 마스크 패턴은 상기 더미 패턴을 음각 형태로 정의하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자의 미세 패턴 형성 방법에 관한 것으로, 노광 장비의 해상도 한계를 극복하기 위한 이중 노광 공정에서 제 1 마스크 공정과 제 2 마스크 공정을 정렬하는 공정이 용이하지 못하여 불량 발생 문제를 해결하기 위한 것이다.

배경기술

[0002] 최근 반도체 소자의 극미세화 및 고집적화가 진행됨에 따라 메모리 용량의 증가에 비례하여 전체적인 칩(chip) 면적은 증가되고 있지만, 실제로 반도체 소자의 패턴이 형성되는 셀(cell) 영역의 면적은 감소되고 있다. 따라서 원하는 메모리 용량을 확보하기 위해서는 한정된 셀 영역 내에 보다 많은 패턴이 형성되어야만 하므로, 패턴의 선폭(critical dimension)이 감소되어 점점 미세해지고 있다.

[0003] 이와 같이 선폭이 미세한 패턴을 형성하기 위해서 리소그래피 공정(Lithography Process)의 발전이 요구된다. 리소그래피 공정이란, 기판 상부에 포토레지스트(photoresist)를 도포하고, 365nm, 248nm, 193nm 및 153nm의 파장 길이를 가지는 광원을 이용하여 미세 패턴이 정의된 노광 마스크를 사용하여 포토레지스트에 노광 공정을 수행한 다음, 현상(development) 공정을 수행하여 미세 패턴을 정의하는 포토레지스트 패턴을 형성하는 공정이다.

[0004] 같은 리소그래피 공정은 $R = k1 \times \lambda / NA$ 와 같이 광원의 파장(λ)과 개구수(Numerical Aperture: NA)에 따라 그 해상도(R)가 정해진다. 이 식에서 k1은 공정 상수를 의미하는데, 이는 물리적인 한계를 가지므로 통상적인

방법으로 그 값을 감소시키는 것을 거의 불가능하다. 단과장을 이용하는 노광 장치와 함께 상기 단과장에 대해 반응성이 높은 포토레지스트용 물질을 새로 개발해야 하므로, 단과장 이하의 선폭을 갖는 미세 패턴을 형성하는 것이 어렵다.

- [0005] 노광 장치의 공정 능력을 고려한 패턴을 이중으로 중첩시킴으로써 미세한 패턴이 형성될 수 있도록 하는 이중 패턴링 공정(Double Patterning Technology)이 개발되었다.
- [0006] 패턴링 공정은 반도체 기판 상에 미세 패턴의 3배에 해당하는 선폭을 정의하는 제 1 하드마스크를 먼저 형성한 후 그 상부에 제 1 하드마스크와 엇갈리도록 정렬하는 제 2 하드마스크를 형성함으로써, 제 1 및 제 2 하드마스크에 의해서 자연스럽게 미세 패턴이 형성되도록 하는 방법이다. 그러나 제 1 하드마스크 및 제 2 하드마스크를 정확하게 정렬시키는 공정 마진이 점점 감소되면서 이중 패턴링 공정의 마진도 감소되고 있다.
- [0007] 문제를 해결하기 위한 것으로 희생 산화막 패턴을 형성하고 그 측벽에 스페이서를 형성하여 스페이서를 미세 패턴을 정의하는 하드마스크로 이용하는 방법이 사용되고 있다. 그러나 스페이서를 이용한 미세 패턴 형성 방법은 미세 패턴 형성을 위한 공정 마진을 향상시킬 수 있으나, 더미 패턴도 함께 미세화되면서 더미 패턴이 정상적으로 형성되지 못하여 더미 패턴의 불량이 발생하는 문제가 있다.
- [0008] 상술한 바와 같이 종래 기술에 따른 반도체 소자의 미세 패턴 형성 방법에서는, 노광 장비의 해상도에 한계로 인해 선폭이 미세한 패턴의 형성이 어려운 문제가 있었으며, 이를 극복하기 위한 이중 노광 공정을 이용하고 있으나 2차에 걸친 마스크 형성 공정에서 오정렬(Mis-align)이 발생하는 문제가 있다. 따라서 스페이서를 이용한 미세 패턴 형성 방법이 개발되었으나 미세 패턴 형성을 위한 스페이서 하드마스크 형성 공정에서는 더미 패턴도 같이 정의되므로, 더미 패턴의 성질이 취약해지고 반도체 소자의 형성 공정 수율 및 신뢰성이 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0009] 상기 문제점을 해결하기 위하여, 본 발명은 스페이서 형성 공정을 이용하여 미세 패턴을 정의하는 하드마스크 패턴을 형성방법을 사용하되, 미세 패턴을 정의하는 스페이서 형성 공정과 더미 패턴을 정의하는 마스크 패턴 형성 공정을 분리하여 수행함으로써, 반도체 소자의 형성 공정 수율 및 신뢰성을 향상시킬 수 있도록 하는 반도체 소자의 미세 패턴 형성 방법을 제공하는 것을 그 목적으로 한다.

과제 해결수단

- [0010] 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법은 반도체 기판 상부에 셀 영역과 주변회로 영역을 정의하는 단계; 상기 반도체 기판 전면에 피식각층을 형성하는 단계; 상기 셀 영역의 피식각층 상부에 희생막 패턴을 형성하는 단계; 상기 희생막 패턴의 측벽에 스페이서를 형성하는 단계; 상기 희생막 패턴을 제거하여 스페이서 패턴을 형성하는 단계; 상기 주변회로 영역의 피식각층 상부에 주변회로 패턴을 정의하는 마스크 패턴을 형성하는 단계; 및 상기 스페이서 패턴 및 감광막 패턴을 마스크로 상기 셀 영역 및 주변회로 영역의 피식각층을 패턴링하여 각각 셀 패턴 및 주변회로 패턴을 얻는 단계를 포함하는 것을 특징으로 한다.
- [0011] 나아가, 상기 스페이서 패턴 형성 시 스크라이브 레인에 정렬 키 또는 오버레이 버니어(Alignment Key or Overlay Vernier) 패턴을 더 형성하는 것을 특징으로 한다.
- [0012] 또한 상기 마스크 패턴은 상기 더미 패턴을 양각 또는 음각 형태로 정의할 수 있다.
- [0013] 아울러, 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법은 반도체 기판 상부에 제 1 하드마스크층을 형성하는 단계; 상기 제 1 하드마스크층 상부에 식각방지막을 형성하는 단계; 상기 식각방지막 상부에 희생막을 형성하는 단계; 상기 희생막 상부에 제 2 하드마스크층을 형성하는 단계; 상기 제 2 하드마스크층을 패턴링하여 미세 패턴이 스페이서 영역에 의해 정의 될 수 있도록 제 2 하드마스크 패턴을 형성하는 단계; 상기 제 2 하드마스크 패턴을 마스크로 상기 희생막을 식각하여 희생막 패턴을 형성하는 단계; 상기 제 2 하드마스크 패턴을 제거하고 상기 희생막 패턴의 측벽에 스페이서를 형성하는 단계; 상기 희생막 패턴을 제거하여 스페이서 패턴을 형성하는 단계; 상기 스페이서 패턴의 외각 영역에 패드 형성용 더미 패턴을 정의하는 감광막 패턴을 형성하는 단계; 상기 스페이서 패턴 및 감광막 패턴을 마스크로 상기 식각방지막 및 제 1 하드마스크층을 식각하는 단계; 및 상기 스페이서 패턴, 감광막 패턴 및 식각방지막을 제거하여 미세 패턴을 정의하는 제 1 하드마스크

패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

효 과

[0014] 상술한 바와 같이 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법은, 셀 영역의 스페이서 형성 공정으로 주변 회로부의 패드 형성을 더미 패턴도 함께 형성할 경우 더미 패턴이 열화되어 더미 패턴을 정의하는 하드마스크 패턴이 정상적으로 형성되지 않을 수 있으므로, 셀부의 더블 패터닝용 스페이서 형성 공정과 주변 회로부의 패드 형성을 더미 패턴을 정의하는 마스크 패턴 형성 공정을 분리하여 수행함으로써, 반도체 소자의 형성 공정 수율을 증가시킬 수 있고, 공정의 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.
- [0016] 먼저 도 1a 내지 1g를 참조하여 반도체 소자에서 셀 영역에 플래쉬 게이트를 형성하고 주변 회로 영역에 더미 패턴을 형성하는 전체 공정을 설명한 뒤, 도 2를 참고하여 반도체 소자에서 주변 회로 영역에 정렬 키 또는 오버레이 버니어(Alignment Key or Overlay Vernier, 이하 ‘정렬키’라 한다)를 형성하는 공정을 설명하고, 마지막으로 도 3a 내지 4c를 참조하여 반도체 소자에서 주변회로 영역에 정렬 키 및 더미 패턴을 형성하는 공정을 설명하도록 한다.
- [0017] 도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법을 도시한 평면 및 단면도들로, 도 1a의 (i) 내지 도 1g의 (i)은 평면도를 도시한 것이고, 도 1a의 (ii) 내지 도 1g의 (ii)는 도 1a의 (i) 내지 도 1g의 (i)에서 A-A' 선을 따른 단면도를 도시한 것이다.
- [0018] 도 1a를 참조하면, 반도체 기판(100) 상부에 제 1 하드마스크층(120)을 형성한다. 이때 도면에 도시하지는 않았으나, 제 1 하드마스크층(120) 및 반도체 기판(100) 사이에는 게이트 구성 물질층과 같은 피식각층이 구비되는 것이 바람직하다.
- [0019] 다음에는, 제 1 하드마스크층(120) 상부에 식각방지막(130)을 형성하고, 식각방지막(130) 상부에 희생막(140)을 형성한다. 그리고 희생막(140) 상부에 제 2 하드마스크층(150)을 형성하고, 제 2 하드마스크층(150) 상부에 반사방지막(160)을 형성하고, 반사방지막(160) 상부에 미세 패턴인 플래쉬 게이트(Flash Gate) 모양으로 정의되는 제 1 감광막 패턴(170)을 형성한다. 이때, 제 1 감광막 패턴(170)은 라인 패턴으로 형성하는 것이 바람직하다.
- [0020] 이 때, 평면도인 도 1a의 (i)에 도시된 바와 같이 라인 패턴으로 형성된 제 1 감광막 패턴(170)의 쓰러짐을 방지하기 위하여 제 1 감광막 패턴(170)의 일측 단부를 'ㄱ'자형으로 꺾어서 형성한다.
- [0021] 다음으로 도 1b를 참조하면, 제 1 감광막 패턴(170)을 마스크로 반사방지막(160) 및 제 2 하드마스크층(150)을 식각하여 라인/스페이스를 정의하는 제 2 하드마스크 패턴(미도시)을 형성한다. 그리고 제 1 감광막 패턴(170)을 제거한 후, 상기 제 2 하드마스크 패턴을 마스크로 희생막(140)을 식각하여 플래쉬 게이트를 정의하는 희생막 패턴(145)을 형성한다.
- [0022] 그 다음에는, 반도체 기판(100) 전면에 희생막 패턴(145)과 식각 선택비 차이가 있는 스페이서 물질층(미도시)을 형성한 후, 에치백(Etch Back) 공정을 수행하여 희생막 패턴(145)의 측벽에 제 1 스페이서(180)를 형성한다. 여기서, 제 1 스페이서(180)의 선포(CD)이 후속 공정에서 형성하는 미세 패턴(플래쉬 게이트)의 선포가 된다.
- [0023] 도 1c를 참조하면, 습식 식각 또는 건식 식각 등의 방법으로 희생막 패턴(145)을 제거한다. 그리고 도 1d를 참조하면, 반도체 기판(100) 상부에 제 1 스페이서(180)에 의해 형성되는 라인 패턴의 양 단부를 노출시키는 제 2 감광막 패턴(190)을 형성한다.
- [0024] 도 1e를 참조하면, 제 2 감광막 패턴(190)을 마스크로 노출된 스페이서(180) 패턴의 양 단부를 제거하여 제 1 스페이서 패턴을 분리함으로써, 플래쉬 게이트를 정의하는 제 2 스페이서 패턴(185)을 형성한다. 다음에는, 제 2 감광막 패턴(190)을 제거한다.
- [0025] 도 1f를 참조하면, 각각 분리된 제 2 스페이서 패턴(185)을 포함하는 식각방지막(130) 상부에 패드를 정의하는 제 3 감광막 패턴(200)을 형성한다. 이 때 도 1f의 (i)를 참고하면, 패드를 정의하는 제 3 감광막 패턴(200)은 반도체 기판(100)의 주변 회로 영역에 구비된다. 이 때 스페이서 패턴(185)의 'ㄱ'자로 꺾인 에지부에는 지지패턴(185a)이 추가로 형성되는 것이 바람직하다.
- [0026] 즉 본 발명에서는 도 1f에 도시된 바와 같이, 셀 영역에서 플래쉬 게이트를 정의하는 패턴은 스페이서 패터닝

(spacer patterning) 공정을 적용하여 형성하되, 주변회로 영역에서 패드용 더미 패턴을 정의하는 제 3 감광막 패턴(200)은 스페이서를 이용하지 않는 단순한 싱글 패턴닝(single patterning) 공정을 적용하여 형성하는 것을 특징으로 한다. 이 결과 주변 회로부의 패드용 더미 패턴도 스페이서를 이용하여 형성하는 경우에 더미 패턴이 얇은 폭으로 형성되어 패턴이 넘어지거나 무너지는(collapse or lifting) 등 불량이가 발생하는 종래기술의 문제 점을 해결할 수 있게 된다.

- [0027] 이후, 도 1g에 도시된 바와 같이 스페이서 패턴(185) 및 제 3 감광막 패턴(200)을 마스크로 식각방지막(130) 및 제 1 하드마스크층(120)을 식각하여 제 1 내지 3 하드마스크 패턴(125, 125a, 125b)을 형성한다. 구체적으로, 미세 패턴인 플래쉬 게이트를 정의하는 제 1 하드마스크 패턴(125)과 쓰러짐 방지용 지지패턴을 정의하는 제 2 하드마스크 패턴(125a) 및 더미 패턴을 정의하는 제 3 하드마스크 패턴(125b)이 형성된다.
- [0028] 다음에는, 스페이서 패턴(185) 및 제 3 감광막 패턴(200)을 제거하고 제 1 내지 3 하드마스크 패턴(125, 125a, 125b)을 마스크로 반도체 기판(100)을 식각하여 플래쉬 게이트(미도시)와, 지지 패턴(미도시) 및 더미 패턴(미도시)을 형성한다.
- [0029] 본 발명에 따르는 반도체 소자의 미세 패턴 형성 방법에서는 지금까지 설명한 바와 같이 플래쉬 게이트와 더미 패턴을 형성하며, 이하에서는 도 2를 참고하여 주변회로 영역에 정렬 키를 형성하는 공정을 설명한다.
- [0030] 도 2는 본 발명에 따른 정렬 키 형성 방법을 도시한 단면도이다. 구체적으로 도 2는 반도체 기판 상에 미세 패턴을 정의하는 제 1 마스크 패턴 형성 공정 시, 주변 회로 영역에 정렬 키를 형성하기 위한 제 1 마스크 패턴(175)을 더 형성한 것을 나타낸 것이다.
- [0031] 정렬 키는 제 1 마스크 패턴(175)의 측벽에 형성되는 스페이서 패턴(175a; 도 3a 및 3b 참조)에 의해 정의되는데, 정렬 키 패턴은 전체 크기 및 분포 범위가 비교적 크기 때문에 CMP 또는 식각 공정의 영향을 상대적으로 적게 받는다. 따라서 상기 도 1a에서와 같이 셀 영역에 제 1 감광막 패턴(170)을 정의하는 초기 단계에서부터 정렬키 패턴(175)을 미리 형성하여도 관계가 없고, 이후 상술한 셀 영역의 미세패턴 형성방법과 동일하게 도 1b 내지 1g와 같은 공정을 수행하게 된다.
- [0032] 이하에서는, 마지막으로 주변회로 영역에 정렬 키 및 더미 패턴을 형성하는 공정을 도 3a 내지 4b를 참고하여 설명한다. 도 3a 내지 4b는 도 1f 및 1e에서 ‘셀 영역에 플래쉬 게이트 형성용 패턴’을, ‘주변회로 영역에 패드용 더미 패턴’을 형성하는 공정에 대응하는 것으로, ‘주변회로 영역에 정렬 키 및 패드 형성용 더미 패턴’을 형성하는 공정을 도시하는 도면이다.
- [0033] 먼저, 도 3a 및 도 3b는 본 발명의 제 1 실시예에 따른 더미 패턴을 형성하는 방법을 도시한 단면도이다. 도 3a는 셀 영역에 도 1e까지의 공정이 진행된 상태에서 주변회로 영역에 패드를 정의하는 더미 패턴(200a)을 형성하는 공정을 도시하고 있다.
- [0034] 도 3a를 참조하면, 주변 회로부에는 정렬 키 패턴(175a)을 포함하는 식각방지막(330) 상부에 패드용 더미 패턴을 정의하는 감광막 패턴(200a)을 형성한다.
- [0035] 도 3b를 참조하면, 정렬 키 패턴(175a)과 감광막 패턴(200a)을 마스크로 식각방지막(330) 및 제 1 하드마스크층(320)을 식각하여 제 1 하드마스크 패턴(미도시)을 형성한 후, 제 1 하드마스크 패턴을 마스크로 반도체 기판(300)을 식각하여 더미 패턴(315) 및 정렬 키(325)를 형성한다.
- [0036] 도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 더미 패턴을 형성하는 방법을 도시한 단면도이고, 도 4a는 도 3a와 마찬가지로 셀 영역에 도 1e까지의 공정이 진행된 상태에서 주변회로 영역에 패드를 정의하는 더미 패턴(200b)을 형성하는 공정을 도시한다.
- [0037] 도 4a를 참조하면 주변 회로부에는 정렬 키 패턴(175a)을 포함하는 식각방지막(430) 상부에 패드용 더미 패턴(415)을 정의하는 감광막 패턴(200b)을 형성한다.
- [0038] 도 4b를 참조하면, 상기 도 3b에서와 동일한 공정으로 정렬 키 패턴(185a)과 감광막 패턴(200b)을 마스크로 식각방지막(430) 및 제 1 하드마스크층(420)을 식각하여 제 1 하드마스크 패턴(미도시)을 형성한 후, 제 1 하드마스크 패턴(미도시)을 마스크로 반도체 기판(400)을 식각하여 더미 패턴(415) 및 정렬 키(425)를 형성한다.
- [0039] 즉, 도 3a 및 3b에 도시된 제 1 실시예와 도 4a 및 4b에 도시된 제 2 실시예는 정렬 키(325, 425)를 형성하는 공정은 서로 동일하나, 더미 패턴(315, 415)을 형성하기 위한 감광막 패턴(200a, 200b)이 서로 대칭되는 형상인 점에서 차이가 있다. 제 1 실시예와 제 2 실시예의 각 감광막 패턴(200a, 200b)은 동일한 레티클(reticle)

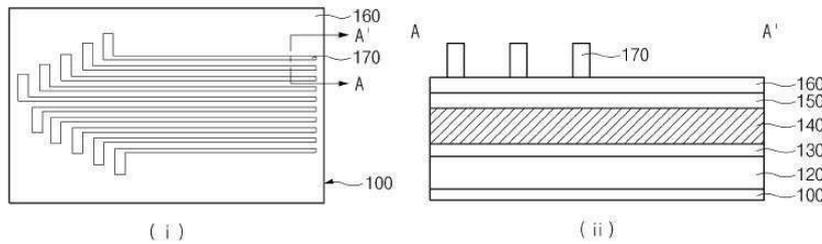
을 이용하되 각각 양성 레지스트(positive resist) 및 음성 레지스트(negative resist)를 이용하여 형성되는 것이 바람직하다.

도면의 간단한 설명

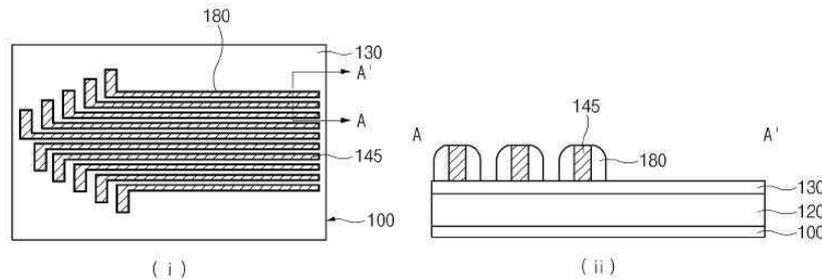
- [0040] 도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법을 도시한 평면도 및 단면도.
- [0041] 도 2는 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에서 정렬 키 형성 방법을 도시한 단면도.
- [0042] 도 3a 및 도 3b는 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에서 더미 패턴을 형성하는 방법의 제 1 실시예를 도시한 단면도.
- [0043] 도 4a 및 도 4b는 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에서 더미 패턴을 형성하는 방법의 제 2 실시예를 도시한 단면도.

도면

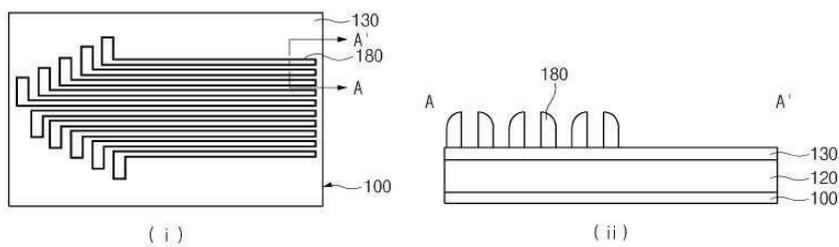
도면1a



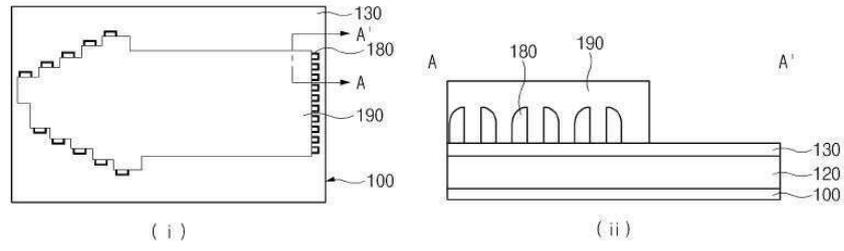
도면1b



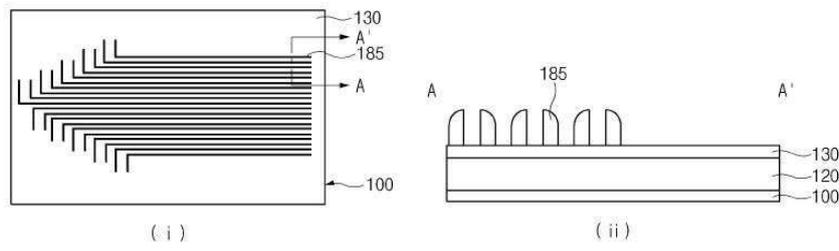
도면1c



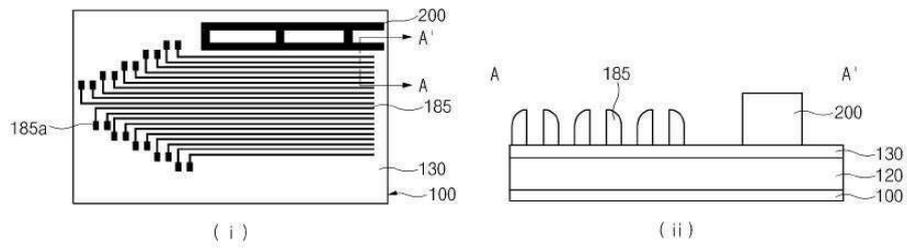
도면1d



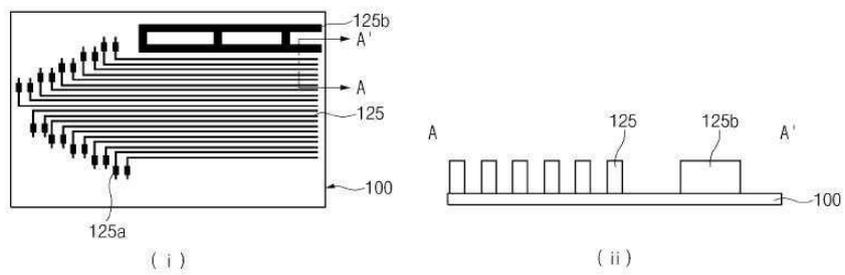
도면1e



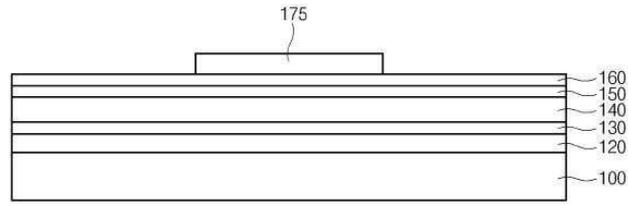
도면1f



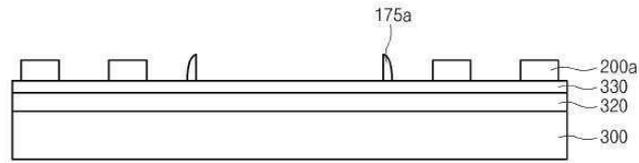
도면1g



도면2



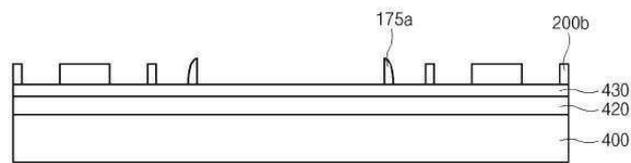
도면3a



도면3b



도면4a



도면4b

