



(12) 发明专利申请

(10) 申请公布号 CN 105355555 A

(43) 申请公布日 2016. 02. 24

(21) 申请号 201510712242. 8

(22) 申请日 2015. 10. 28

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 黄森 刘新宇 王鑫华 魏珂

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 任岩

(51) Int. Cl.

H01L 21/335(2006. 01)

H01L 29/778(2006. 01)

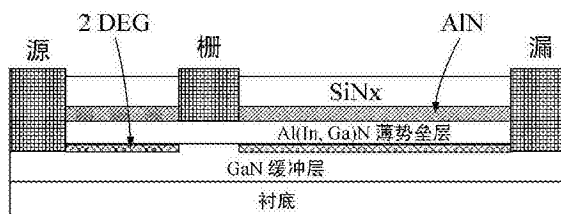
权利要求书1页 说明书4页 附图1页

(54) 发明名称

一种 GaN 基增强型功率电子器件及其制备方法

(57) 摘要

本发明公开了一种 GaN 基增强型功率电子器件及其制备方法, GaN 基增强型功率电子器件包括:衬底;形成于衬底之上的薄势垒 Al(In, Ga)N/GaN 异质结构;以及形成于薄势垒 Al(In, Ga)N/GaN 异质结构之上的栅极、源极和漏极;其中,在栅极与源极以及栅极与漏极之间的 access 区域形成有 AlN 钝化层,利用具有极化特性的该 AlN 钝化层恢复该 AlN 钝化层下薄势垒 Al(In, Ga)N/GaN 异质结构沟道中的二维电子气,从而降低器件的导通电阻,同时抑制器件的高压电流坍塌。利用本发明,提高了 GaN 基增强型器件阈值电压的可控度和一致性,解决了 GaN 基增强型器件的工艺重复性,有助于提高 GaN 基增强型电子器件的成品率,推动 GaN 基功率电子器件的产业化进程。



1. 一种 GaN 基增强型功率电子器件,其特征在于,包括:
衬底;
形成于衬底之上的薄势垒 Al(In,Ga)N/GaN 异质结构;以及
形成于薄势垒 Al(In,Ga)N/GaN 异质结构之上的栅极、源极和漏极;
其中,在栅极与源极以及栅极与漏极之间的接入区域形成有 AlN 钝化层,利用具有极化特性的该 AlN 钝化层恢复该 AlN 钝化层下薄势垒 Al(In,Ga)N/GaN 异质结构沟道中的二维电子气,从而降低器件的导通电阻,同时抑制器件的高压电流坍塌。
2. 根据权利要求 1 所述的 GaN 基增强型功率电子器件,其特征在于,所述薄势垒 Al(In,Ga)N/GaN 异质结构是利用金属有机物化学气相沉积或分子束外延技术直接在衬底上依次外延 GaN 缓冲层和 Al(In,Ga)N 势垒层而形成,以实现增强型栅结构。
3. 根据权利要求 2 所述的 GaN 基增强型功率电子器件,其特征在于,所述薄势垒 Al(In,Ga)N/GaN 异质结构中,Al(In,Ga)N 势垒层是 10nm 以下 AlGa_xIn_{1-x}N 三元合金势垒层,或者是 AlInGa_xN 四元合金势垒层。
4. 根据权利要求 2 所述的 GaN 基增强型功率电子器件,其特征在于,所述增强型栅结构,是肖特基型栅接触,或者是 MIS 型栅接触,栅长从 100 纳米到 3 微米,其中 1 微米以下栅线条是通过步进光刻或电子束光刻实现,1 微米以上是采用光学光刻实现。
5. 根据权利要求 1 所述的 GaN 基增强型功率电子器件,其特征在于,所述 AlN 钝化层,是具有极化特性的钝化薄膜,厚度在 10nm 以下,采用等离子体增强模式原子层沉积或分子束外延技术在低温下生长,生长温度在 150℃ 到 500℃ 之间。
6. 根据权利要求 1 或 5 所述的 GaN 基增强型功率电子器件,其特征在于,所述 AlN 钝化层之上还包括 SiN_x钝化保护层,以提高器件的可靠性。
7. 根据权利要求 6 所述的 GaN 基增强型功率电子器件,其特征在于,所述 SiN_x钝化保护层,是通过 MOCVD 外延、LPCVD 或 PECVD 技术生长,厚度在 50-200nm 之间。
8. 根据权利要求 1 所述的 GaN 基增强型功率电子器件,其特征在于,所述衬底为硅衬底、SiC 衬底、蓝宝石衬底或同质外延的 GaN 衬底。
9. 一种 GaN 基增强型功率电子器件的制备方法,其特征在于,该方法首先在衬底之上形成薄势垒 Al(In,Ga)N/GaN 异质结构,然后采用先栅工艺或后栅工艺在薄势垒 Al(In,Ga)N/GaN 异质结构之上形成栅极、源极、漏极、AlN 钝化层以及 SiN_x钝化保护层。
10. 根据权利要求 9 所述的 GaN 基增强型功率电子器件的制备方法,其特征在于,所述薄势垒 Al(In,Ga)N/GaN 异质结构是利用金属有机物化学气相沉积或分子束外延技术直接在衬底上依次外延 GaN 和薄势垒层而形成;
所述先栅工艺是先在薄势垒 Al(In,Ga)N/GaN 异质结构之上制备栅极、源极及漏极,然后在栅极与源极以及栅极与漏极之间的接入区域依次形成 AlN 钝化层及 SiN_x钝化保护层;
所述后栅工艺是先在薄势垒 Al(In,Ga)N/GaN 异质结构之上依次制备 AlN 钝化层及 SiN_x钝化保护层,然后在栅极开孔制备栅肖特基或 MIS 接触。

一种 GaN 基增强型功率电子器件及其制备方法

技术领域

[0001] 本发明涉及 GaN 基功率电子和微波功率放大器应用技术领域,尤其是一种 GaN 基增强型功率电子器件及其制备方法。

背景技术

[0002] 高效功率电子器件(又称功率开关器件)在智能电网、工业控制、新能源发电、电动汽车以及消费电子等领域具有重大应用价值,全球 70% 以上的电力电子系统均由基于功率半导体器件的电力管理系统来调控管理。传统 Si 功率电子器件性能已经接近 Si 半导体材料的物理极限,以 SiC 和 GaN 为代表的新型宽禁带半导体器件凭借更高的击穿电场、更高的工作频率和更低的导通电阻有望成为下一代高效功率电子技术的强有力竞争者。

[0003] 增强型是功率电子器件安全工作的关键要求,即在高压工作时,器件即使失去栅控的状态下也是安全的,不会导致系统的烧毁。这就要求功率电子器件必须是增强型的(enhancement-mode,也称 normally-off),即器件的阈值要在 0V 以上。而目前 GaN 基增强型功率电子器件主要是基于 Al(In,Ga)N/GaN 异质结构制备的,依靠 Al(In,Ga)N 势垒层和 GaN 缓冲层间较强的自发和压电极化效应,在 Al(In,Ga)N/GaN 异质结构道中会诱导出高达 10^{13}cm^{-2} 的二维电子气(2DEG),因此基于该结构制备的 GaN 基功率电子器件(包括 HEMTs 和 MIS-HEMTs)一般是耗尽型的,为了实现 GaN 基增强型器件,目前国际上主要有五种技术:1) 栅槽刻蚀减薄 Al(In,Ga)N 势垒层;2) 在 Al(In,Ga)N 势垒层中注入带负电的氟离子;3) 在势垒层表面生长 P-(Al)GaN 盖帽层;4) 在势垒层表面生长 InGaN 或厚 GaN 反极化层;5) 增强型 Si-MOSFET 与 GaN 基耗尽型 HEMT/MIS-HEMT 级联结构。

[0004] 栅槽刻蚀是通过等离子体干法刻蚀 Al(In,Ga)N 势垒层实现,由于势垒层一般只有 20nm 左右,通过该技术很难实现晶圆间,尤其是批次间刻蚀深度的重复性,制约了该技术的产业化。氟离子注入技术同样面临工艺的重复性问题。P-(Al)GaN 盖帽层和厚 GaN 反极化层技术是通过 MOCVD 或 MBE 外延生长厚度和掺杂控制来实现增强型,一般能获得较好的阈值一致性,特别是 P-(Al)GaN 技术已经有相关的示范产品报道。第 5 种级联技术利用成熟的 Si-MOSFET(已产业化)实现增强型,也推出了相关的 600V 功率电子产品。

[0005] 另一方面,由于表面态的存在,GaN 基功率电子器件在高压工作时存在严重的电流坍塌,直接导致器件动态导通电阻和功耗的增加。香港科技大学采用等离子增强原子层沉积(PEALD)技术在 III-族氮化物半导体上外延出具有极化特性的 AlN 薄膜,利用极化诱导的高密度极化电荷补偿表面态,有效抑制了 GaN 基功率电子器件高压电流坍塌。因此,利用极性 AlN 薄膜的极化特性除了能抑制电流坍塌,同时有可能在薄势垒 Al(In,Ga)N/GaN 异质结构中获得高密度的 2DEG。

[0006] 综上所述,结合薄势垒 Al(In,Ga)N/GaN 异质结构的良好增强型阈值控制和极性 AlN 钝化薄膜高密度极化电荷,有助于制备出具有良好的增强型阈值均匀性、低动态导通电阻的 GaN 基功率电子器件,从而有效提高 GaN 基增强型器件的工艺重复性和成品率,推动 GaN 基功率电子器件的产业化进程。

发明内容

[0007] (一) 要解决的技术问题

[0008] 有鉴于此,本发明的主要目的在于提供一种 GaN 基增强型功率电子器件及其制备方法,以解决 GaN 基功率电子器件的增强型阈值一致性和重复性,提高 GaN 基功率电子器件的工艺成品率,促进 GaN 基功率电子器件的产业化。

[0009] (二) 技术方案

[0010] 为达到上述目的,本发明提供了一种 GaN 基增强型功率电子器件,包括:衬底;形成于衬底之上的薄势垒 Al(In,Ga)N/GaN 异质结构;以及形成于薄势垒 Al(In,Ga)N/GaN 异质结构之上的栅极、源极和漏极;其中,在栅极与源极以及栅极与漏极之间的接入区域形成有 AlN 钝化层,利用具有极化特性的该 AlN 钝化层恢复该 AlN 钝化层下薄势垒 Al(In,Ga)N/GaN 异质结构沟道中的二维电子气,从而降低器件的导通电阻,同时抑制器件的高压电流坍塌。

[0011] 上述方案中,所述薄势垒 Al(In,Ga)N/GaN 异质结构是利用金属有机物化学气相沉积或分子束外延技术直接在衬底上依次外延 GaN 缓冲层和 Al(In,Ga)N 势垒层而形成,以实现增强型栅结构。

[0012] 上述方案中,所述薄势垒 Al(In,Ga)N/GaN 异质结构中,Al(In,Ga)N 势垒层是 10nm 以下 AlGa_xIn_{1-x}N 三元合金势垒层,或者是 AlInGa_xN 四元合金势垒层。所述增强型栅结构,是肖特基型栅接触,或者是 MIS 型栅接触,栅长从 100 纳米到 3 微米,其中 1 微米以下栅线条是通过步进光刻或电子束光刻实现,1 微米以上是采用光学光刻实现。

[0013] 上述方案中,所述 AlN 钝化层,是具有极化特性的钝化薄膜,厚度在 10nm 以下,采用等离子体增强模式原子层沉积或分子束外延技术在低温下生长,生长温度在 150℃ 到 500℃ 之间。

[0014] 上述方案中,所述 AlN 钝化层之上还包括 SiN_x钝化保护层,以提高器件的可靠性。

[0015] 上述方案中,所述 SiN_x钝化保护层,是通过 MOCVD 外延、LPCVD 或 PECVD 技术生长,厚度在 50-200nm 之间。

[0016] 上述方案中,所述衬底为硅衬底、SiC 衬底、蓝宝石衬底或同质外延的 GaN 衬底。

[0017] 为达到上述目的,本发明还提供了一种 GaN 基增强型功率电子器件的制备方法,该方法首先在衬底之上形成薄势垒 Al(In,Ga)N/GaN 异质结构,然后采用先栅工艺或后栅工艺在薄势垒 Al(In,Ga)N/GaN 异质结构之上形成栅极、源极、漏极、AlN 钝化层以及 SiN_x钝化保护层。

[0018] 上述方案中,所述薄势垒 Al(In,Ga)N/GaN 异质结构是利用金属有机物化学气相沉积或分子束外延技术直接在衬底上依次外延 GaN 和薄势垒层而形成;所述先栅工艺是先在薄势垒 Al(In,Ga)N/GaN 异质结构之上制备栅极、源极及漏极,然后在栅极与源极以及栅极与漏极之间的接入区域依次形成 AlN 钝化层及 SiN_x钝化保护层;所述后栅工艺是先在薄势垒 Al(In,Ga)N/GaN 异质结构之上依次制备 AlN 钝化层及 SiN_x钝化保护层,然后在栅极开孔制备栅肖特基或 MIS 接触。

[0019] (三) 有益效果

[0020] 从上述技术方案可以看出,本发明具有以下有益效果:

[0021] 1、本发明提供的 GaN 基增强型功率电子器件及其制备方法,从材料生长角度提供一种精确调控 GaN 基增强型功率电子器件阈值电压的技术,通过调整 Al(In,Ga)N 势垒层生长条件,能有效提高 GaN 基增强型器件阈值电压的可控度和一致性,解决了 GaN 基增强型器件的工艺重复性,有助于提高 GaN 基增强型电子器件的成品率,促进 GaN 基功率电子器件的产业化。

[0022] 2、本发明提供的 GaN 基增强型功率电子器件及其制备方法,由于在薄势垒 Al(In,Ga)N/GaN 异质结构中,势垒层厚度在 10nm 以下,能有效降低源漏 (source&drain) 欧姆接触的合金温度 (850°C 以下)。

[0023] 3、本发明提供的 GaN 基增强型功率电子器件及其制备方法,为了弥补上述 Al(In,Ga)N/GaN 薄势垒技术导致的栅源和栅漏区域沟道电阻的增加,利用具有极化特性的 (charge-polarized) AlN 薄膜中的极化电荷提高 Al(In,Ga)N/GaN 异质结构沟道的 2DEG 密度,从而有效降低整个器件的导通电阻。

[0024] 4、本发明提供的 GaN 基增强型功率电子器件及其制备方法,所采用的具有极化特性的 AlN 钝化薄膜不仅能够降低 GaN 基增强型功率电子器件 (包括 HEMTs 和 MIS-HEMTs) 的沟道电阻,而且能有效钝化 Al(In,Ga)N/GaN 异质结构的表面态,显著抑制其制备的功率电子器件的高压电流坍塌。

[0025] 5、本发明提供的 GaN 基增强型功率电子器件及其制备方法,所采用的用于保护具有极化特性的 AlN 钝化的 SiN_x 表面层,能防止 AlN 被外界氧化或被水汽侵蚀,有效提高器件的长期可靠性。

附图说明

[0026] 图 1 是本发明提供的 GaN 基增强型功率电子器件的结构示意图;

[0027] 图 2 是用于实现 GaN 基增强型的薄势垒 Al(In,Ga)N/GaN 异质结构的示意图;

[0028] 图 3 是利用具有极化特性的 AlN 钝化层实现 GaN 基增强型功率电子器件栅源和栅漏间接入区域 2DEG 恢复的示意图。

具体实施方式

[0029] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0030] 本发明提供的 GaN 基增强型功率电子器件,如图 1 所示,包括:衬底;形成于衬底之上的薄势垒 Al(In,Ga)N/GaN 异质结构;以及形成于薄势垒 Al(In,Ga)N/GaN 异质结构之上的栅极、源极和漏极;其中,在栅极与源极以及栅极与漏极之间的接入区域形成有 AlN 钝化层,利用具有极化特性的该 AlN 钝化层恢复该 AlN 钝化层下薄势垒 Al(In,Ga)N/GaN 异质结构沟道中的二维电子气,从而降低器件的导通电阻,同时抑制器件的高压电流坍塌。

[0031] 图 1 中,薄势垒 Al(In,Ga)N/GaN 异质结构是利用金属有机物化学气相沉积或分子束外延技术直接在衬底上依次外延 GaN 缓冲层和 Al(In,Ga)N 势垒层而形成,以实现增强型栅结构。在薄势垒 Al(In,Ga)N/GaN 异质结构中,Al(In,Ga)N 势垒层是 10nm 以下 AlGa_{0.5}N 或 AlInN 三元合金势垒层,或者是 AlInGa_{0.5}N 四元合金势垒层。增强型栅结构是肖特基型栅接触,或者是 MIS 型栅接触,栅长从 100 纳米到 3 微米,其中 1 微米以下栅线条是通过步进光

刻或电子束光刻实现,1 微米以上是采用光学光刻实现。衬底为硅衬底、SiC 衬底、蓝宝石衬底或同质外延的 GaN 衬底。

[0032] 本发明提供的 GaN 基增强型功率电子器件,是利用金属有机物化学气相沉积(MOCVD)或分子束外延(MBE)技术直接在衬底材料上外延出薄势垒 Al(In,Ga)N/GaN 异质结构以实现增强型栅结构,在栅源和栅漏之间的接入区域利用具有极化特性的 AlN 钝化层恢复其下沟道中的二维电子气(2DEG),从而降低器件的导通电阻。AlN 钝化同样能有效抑制 GaN 基增强型功率电子器件的高压电流坍塌。AlN 钝化层是具有极化特性的钝化薄膜,厚度在 10nm 以下,采用等离子体增强模式原子层沉积或分子束外延技术在低温下生长,生长温度在 150°C 到 500°C 之间。AlN 钝化层之上还包括 SiN_x钝化保护层,以提高器件的可靠性。SiN_x钝化保护层,是通过 MOCVD 外延、LPCVD 或 PECVD 技术生长,厚度在 50-200nm 之间。

[0033] 图 2 显示了用于实现 GaN 基增强型的薄势垒 Al(In,Ga)N/GaN 异质结构,通过在 MOCVD 或 MBE 外延过程中控制 Al(In,Ga)N 势垒层厚度(10nm 以下),削弱势垒层的自发和压电极化,从而降低该异质结构沟道中的 2DEG 密度(包括栅极以下区域的 2DEG),实现增强型阈值。

[0034] 图 3 显示了利用具有极化特性的 AlN 钝化层恢复其下沟道中的二维电子气(2DEG),而栅极区域的 2DEG 仍然保持耗尽状态,从而实现了增强型器件结构。AlN 钝化层同样抑制了 GaN 基增强型功率电子器件的高压电流坍塌,进一步提高了器件的高压动态性能。

[0035] 本发明提供的新型 GaN 基增强型功率电子器件的制备过程,一般是首先利用 MOCVD 或 MBE 技术在衬底之上形成薄势垒 Al(In,Ga)N/GaN 异质结构,然后采用先栅工艺或后栅工艺在薄势垒 Al(In,Ga)N/GaN 异质结构之上形成栅极、源极、漏极、AlN 钝化层以及 SiN_x钝化保护层。其中先栅工艺或后栅工艺,即是栅金属和钝化工艺顺序可以调换,即可先进行 AlN/SiN_x钝化,然后在栅极开孔制备栅肖特基或 MIS 接触,也可先制备栅极,然后进行 AlN/SiN_x钝化。

[0036] 其中,薄势垒 Al(In,Ga)N/GaN 异质结构是利用金属有机物化学气相沉积或分子束外延技术直接在衬底上依次外延 GaN 和薄势垒层而形成。先栅工艺是先在薄势垒 Al(In,Ga)N/GaN 异质结构之上制备栅极、源极及漏极,然后在栅极与源极以及栅极与漏极之间的接入区域依次形成 AlN 钝化层及 SiN_x钝化保护层。后栅工艺是先在薄势垒 Al(In,Ga)N/GaN 异质结构之上依次制备 AlN 钝化层及 SiN_x钝化保护层,然后在栅极开孔制备栅肖特基或 MIS 接触。

[0037] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。



图 1

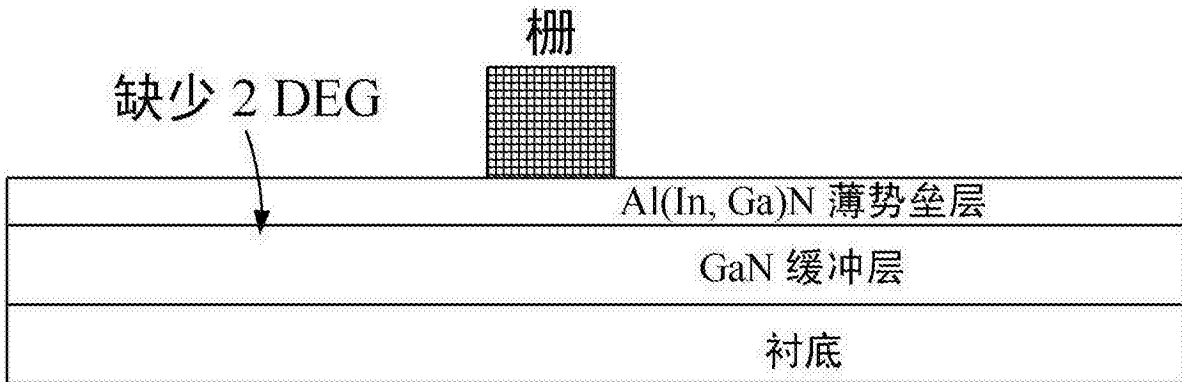


图 2

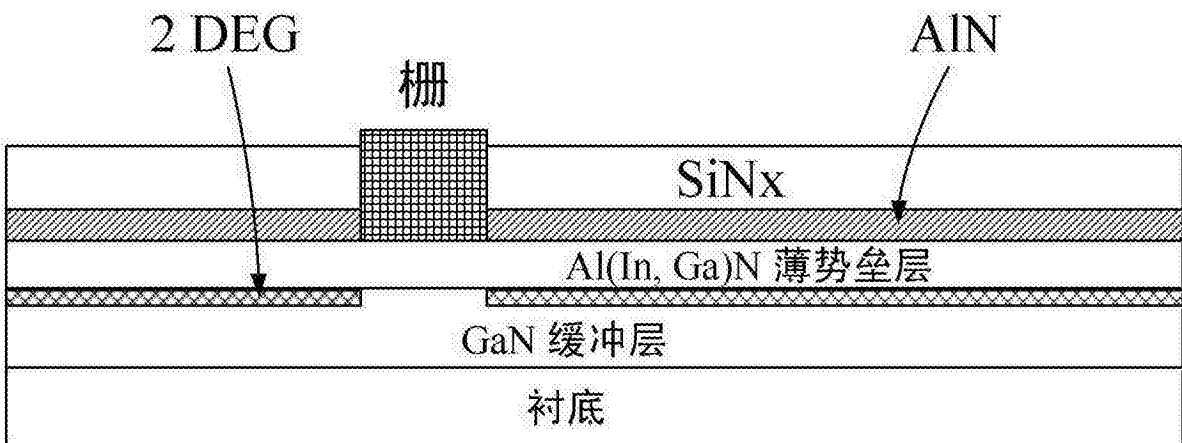


图 3