

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6237183号
(P6237183)

(45) 発行日 平成29年11月29日(2017.11.29)

(24) 登録日 平成29年11月10日(2017.11.10)

(51) Int.Cl.			F I		
HO 1 L	21/822	(2006.01)	HO 1 L	27/04	H
HO 1 L	27/04	(2006.01)	HO 1 L	27/06	3 1 1 C
HO 1 L	27/06	(2006.01)	HO 1 L	27/06	3 1 1 A
HO 1 L	21/8238	(2006.01)	HO 1 L	27/092	H
HO 1 L	27/092	(2006.01)	HO 1 L	27/06	3 1 1 B

請求項の数 10 (全 24 頁)

(21) 出願番号 特願2013-253930 (P2013-253930)
 (22) 出願日 平成25年12月9日(2013.12.9)
 (65) 公開番号 特開2015-115338 (P2015-115338A)
 (43) 公開日 平成27年6月22日(2015.6.22)
 審査請求日 平成28年11月7日(2016.11.7)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (74) 代理人 100164633
 弁理士 西田 圭介
 (74) 代理人 100179475
 弁理士 仲井 智至
 (72) 発明者 池田 益英
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】 静電気保護回路及び半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

半導体集積回路装置において、高電位側の電位が供給される第1の端子に第1のノードを介して接続されると共に、低電位側の電位が供給される第2の端子に第2のノードを介して接続された静電気保護回路であって、

第3のノードにおいて互いに接続された第1のインピーダンス素子及びキャパシターを含み、前記第1のノードと前記第2のノードとの間に接続された直列回路と、

前記第1及び第2のノードの内の一方と第4のノードとの間に接続され、前記第1のインピーダンス素子に発生する電圧の上昇に従ってオンする第1のトランジスターと、

前記第4のノードと第5のノードとの間に接続され、第2のインピーダンス素子を含む少なくとも1つのインピーダンス素子、及び、前記第5のノードと前記第1及び第2のノードの内の他方との間に接続された第3のインピーダンス素子を含み、前記第4のノードと前記第1及び第2のノードの内の他方との間の電圧を分圧する分圧回路と、

前記分圧回路によって分圧された電圧の上昇に従ってオンし、前記第1のインピーダンス素子に流れる電流を増加させる第2のトランジスターと、

前記第2のトランジスターがオン状態であることを検出したときに出力信号を活性化する検出回路と、

前記検出回路の出力信号が活性化されたときに前記第1のノードから前記第2のノードに電流を流す放電回路と、
 を具備する静電気保護回路。

10

20

【請求項 2】

前記分圧回路が、前記第 2 のインピーダンス素子と並列に接続され、前記検出回路の出力信号が活性化されたときにオンする第 3 のトランジスターをさらに含む、請求項 1 記載の静電気保護回路。

【請求項 3】

前記分圧回路が、前記第 4 のノードと前記第 5 のノードとの間に直列に接続された複数のインピーダンス素子と、前記複数のインピーダンス素子の内の少なくとも 1 つと並列に接続され、前記検出回路の出力信号が活性化されたときにオンする少なくとも 1 つのトランジスターとを含む、請求項 1 記載の静電気保護回路。

【請求項 4】

前記第 2 のインピーダンス素子、又は、前記複数のインピーダンス素子の各々が、抵抗素子と、ダイオードと、ゲートがドレイン又はソースに接続された P チャネルトランジスター又は N チャネルトランジスターとの内の少なくとも 1 つを含む、請求項 1 ~ 3 のいずれか 1 項記載の静電気保護回路。

【請求項 5】

前記第 1 のインピーダンス素子が、前記第 1 のノードと前記第 3 のノードとの間に接続された抵抗素子と、前記第 1 のノードに接続されたソース、前記第 3 のノードに接続されたドレイン、及び、前記第 2 のノードに接続されたゲートを有する P チャネルトランジスターとの内の 1 つを含み、

前記第 3 のインピーダンス素子が、前記第 5 のノードと前記第 2 のノードとの間に接続された抵抗素子と、前記第 5 のノードに接続されたドレイン、前記第 2 のノードに接続されたソース、及び、前記第 1 のノードに接続されたゲートを有する N チャネルトランジスターとの内の 1 つを含む、

請求項 1 ~ 4 のいずれか 1 項記載の静電気保護回路。

【請求項 6】

前記第 1 のトランジスターが、前記第 1 のノードに接続されたソース、前記第 4 のノードに接続されたドレイン、及び、前記第 3 のノードに接続されたゲートを有する P チャネルトランジスターを含み、前記第 1 のノードと前記第 3 のノードとの間の電圧の上昇に従って前記 P チャネルトランジスターがオンすることにより、前記分圧回路に電圧が印加される、請求項 5 記載の静電気保護回路。

【請求項 7】

前記第 2 のトランジスターが、前記第 3 のノードに接続されたドレイン、前記第 2 のノードに接続されたソース、及び、前記第 5 のノードに接続されたゲートを有する N チャネルトランジスターを含み、前記第 5 のノードと前記第 2 のノードとの間の電圧の上昇に従って前記 N チャネルトランジスターがオンすることにより、前記検出回路の出力信号が活性化される、請求項 5 又は 6 記載の静電気保護回路。

【請求項 8】

前記検出回路が、前記第 3 のノードの電位が供給される入力端子を有するインバーターを含み、前記第 1 のインピーダンス素子に発生する電圧が前記第 1 のノードと前記第 2 のノードとの間の電圧に対して所定の割合よりも大きくなったときに出力信号を活性化する、請求項 1 ~ 7 のいずれか 1 項記載の静電気保護回路。

【請求項 9】

前記放電回路が、前記第 1 のノードに接続されたドレイン、前記第 2 のノードに接続されたソース、及び、前記検出回路の出力信号が供給されるゲートを有する N チャネルトランジスターと、前記第 1 のノードに接続されたコレクター、前記第 2 のノードに接続されたエミッター、及び、前記検出回路の出力信号が供給されるベースを有する NPN トランジスターとの内の 1 つを含む、請求項 1 ~ 8 のいずれか 1 項記載の静電気保護回路。

【請求項 10】

請求項 1 ~ 9 のいずれか 1 項記載の静電気保護回路を具備する半導体集積回路装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、半導体集積回路装置をESD (Electro-Static Discharge : 静電気の放電) から保護する静電気保護回路に関する。さらに、本発明は、そのような静電気保護回路を内蔵した半導体集積回路装置に関する。

【背景技術】

【0002】

半導体集積回路装置において、静電気による内部回路の破壊を防止するために、静電気保護回路を設けることが行われている。一般に、静電気保護回路は、高電位側の電位が供給される第1の端子と低電位側の電位が供給される第2の端子との間に接続される。例えば、静電気の放電によって第1の端子に正の電荷が印加されると、正の電荷が静電気保護回路を介して第2の端子に放出されるので、内部回路に過大な電圧が印加されることがなく、内部回路の破壊を防止することができる。

10

【0003】

関連する技術として、特許文献1には、静電気放電による電荷を十分に放電させると共に、通常動作時においてノイズを除去することを目的とする静電気放電保護回路が開示されている。この静電気放電保護回路は、直流電源が接続されることにより第1の電位となる第1の電源ライン及び第1の電位よりも低い第2の電位となる第2の電源ラインと、第1の電源ラインと第2の電源ラインとの間に直列に接続されたキャパシター及び負の閾値電圧を有する第1のNチャンネルトランジスターからなる時定数回路と、入力側がキャパシターと第1のNチャンネルトランジスターとの接続ノードに接続され、出力側が第1のNチャンネルトランジスターのゲートに接続されたインバーターと、第1の電源ラインと第2の電源ラインとの間に接続され、ゲートがキャパシターと第1のNチャンネルトランジスターとの接続ノードに間接的に接続されて、その接続ノードの電位の上昇によるゲートの電位上昇を受けて導通する第2のNチャンネルトランジスターとを備えている。

20

【0004】

この静電気放電保護回路において、ESDイベントの発生を受けた場合には、キャパシターと第1のNチャンネルトランジスターとの接続ノードの電位が急上昇し、インバーターからローレベルの信号が出力される。このローレベルの信号は、第1のNチャンネルトランジスターのゲートに入力される。このため、第1のNチャンネルトランジスターのオン抵抗の値は大きく、従って、第1のNチャンネルトランジスターは、キャパシターと共にCR時定数回路を構成する高抵抗の役割りを担うこととなる。また、このローレベルの信号は、間接的に第2のNチャンネルトランジスターのゲートに入力されて、第2のNチャンネルトランジスターがオン状態になり、ESDイベントによるサージ電流を逃がすことができる。

30

【0005】

このように、特許文献1の発明では、キャパシターが有する容量値と第1のNチャンネルトランジスターが有するオン抵抗の値(ローレベルの信号の入力により、例えば、数Mのオーダーの値)との積で決定される時定数CRの値に対応する時間だけ第2のNチャンネルトランジスターがオン状態になり、この間、ESDイベントによるサージ電流を放電する。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-182119号公報(段落0014-0016、図1)

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1の図1に示されている静電気放電保護回路において、保護動作が開始されるか否かは、時定数回路11に印加される電圧の大きさではなく、時定数回路11に印加される電圧の立ち上がりの急峻さのみによって決定される。従って、静電気

50

の放電に対して十分な保護特性が得られるように時定数を設定すると、通常動作時においても電源電圧が急峻に立ち上がると保護動作を開始するおそれがある。

【0008】

また、電源ライン間に接続されたNチャネルトランジスタ14のオン時間は、時定数回路11の時定数によって定められている。従って、例えば、短時間に連続して複数のESDイベントが発生した場合には、時定数回路11のキャパシタ11aが充電された状態で再度の静電気の放電によって半導体集積回路装置に電荷がさらに蓄積されることになるので、蓄積された電荷が十分放電されない時点でNチャネルトランジスタ14がオフ状態となり、内部回路が破壊に至る可能性がある。

【0009】

さらに、時定数回路11において負の閾値電圧を有するNチャネルトランジスタ11bが用いられるが、そのような特殊なトランジスタを形成するためには半導体集積回路装置の製造工程が複雑となり、コストアップは避けられない。

【0010】

そこで、上記の点に鑑み、本発明の目的の1つは、簡単な回路構成で、通常動作時において誤動作することなく、静電気の放電に対して十分な保護特性が得られる静電気保護回路を提供することである。

【課題を解決するための手段】

【0011】

以上の課題を解決するために、本発明の第1の観点に係る静電気保護回路は、半導体集積回路装置において、高電位側の電位が供給される第1の端子に第1のノードを介して接続されると共に、低電位側の電位が供給される第2の端子に第2のノードを介して接続された静電気保護回路であって、第3のノードにおいて互いに接続された第1のインピーダンス素子及びキャパシタを含み、第1のノードと第2のノードとの間に接続された直列回路と、第1及び第2のノードの内の一方と第4のノードとの間に接続され、第1のインピーダンス素子に発生する電圧の上昇に従ってオンする第1のトランジスタと、第4のノードと第5のノードとの間に接続され、第2のインピーダンス素子を含む少なくとも1つのインピーダンス素子、及び、第5のノードと第1及び第2のノードの内の他方との間に接続された第3のインピーダンス素子を含み、第4のノードと第1及び第2のノードの内の他方との間の電圧を分圧する分圧回路と、分圧回路によって分圧された電圧の上昇に従ってオンし、第1のインピーダンス素子に流れる電流を増加させる第2のトランジスタと、第2のトランジスタがオン状態であることを検出したときに出力信号を活性化する検出回路と、検出回路の出力信号が活性化されたときに第1のノードから第2のノードに電流を流す放電回路とを具備する。

【0012】

本発明の第1の観点によれば、第1及び第2のトランジスタがオフ状態からオン状態に遷移する際には、第1のインピーダンス素子とキャパシタとの時定数及び第1のノードと第2のノードとの間の電圧によって遷移条件が決定される。一方、第1及び第2のトランジスタが一旦オン状態になると、第1のインピーダンス素子とキャパシタとの時定数に関係なく、第1のノードと第2のノードとの間の電圧が高い状態においては、第1及び第2のトランジスタがオン状態を保ち続ける。

【0013】

従って、通常動作時に電源投入によって電源電圧が急峻に立ち上がっても、第1のノードと第2のノードとの間の電圧が所定の値よりも小さければ、静電気保護回路が保護動作を開始するおそれがない。また、静電気の放電により静電気保護回路が保護動作を一旦開始すると、第1のノードと第2のノードとの間の電圧が所定の値以上であれば、静電気保護回路が保護動作を停止することがない。このように、本発明の1つの観点によれば、簡単な回路構成で、通常動作時において誤動作することなく、静電気の放電に対して十分な保護特性が得られる静電気保護回路を提供することができる。

【0014】

本発明の第2の観点に係る静電気保護回路においては、分圧回路が、第2のインピーダンス素子と並列に接続され、検出回路の出力信号が活性化されたときにオンする第3のトランジスタをさらに含む。本発明の第2の観点によれば、静電気の放電により静電気保護回路が保護動作を一旦開始すると、分圧回路における分圧比が上昇するので、第1のノードと第2のノードとの間の電圧が低下し、半導体集積回路装置の内部回路が破壊に至る電圧に対するマージンが増えて静電気耐量が向上する。

【0015】

本発明の第3の観点に係る静電気保護回路においては、分圧回路が、第4のノードと第5のノードとの間に直列に接続された複数のインピーダンス素子と、それらのインピーダンス素子の内の少なくとも1つと並列に接続され、検出回路の出力信号が活性化されたときにオンする少なくとも1つのトランジスタを含む。本発明の第3の観点によれば、本発明の第2の観点による効果に加えて、静電気保護回路の電流 - 電圧特性をきめ細やかに自由に設定することができる。

10

【0016】

以上において、第2のインピーダンス素子、又は、複数のインピーダンス素子の各々が、抵抗素子と、ダイオードと、ゲートがドレイン又はソースに接続されたPチャネルトランジスタ又はNチャネルトランジスタとの内の少なくとも1つを含むようにしても良い。これらのデバイスの内から適切なデバイスを選択し、又は、複数のデバイスを組み合わせることにより、静電気保護回路の両端間の電圧を自由に設定できると共に、プロセスばらつきの影響を受けにくい静電気保護回路を提供することができる。

20

【0017】

また、第1のインピーダンス素子が、第1のノードと第3のノードとの間に接続された抵抗素子と、第1のノードに接続されたソース、第3のノードに接続されたドレイン、及び、第2のノードに接続されたゲートを有するPチャネルトランジスタとの内の1つを含み、第3のインピーダンス素子が、第5のノードと第2のノードとの間に接続された抵抗素子と、第5のノードに接続されたドレイン、第2のノードに接続されたソース、及び、第1のノードに接続されたゲートを有するNチャネルトランジスタとの内の1つを含むようにしても良い。

【0018】

第1又は第3のインピーダンス素子として抵抗素子を用いる場合には、抵抗素子の抵抗値が一定であるので、第1のインピーダンス素子とキャパシタとの時定数の設定や第2のトランジスタのオン条件の設定が容易になる。一方、第1又は第3のインピーダンス素子としてトランジスタを用いる場合には、第1のノードと第2のノードとの間の電圧が減少した際にトランジスタのオン抵抗が増加するので、保護動作の途中で第1又は第2のトランジスタがオフすることを防止できる。

30

【0019】

その場合に、第1のトランジスタが、第1のノードに接続されたソース、第4のノードに接続されたドレイン、及び、第3のノードに接続されたゲートを有するPチャネルトランジスタを含み、第1のノードと第3のノードとの間の電圧の上昇に従ってPチャネルトランジスタがオンすることにより、分圧回路に電圧が印加されるようにしても良い。これにより、第1のノードと第2のノードとの間に急峻な正の電圧が印加されて、第1のノードと第3のノードとの間の電圧がPチャネルトランジスタの閾値電圧以上になると、Pチャネルトランジスタがオンして、第1のノードと第2のノードとの間の電圧が分圧回路に印加される。

40

【0020】

また、第2のトランジスタが、第3のノードに接続されたドレイン、第2のノードに接続されたソース、及び、第5のノードに接続されたゲートを有するNチャネルトランジスタを含み、第5のノードと第2のノードとの間の電圧の上昇に従ってNチャネルトランジスタがオンすることにより、検出回路の出力信号が活性化されるようにしても良い。これにより、分圧回路によって分圧された電圧がNチャネルトランジスタの閾値電圧

50

以上になると、Nチャネルトランジスタがオンして、検出回路の出力信号が活性化されるので、静電気保護回路による保護動作が開始される。

【0021】

以上において、検出回路が、第3のノードの電位が供給される入力端子を有するインバーターを含み、第1のインピーダンス素子に発生する電圧が第1のノードと第2のノードとの間の電圧に対して所定の割合よりも大きくなったときに出力信号を活性化するようにしても良い。検出回路においてインバーターを用いることにより、簡単な回路構成で、第3のノードの電位がハイレベルであるかローレベルであるかを検出することができる。

【0022】

また、放電回路が、第1のノードに接続されたドレイン、第2のノードに接続されたソース、及び、検出回路の出力信号が供給されるゲートを有するNチャネルトランジスタと、第1のノードに接続されたコレクター、第2のノードに接続されたエミッター、及び、検出回路の出力信号が供給されるベースを有するNPNトランジスタとの内の1つを含むようにしても良い。Nチャネルトランジスタ又はNPNトランジスタは、P型半導体基板にウエルを介さずに形成することが可能であり、特性的にも優れている。

【0023】

さらに、本発明の1つの観点に係る半導体集積回路装置は、本発明のいずれかの観点に係る静電気保護回路を具備する。これにより、各種の半導体集積回路装置において、静電気の放電による内部回路の破壊を防止することができる。

【図面の簡単な説明】

【0024】

【図1】静電気保護回路を内蔵する半導体集積回路装置の構成例を示す回路図。

【図2】静電気保護回路を内蔵する半導体集積回路装置の構成例を示す回路図。

【図3】本発明の第1の実施形態に係る静電気保護回路の構成例を示す回路図。

【図4】図3に示す静電気保護回路を適用した場合のI-V特性を示す図。

【図5】従来の静電気保護回路を適用した場合のI-V特性を示す図。

【図6】本発明の第2の実施形態に係る静電気保護回路の構成例を示す回路図。

【図7】図6に示す静電気保護回路を適用した場合のI-V特性を示す図。

【図8】本発明の第3の実施形態に係る静電気保護回路の構成例を示す回路図。

【図9】本発明の第4の実施形態に係る静電気保護回路の構成例を示す回路図。

【図10】本発明の第5の実施形態に係る静電気保護回路の構成例を示す回路図。

【図11】本発明の第6の実施形態に係る静電気保護回路の構成例を示す回路図。

【図12】抵抗素子以外に使用可能なインピーダンス素子の例を示す図。

【図13】MOSトランジスタ以外に使用可能な3端子素子の例を示す図。

【発明を実施するための形態】

【0025】

以下に、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照番号を付して、重複する説明を省略する。

本発明の各実施形態に係る静電気保護回路は、半導体集積回路装置において、高電位側の電位が供給される第1の端子と低電位側の電位が供給される第2の端子との間に接続される。ここで、第1の端子が、高電位側の電源電位が供給される電源端子で、第2の端子が、低電位側の電源電位が供給される電源端子であっても良い。また、第1の端子が、高電位側の電源電位が供給される電源端子で、第2の端子が、信号電位が供給される信号端子であっても良い。あるいは、第1の端子が、信号電位が供給される信号端子で、第2の端子が、低電位側の電源電位が供給される電源端子であっても良い。

【0026】

図1及び図2は、本発明の各実施形態に係る静電気保護回路を内蔵する半導体集積回路装置の構成例を示す回路図である。この半導体集積回路装置は、電源端子P1及びP2と、信号端子P3と、ダイオード1及び2と、電源配線3及び4と、静電気保護回路10と、内部回路20とを含んでいる。電源配線3及び4の各々は、抵抗成分を有している。ま

10

20

30

40

50

た、内部回路20は、PチャネルMOSトランジスタ-QP20と、NチャネルMOSトランジスタ-QN20とを含んでいる。

【0027】

図1及び図2においては、一例として、静電気保護回路10が、高電位側の電源電位VDDが供給される電源端子P1にノードN1を介して接続されると共に、低電位側の電源電位VSSが供給される電源端子P2にノードN2を介して接続される場合が示されている。以下、この場合について説明する。

【0028】

例えば、静電気の放電によって電源端子P2に正の電荷が印加されると、正の電荷がダイオード2を介して信号端子P3に放出され、又は、ダイオード2及び1を介して電源端子P1に放出されるので、内部回路20に過大な電圧が印加されることがなく、内部回路20の破壊を防止することができる。従って、問題となるのは、ダイオード1及び2の内の少なくとも一方に逆電圧が印加される場合である。

10

【0029】

図1には、静電気の放電によって信号端子P3に正の電荷が印加される一方、電源端子P2が接地されている場合の放電経路が示されている。静電気の放電によって、サージ電流 I_{ESD} が、ダイオード1、電源配線3、静電気保護回路10、及び、電源配線4の経路で流れる。

【0030】

放電動作において、逆電圧が印加されるダイオード2と並列に接続されたトランジスタ-QN20のドレイン・ソース間電圧が、トランジスタ-QN20が破壊に至る電圧 V_{DMG} よりも小さければ、静電気保護回路10が内部回路20を保護することができる。そのためには、次式(1)を満たす必要がある。

20

$$V_F + V_W + V_{PC} < V_{DMG} \quad \dots (1)$$

ここで、 V_F はダイオード1の順方向電圧であり、 V_W は電源配線3の抵抗成分にサージ電流 I_{ESD} が流れた際に発生する電圧であり、 V_{PC} は静電気保護回路10にサージ電流 I_{ESD} が流れた際に発生する電圧である。

【0031】

また、図2には、静電気の放電によって信号端子P3に負の電荷が印加される一方、電源端子P1が接地されている場合の放電経路が示されている。静電気の放電によって、サージ電流 I_{ESD} が、電源配線3、静電気保護回路10、電源配線4、及び、ダイオード2の経路で流れる。

30

【0032】

放電動作において、逆電圧が印加されるダイオード1と並列に接続されたトランジスタ-QP20のソース・ドレイン間電圧が、トランジスタ-QP20が破壊に至る電圧 V_{DMG} よりも小さければ、静電気保護回路10が内部回路20を保護することができる。そのためには、次式(2)を満たす必要がある。

$$V_F + V_W + V_{PC} < V_{DMG} \quad \dots (2)$$

ここで、 V_F はダイオード2の順方向電圧であり、 V_W は電源配線4の抵抗成分にサージ電流 I_{ESD} が流れた際に発生する電圧であり、 V_{PC} は静電気保護回路10にサージ電流 I_{ESD} が流れた際に発生する電圧である。

40

【0033】

式(1)及び式(2)から分かるように、図1に示す場合と図2に示す場合とにおいて、内部回路20を保護するための条件は、同じ式で表すことができる。即ち、放電経路上のデバイスに発生する電圧の総和が、内部回路20の素子が破壊に至る電圧 V_{DMG} よりも小さいことが、内部回路20を保護するための条件となる。

【0034】

<第1の実施形態>

図3は、本発明の第1の実施形態に係る静電気保護回路の構成例を示す回路図である。図3に示すように、静電気保護回路10は、第1～第3のインピーダンス素子としての抵

50

抗素子 R 1 ~ R 3 と、キャパシター C 1 と、第 1 のトランジスターとしての P チャンネル MOS トランジスター Q P 1 0 と、第 2 のトランジスターとしての N チャンネル MOS トランジスター Q N 1 0 と、検出回路 1 1 と、放電回路 1 2 とを含んでいる。

【 0 0 3 5 】

静電気保護回路 1 0 は、高電位側の電位が供給される第 1 の端子にノード N 1 を介して接続されると共に、低電位側の電位が供給される第 2 の端子にノード N 2 を介して接続される。ノード N 3 において互いに接続された抵抗素子 R 1 及びキャパシター C 1 を含む直列回路が、ノード N 1 とノード N 2 との間に接続されている。本実施形態においては、抵抗素子 R 1 が、ノード N 1 とノード N 3 との間に接続されており、キャパシター C 1 が、ノード N 3 とノード N 2 との間に接続されている。

10

【 0 0 3 6 】

キャパシター C 1 は、複数の配線層にそれぞれ形成された複数の電極を用いて構成されても良いし、少なくとも 1 つの MOS トランジスターを用いて構成されても良い。例えば、N チャンネル MOS トランジスターのドレイン、ソース、及び、バックゲートを第 1 の電極とし、ゲートを第 2 の電極とすることにより、キャパシター C 1 を構成することができる。

【 0 0 3 7 】

トランジスター Q P 1 0 は、ノード N 1 とノード N 4 との間に接続され、抵抗素子 R 1 に発生する電圧の上昇に従ってオンする。即ち、トランジスター Q P 1 0 は、ノード N 1 に接続されたソースと、ノード N 4 に接続されたドレインと、ノード N 3 に接続されたゲートとを有しており、ノード N 1 とノード N 3 との間の電圧が閾値電圧以上になるとオンする。

20

【 0 0 3 8 】

抵抗素子 R 2 は、ノード N 4 とノード N 5 との間に接続されている。また、抵抗素子 R 3 は、ノード N 5 とノード N 2 との間に接続されている。ここで、抵抗素子 R 2 及び R 3 は、ノード N 4 とノード N 2 との間の電圧を分圧する分圧回路を構成している。

【 0 0 3 9 】

トランジスター Q N 1 0 は、分圧回路によって分圧された電圧の上昇に従ってオンし、抵抗素子 R 1 に流れる電流を増加させる。即ち、トランジスター Q N 1 0 は、ノード N 3 に接続されたドレインと、ノード N 2 に接続されたソースと、ノード N 5 に接続されたゲートとを有しており、ノード N 5 とノード N 2 との間の電圧が閾値電圧以上になるとオンする。

30

【 0 0 4 0 】

検出回路 1 1 は、トランジスター Q N 1 0 がオン状態であることを検出したときに出力信号を活性化する。例えば、検出回路 1 1 は、P チャンネル MOS トランジスター Q P 1 1 と N チャンネル MOS トランジスター Q N 1 1 とによって構成されるインバーターを含んでいる。トランジスター Q P 1 1 は、ノード N 1 に接続されたソースと、出力端子 O U T に接続されたドレインと、入力端子 I N に接続されたゲートとを有している。また、トランジスター Q N 1 1 は、出力端子 O U T に接続されたドレインと、ノード N 2 に接続されたソースと、入力端子 I N に接続されたゲートとを有している。

40

【 0 0 4 1 】

インバーターは、入力端子 I N に供給されるノード N 3 の電位がハイレベルであるかローレベルであるかを検出し、そのレベルを反転して、反転されたレベルを有する出力信号を出力端子 O U T から出力する。これにより、検出回路 1 1 は、抵抗素子 R 1 に発生する電圧がノード N 1 とノード N 2 との間の電圧に対して所定の割合（例えば、50%）よりも大きくなったときに出力信号をハイレベルに活性化する。検出回路 1 1 としては、インバーター以外にも、コンパレータ等を用いることができる。

【 0 0 4 2 】

放電回路 1 2 は、例えば、N チャンネル MOS トランジスター Q N 1 2 を含んでいる。トランジスター Q N 1 2 は、ノード N 1 に接続されたドレインと、ノード N 2 に接続された

50

ソースと、検出回路 1 1 の出力信号が供給されるゲートとを有している。放電回路 1 2 は、検出回路 1 1 の出力信号がハイレベルに活性化されたときに、ノード N 1 からノード N 2 に電流を流す。

【 0 0 4 3 】

ここで、図 3 に示す静電気保護回路 1 0 の動作について説明する。

ノード N 1 とノード N 2 との間に正の電圧（ノード N 1 の電位 > ノード N 2 の電位）が印加されると、抵抗素子 R 1 とキャパシター C 1 との時間定数に従って、ノード N 1 から抵抗素子 R 1 及びキャパシター C 1 を介してノード N 2 に電流が流れ、キャパシター C 1 の充電が行われる。これにより、ノード N 3 の電位は、抵抗素子 R 1 とキャパシター C 1 との時間定数に従って、ノード N 2 の電位に対して上昇する。

10

【 0 0 4 4 】

通常動作時において、ノード N 1 とノード N 2 との間に印加される電圧が緩やかに上昇する場合には、ノード N 1 とノード N 3 との間の電圧がトランジスタ Q P 1 0 の閾値電圧よりも小さいままとなり、トランジスタ Q P 1 0 がオフ状態を維持する。一方、通常動作時において又は静電気の放電によって、ノード N 1 とノード N 2 との間に印加される電圧が急峻に上昇する場合には、ノード N 1 とノード N 3 との間の電圧がトランジスタ Q P 1 0 の閾値電圧以上となり、トランジスタ Q P 1 0 がオンする。ただし、この時点においては、検出回路 1 1 の入力端子 I N の電位はハイレベルとなっている。

【 0 0 4 5 】

トランジスタ Q P 1 0 がオンすることにより、抵抗素子 R 2 及び R 3 によって構成される分圧回路に電圧が印加されて、ノード N 5 とノード N 2 との間の電圧が 0 V から上昇する。ここで、ノード N 1 とノード N 2 との間の電圧が所定の値よりも小さければ、ノード N 5 とノード N 2 との間の電圧がトランジスタ Q N 1 0 の閾値電圧よりも小さいままとなり、トランジスタ Q N 1 0 がオフ状態を維持する。一方、ノード N 1 とノード N 2 との間の電圧が所定の値以上であれば、ノード N 5 とノード N 2 との間の電圧がトランジスタ Q N 1 0 の閾値電圧以上になって、トランジスタ Q N 1 0 がオンする。

20

【 0 0 4 6 】

トランジスタ Q N 1 0 がオンすることにより、抵抗素子 R 1 に流れる電流が増加して、ノード N 1 とノード N 3 との間の電圧が上昇するので、トランジスタ Q P 1 0 に流れる電流が増加する（正帰還）。同時に、検出回路 1 1 の入力端子 I N の電位がローレベルとなり、検出回路 1 1 の出力信号がハイレベルに活性化される。これにより、放電回路 1 2 のトランジスタ Q N 1 2 が、ノード N 1 からノード N 2 に電流を流し始める。

30

【 0 0 4 7 】

また、トランジスタ Q P 1 0 に流れる電流が増加することにより、抵抗素子 R 2 及び R 3 に流れる電流が増加する。その結果、ノード N 5 とノード N 2 との間の電圧が上昇するので、トランジスタ Q N 1 0 に流れる電流が増加する（正帰還）。同時に、放電回路 1 2 のトランジスタ Q N 1 2 に流れる電流も増加する。

【 0 0 4 8 】

放電回路 1 2 のトランジスタ Q N 1 2 に流れる電流が増加すると、ノード N 1 とノード N 2 との間の電圧が所定の値よりも低下する。これにより、ノード N 5 とノード N 2 との間の電圧がトランジスタ Q N 1 0 の閾値電圧よりも低下するので、トランジスタ Q N 1 0 がオン状態からオフ状態に遷移する。その結果、抵抗素子 R 1 に流れる電流が減少するので、検出回路 1 1 の出力信号がローレベルに非活性化され、放電回路 1 2 のトランジスタ Q N 1 2 がオン状態からオフ状態に遷移して、ノード N 1 とノード N 2 との間の電圧が略一定に保持される。

40

【 0 0 4 9 】

このように、トランジスタ Q P 1 0 及び Q N 1 0 がオフ状態からオン状態に遷移する際には、抵抗素子 R 1 とキャパシター C 1 との時間定数及びノード N 1 とノード N 2 との間の電圧によって遷移条件が決定される。一方、トランジスタ Q P 1 0 及び Q N 1 0 が一旦オン状態になると、抵抗素子 R 1 とキャパシター C 1 との時間定数に関係なく、ノード N

50

1 とノード N 2 との間の電圧が高い状態においては、トランジスタ Q P 1 0 及び Q N 1 0 がオン状態を保ち続ける。

【 0 0 5 0 】

従って、通常使用時に電源投入によって電源電圧が急峻に立ち上がっても、ノード N 1 とノード N 2 との間の電圧が所定の値よりも小さければ、静電気保護回路 1 0 が保護動作を開始するおそれがない。また、静電気の放電により静電気保護回路 1 0 が保護動作を一旦開始すると、ノード N 1 とノード N 2 との間の電圧が所定の値以上であれば、静電気保護回路 1 0 が保護動作を停止することがない。このように、本実施形態によれば、簡単な回路構成で、通常動作時において誤動作することなく、静電気の放電に対して十分な保護特性が得られる静電気保護回路 1 0 を提供することができる。

10

【 0 0 5 1 】

以上の動作メカニズムにより、静電気保護回路 1 0 の両端間の電圧が所定の値に保持されながら、放電経路に電流が流れる。以下においては、静電気保護回路 1 0 の両端間に保持される電圧を「保持電圧」ともいう。本実施形態においては、保持電圧が略一定値となる。

【 0 0 5 2 】

保持電圧 V_H は、トランジスタ Q N 1 0 がオン状態からオフ状態に遷移するときのノード N 1 とノード N 2 との間の電圧であり、次式 (3) によって近似できる。

$$V_H = V_{th_{QN10}} \times (R_2 + R_3) / R_3 \quad \dots (3)$$

ここで、 $V_{th_{QN10}}$ はトランジスタ Q N 1 0 の閾値電圧であり、 R_2 は抵抗素子 R 2 の抵抗値であり、 R_3 は抵抗素子 R 3 の抵抗値である。ただし、抵抗値 R_2 及び R_3 は、トランジスタ Q P 1 0 のオン抵抗よりも十分大きい値であるものとする。式 (3) に従って抵抗素子 R 2 及び R 3 の抵抗値を選択することにより、所望の保持電圧 V_H を設定することができる。

20

【 0 0 5 3 】

第 1 又は第 3 のインピーダンス素子として抵抗素子を用いる場合には、抵抗素子の抵抗値が一定であるので、抵抗素子 R 1 とキャパシタ C 1 との時定数の設定や、トランジスタ Q N 1 0 のオン条件の設定が容易になる。インピーダンス素子として抵抗素子以外のデバイスを用いることも可能であるが、それについては後で詳しく説明する。

【 0 0 5 4 】

図 4 は、図 1 に示す半導体集積回路装置に図 3 に示す静電気保護回路を適用した場合の I - V 特性を示す図であり、図 5 は、図 1 に示す半導体集積回路装置に従来の静電気保護回路を適用した場合の I - V 特性を示す図である。図 4 及び図 5 において、横軸は、放電経路における静電気保護回路等の両端間の電圧を表しており、縦軸は、放電経路に流れる電流を表している。

30

【 0 0 5 5 】

図 4 に示すように、本発明の第 1 の実施形態に係る静電気保護回路 1 0 は、両端間の電圧が絶対最大定格電圧 V_{ABS} 以下の領域においては保護動作を開始しないので、放電経路に電流が流れない。一方、両端間の電圧が所定の電圧 V_p を超えると、静電気保護回路 1 0 が保護動作を開始して、放電経路に電流が流れ始める。放電経路に流れる電流が所定の電流 I_p を超えると、静電気保護回路 1 0 が両端間の電圧を略一定値に保つ。配線抵抗やダイオードに発生する電圧を考慮しても、放電経路に流れる電流がターゲット電流に達したときに、半導体集積回路装置の端子間の電圧と内部回路 2 0 の素子が破壊に至る電圧 V_{DMG} との間には、電圧マージンが存在する。

40

【 0 0 5 6 】

一方、特許文献 1 の図 1 に示されている従来の静電気保護回路には、複数の抵抗素子によって構成される分圧回路が設けられていない。その場合には、図 5 に示すように、静電気保護回路の両端間の電圧が絶対最大定格電圧 V_{ABS} よりも低い領域において静電気保護回路が保護動作を開始して、放電経路に電流が流れ始めている。これでは、通常動作時においても、電源投入による電源電圧の急峻な立ち上がりによって静電気保護回路が保護

50

動作を開始して電流が流れ、半導体集積回路装置が誤動作する可能性がある。従って、従来の静電気保護回路を用いる場合には、電源投入時における電源電圧の立ち上がり特性に制限を設ける必要がある。

【 0 0 5 7 】

< 第 2 の実施形態 >

図 6 は、本発明の第 2 の実施形態に係る静電気保護回路の構成例を示す回路図である。第 2 の実施形態に係る静電気保護回路 10 a は、図 3 に示す第 1 の実施形態に係る静電気保護回路 10 に対して、抵抗素子 R 2 と並列に接続された第 3 のトランジスタとして N チャネル MOS トランジスタ Q N 1 3 が追加されており、抵抗素子 R 4 をさらにも含む。その他の点に関し、図 6 に示す静電気保護回路 10 a は、図 3 に示す静電気保護回路 10 と同様である。

10

【 0 0 5 8 】

トランジスタ Q N 1 3 は、抵抗素子 R 2 の一端に接続されたドレインと、抵抗素子 R 2 の他端に接続されたソースと、検出回路 11 の出力端子 O U T に接続されたゲートとを有し、検出回路 11 の出力信号がハイレベルに活性化されたときにオンする。また、抵抗素子 R 4 は、ノード N 4 とノード N 5 との間に、抵抗素子 R 2 と直列に接続されている。

【 0 0 5 9 】

トランジスタ Q N 1 3 は、抵抗素子 R 2 ~ R 4 と共に、分圧回路を構成している。静電気の放電により、検出回路 11 の出力信号がハイレベルに活性化されて、静電気保護回路 10 a が保護動作を一旦開始すると、トランジスタ Q N 1 3 がオンして、分圧回路における分圧比が上昇する。その結果、ノード N 1 とノード N 2 との間の電圧が低下し、半導体集積回路装置の内部回路が破壊に至る電圧に対するマージンが増えて静電気耐量が向上する。

20

【 0 0 6 0 】

保持電圧 V_H は、トランジスタ Q N 1 0 がオン状態からオフ状態に遷移するときのノード N 1 とノード N 2 との間の電圧であり、次式 (4) によって近似できる。

$$V_H = V_{th_{QN10}} \times (R_2 + R_3 + R_4) / R_3 \quad \dots (4)$$

ここで、 $V_{th_{QN10}}$ はトランジスタ Q N 1 0 の閾値電圧であり、 α は 0 ~ 1 の範囲内の係数であり、 R_2 は抵抗素子 R 2 の抵抗値であり、 R_3 は抵抗素子 R 3 の抵抗値であり、 R_4 は抵抗素子 R 4 の抵抗値である。ただし、抵抗値 R_2 及び R_3 は、トランジスタ Q P 1 0 のオン抵抗よりも十分大きい値であるものとする。また、抵抗素子 R 4 を設けない場合には、 $R_4 = 0$ となる。

30

【 0 0 6 1 】

ここで、放電回路 12 のトランジスタ Q N 1 2 に流れる電流が大きくなるほど、トランジスタ Q N 1 3 のオン抵抗が小さくなるので、係数 α の値も小さくなる。従って、式 (4) において、放電回路 12 のトランジスタ Q N 1 2 に流れる電流が大きくなるほど、保持電圧 V_H が小さくなる。

【 0 0 6 2 】

即ち、放電回路 12 のトランジスタ Q N 1 2 に流れる電流が小さいときには、 $\alpha = 1$ として、保持電圧 V_H は、次式 (5) によって近似される。

$$V_H = V_{th_{QN10}} \times (R_2 + R_3 + R_4) / R_3 \quad \dots (5)$$

一方、放電回路 12 のトランジスタ Q N 1 2 に流れる電流が大きいときには、 $\alpha = 0$ として、保持電圧 V_H は、次式 (6) によって近似される。

$$V_H = V_{th_{QN10}} \times (R_3 + R_4) / R_3 \quad \dots (6)$$

式 (5) 及び式 (6) に従って、抵抗素子 R 2 ~ R 4 の抵抗値を設定することにより、所望の電圧範囲で保持電圧 V_H を変化させることができる。

40

【 0 0 6 3 】

図 7 は、図 1 に示す半導体集積回路装置に図 6 に示す静電気保護回路を適用した場合の I - V 特性を示す図である。図 7 において、横軸は、放電経路における静電気保護回路等の両端間の電圧を表しており、縦軸は、放電経路に流れる電流を表している。

50

【0064】

図7に示すように、本発明の第2の実施形態に係る静電気保護回路10aは、両端間の電圧が絶対最大定格電圧 V_{ABS} 以下の領域においては保護動作を開始しないので、放電経路に電流が流れない。一方、端子間の電圧が所定の電圧 V_{P1} を超えると、静電気保護回路10aが保護動作を開始して、放電経路に電流が流れ始める。

【0065】

放電経路に流れる電流が第1の所定の電流 I_{P1} ～第2の所定の電流 I_{P2} である第1の動作領域においては、放電経路に流れる電流が大きくなるほど、静電気保護回路10aの両端間の電圧が低下する。放電経路に流れる電流が第2の所定の電流 I_{P2} を超える第2の動作領域においては、静電気保護回路10aが両端間の電圧を略一定に保つ。

10

【0066】

これにより、配線抵抗やダイオードに発生する電圧を考慮しても、放電経路に流れる電流がターゲット電流に達したときに、半導体集積回路装置の端子間の電圧と内部回路20の素子が破壊に至る電圧 V_{DMG} との間には、第1の実施形態におけるよりも大きい電圧マージンが存在する。

【0067】

<第3の実施形態>

図8は、本発明の第3の実施形態に係る静電気保護回路の構成例を示す回路図である。第3の実施形態に係る静電気保護回路10bは、図3に示す第1の実施形態に係る静電気保護回路10において、ノードN4とノードN5との間に複数の抵抗素子が直列に接続されており、それらの抵抗素子の内の少なくとも1つと並列に接続された少なくとも1つのNチャンネルトランジスタが追加されている。その他の点に関し、図8に示す静電気保護回路10bは、図3に示す静電気保護回路10と同様である。

20

【0068】

図8においては、一例として、ノードN4とノードN5との間に直列に接続された抵抗素子 $R4 \sim R6$ と、抵抗素子 $R5$ 及び $R6$ にそれぞれ並列に接続されたNチャンネルMOSトランジスタ $QN14$ 及び $QN15$ とが示されている。このように、分圧回路を構成する複数の抵抗素子にそれぞれ並列に接続された複数のトランジスタを設けても良い。

【0069】

トランジスタ $QN14$ は、抵抗素子 $R5$ の一端に接続されたドレインと、抵抗素子 $R5$ の他端に接続されたソースと、検出回路11の出力端子OUTに接続されたゲートとを有し、検出回路11の出力信号がハイレベルに活性化されたときにオンする。また、トランジスタ $QN15$ は、抵抗素子 $R6$ の一端に接続されたドレインと、抵抗素子 $R6$ の他端に接続されたソースと、検出回路11の出力端子OUTに接続されたゲートとを有し、検出回路11の出力信号がハイレベルに活性化されたときにオンする。

30

【0070】

トランジスタ $QN14$ 及び $QN15$ は、抵抗素子 $R3 \sim R6$ と共に、分圧回路を構成している。静電気の放電により、検出回路11の出力信号がハイレベルに活性化されて、静電気保護回路10bが保護動作を一旦開始すると、トランジスタ $QN14$ 及び $QN15$ がオンして、分圧回路における分圧比が上昇する。その結果、ノードN1とノードN2との間の電圧が低下し、半導体集積回路装置の内部回路が破壊に至る電圧に対するマージンが増えて静電気耐量が向上する。従って、第3の実施形態に係る静電気保護回路10bも、第2の実施形態に係る静電気保護回路10aのI-V特性と同様のI-V特性を有するが、第2の実施形態におけるよりもI-V特性をきめ細やかに自由に設定することができる。

40

【0071】

<第4の実施形態>

図9は、本発明の第4の実施形態に係る静電気保護回路の構成例を示す回路図である。本発明の第1～第3の実施形態において、第1のインピーダンス素子として、抵抗素子 $R1$ (図3等)の替りにPチャンネルMOSトランジスタを用いても良い。また、第3のイ

50

ンピーダンス素子として、抵抗素子 R 3 (図 3 等) の替りに N チャネル MOS トランジスタを用いても良い。

【 0 0 7 2 】

図 9 においては、一例として、図 3 に示す第 1 の実施形態に係る静電気保護回路 1 0 において、第 1 のインピーダンス素子として P チャネル MOS トランジスタ Q P 3 0 を用いると共に、第 3 のインピーダンス素子として N チャネル MOS トランジスタ Q N 3 0 を用いた静電気保護回路 1 0 c が示されている。その他の点に関し、図 9 に示す静電気保護回路 1 0 c は、図 3 に示す静電気保護回路 1 0 と同様である。

【 0 0 7 3 】

トランジスタ Q P 3 0 は、ノード N 1 に接続されたソースと、ノード N 3 に接続されたドレインと、ノード N 2 に接続されたゲートとを有している。ノード N 1 とノード N 2 との間にトランジスタ Q P 3 0 の閾値電圧よりも大きい正の電圧が印加されると、トランジスタ Q P 3 0 がオンする。

【 0 0 7 4 】

トランジスタ Q P 3 0 のオン抵抗は、ノード N 1 とノード N 2 との間の電圧に依存する。放電回路 1 2 がノード N 1 からノード N 2 に電流を流すと、ノード N 1 とノード N 2 との間の電圧が減少するが、トランジスタ Q P 3 0 のオン抵抗が増加するので、ノード N 1 とノード N 3 との間の電圧の減少が抑えられる。従って、保護動作の途中でトランジスタ Q P 1 0 がオフすることを防止できる。

【 0 0 7 5 】

また、製造工程における P チャネル MOS トランジスタのばらつきに対して、トランジスタ Q P 1 0 の特性変動とトランジスタ Q P 3 0 の特性変動とが相殺するので、全体として特性変動が小さい静電気保護回路を提供することができる。さらに、抵抗素子を P チャネル MOS トランジスタに置き換えることにより、半導体集積回路装置のコストを低減することができる。

【 0 0 7 6 】

トランジスタ Q N 3 0 は、ノード N 5 に接続されたドレインと、ノード N 2 に接続されたソースと、ノード N 1 に接続されたゲートとを有している。ノード N 1 とノード N 2 との間にトランジスタ Q N 3 0 の閾値電圧よりも大きい正の電圧が印加されると、トランジスタ Q N 3 0 がオンする。

【 0 0 7 7 】

トランジスタ Q N 3 0 のオン抵抗は、ノード N 1 とノード N 2 との間の電圧に依存する。放電回路 1 2 がノード N 1 からノード N 2 に電流を流すと、ノード N 1 とノード N 2 との間の電圧が減少するが、トランジスタ Q N 3 0 のオン抵抗が増加するので、ノード N 5 とノード N 2 との間の電圧の減少が抑えられる。従って、保護動作の途中でトランジスタ Q N 1 0 がオフすることを防止できる。

【 0 0 7 8 】

また、製造工程における N チャネル MOS トランジスタのばらつきに対して、トランジスタ Q N 1 0 の特性変動とトランジスタ Q N 3 0 の特性変動とが相殺するので、全体として特性変動が小さい静電気保護回路を提供することができる。さらに、抵抗素子を N チャネル MOS トランジスタに置き換えることにより、半導体集積回路装置のコストを低減することができる。

【 0 0 7 9 】

< 第 5 の実施形態 >

図 1 0 は、本発明の第 5 の実施形態に係る静電気保護回路の構成例を示す回路図である。本発明の第 1 ~ 第 3 の実施形態において、第 1 のトランジスタとして N チャネル MOS トランジスタを用い、第 2 のトランジスタとして P チャネル MOS トランジスタを用いて、それに応じて各素子の接続を変更しても良い。

【 0 0 8 0 】

図 1 0 においては、一例として、図 6 に示す第 2 の実施形態に係る静電気保護回路 1 0

10

20

30

40

50

aにおいて、第1のトランジスタとしてNチャンネルMOSトランジスタQN10を用い、第2のトランジスタとしてPチャンネルMOSトランジスタQP10を用い、第3のトランジスタとしてPチャンネルMOSトランジスタQP13を用いた静電気保護回路10dが示されている。

【0081】

静電気保護回路10dは、キャパシタC1と、抵抗素子R1～R3と、NチャンネルMOSトランジスタQN10と、PチャンネルMOSトランジスタQP10及びQP13と、検出回路11と、放電回路12dとを含んでいる。また、静電気保護回路10dは、抵抗素子R4をさらに含んでも良い。

【0082】

ノードN3において互いに接続されたキャパシタC1及び抵抗素子R1を含む直列回路が、ノードN1とノードN2との間に接続されている。本実施形態においては、キャパシタC1が、ノードN1とノードN3との間に接続されており、抵抗素子R1が、ノードN3とノードN2との間に接続されている。

【0083】

トランジスタQN10は、ノードN4とノードN2との間に接続され、抵抗素子R1に発生する電圧の上昇に従ってオンする。即ち、トランジスタQN10は、ノードN4に接続されたドレインと、ノードN2に接続されたソースと、ノードN3に接続されたゲートとを有しており、ノードN3とノードN2との間の電圧が閾値電圧を超えるとオンする。

【0084】

抵抗素子R2及びR4は、ノードN4とノードN5との間に接続されている。抵抗素子R3は、ノードN5とノードN1との間に接続されている。トランジスタQP13は、抵抗素子R2と並列に接続されている。即ち、トランジスタQP13は、抵抗素子R2の一端に接続されたソースと、抵抗素子R2の他端に接続されたドレインと、検出回路11の出力端子OUTに接続されたゲートとを有している。抵抗素子R2～R4及びトランジスタQP13は、ノードN1とノードN4との間の電圧を分圧する分圧回路を構成している。

【0085】

トランジスタQP10は、分圧回路によって分圧された電圧の上昇に従ってオンし、抵抗素子R1に流れる電流を増加させる。即ち、トランジスタQP10は、ノードN1に接続されたソースと、ノードN3に接続されたドレインと、ノードN5に接続されたゲートとを有しており、ノードN1とノードN5との間の電圧が閾値電圧を超えるとオンする。

【0086】

検出回路11は、トランジスタQP10がオン状態であることを検出したときに出力信号を活性化する。例えば、検出回路11は、PチャンネルMOSトランジスタQP11とNチャンネルMOSトランジスタQN11とによって構成されるインバータを含んでいる。その場合に、検出回路11は、抵抗素子R1に発生する電圧がノードN1とノードN2との間の電圧に対して所定の割合（例えば、50%）よりも大きくなったときに出力信号をローレベルに活性化する。

【0087】

放電回路12dは、例えば、PチャンネルMOSトランジスタQP12を含んでいる。トランジスタQP12は、ノードN1に接続されたソースと、ノードN2に接続されたドレインと、検出回路11の出力信号が供給されるゲートとを有している。放電回路12dは、検出回路11の出力信号がローレベルに活性化されたときに、ノードN1からノードN2に電流を流す。

【0088】

ここで、図10に示す静電気保護回路10dの動作について説明する。

ノードN1とノードN2との間に正の電圧（ノードN1の電位>ノードN2の電位）が

10

20

30

40

50

印加されると、キャパシターC1と抵抗素子R1との時定数に従って、ノードN1からキャパシターC1及び抵抗素子R1を介してノードN2に電流が流れ、キャパシターC1の充電が行われる。これにより、ノードN3の電位は、キャパシターC1と抵抗素子R1との時定数に従って、ノードN1の電位に対して下降する。

【0089】

通常動作時において、ノードN1とノードN2との間に印加される電圧が緩やかに上昇する場合には、ノードN3とノードN2との間の電圧がトランジスタQN10の閾値電圧よりも小さいままとなり、トランジスタQN10がオフ状態を維持する。一方、通常動作時において又は静電気の放電によって、ノードN1とノードN2との間に印加される電圧が急峻に上昇する場合には、ノードN3とノードN2との間の電圧がトランジスタQN10の閾値電圧以上となり、トランジスタQN10がオンする。ただし、この時点においては、検出回路11の入力端子INの電位はローレベルとなっている。

10

【0090】

トランジスタQN10がオンすることにより、抵抗素子R2～R4等によって構成される分圧回路に電圧が印加されて、ノードN1とノードN5との間の電圧が0Vから上昇する。ここで、ノードN1とノードN2との間の電圧が所定の値よりも小さければ、ノードN1とノードN5との間の電圧がトランジスタQP10の閾値電圧よりも小さいままとなり、トランジスタQP10がオフ状態を維持する。一方、ノードN1とノードN2との間の電圧が所定の値以上であれば、ノードN1とノードN5との間の電圧がトランジスタQP10の閾値電圧以上になって、トランジスタQP10がオンする。

20

【0091】

トランジスタQP10がオンすることにより、抵抗素子R1に流れる電流が増加して、ノードN3とノードN2との間の電圧が上昇するので、トランジスタQN10に流れる電流が増加する（正帰還）。同時に、検出回路11の入力端子INの電位がハイレベルとなり、検出回路11の出力信号がローレベルに活性化される。これにより、放電回路12dのトランジスタQP12が、ノードN1からノードN2に電流を流し始める。

【0092】

検出回路11の出力信号がローレベルに活性化されて、静電気保護回路10dが保護動作を一旦開始すると、トランジスタQP13がオンして、分圧回路における分圧比が上昇する。その結果、ノードN1とノードN2との間の電圧が低下し、半導体集積回路装置の内部回路が破壊に至る電圧に対するマージンが増えて静電気耐量が向上する。

30

【0093】

放電回路12dのトランジスタQP12に流れる電流によって、ノードN1とノードN2との間の電圧がさらに低下すると、ノードN1とノードN5との間の電圧がトランジスタQP10の閾値電圧よりも低下するので、トランジスタQP10がオン状態からオフ状態に遷移する。その結果、抵抗素子R1に流れる電流が減少するので、検出回路11の出力信号がハイレベルに非活性化され、放電回路12dのトランジスタQP12がオン状態からオフ状態に遷移して、ノードN1とノードN2との間の電圧が略一定に保持される。

【0094】

本実施形態においては、第1のインピーダンス素子として、抵抗素子R1の替りにNチャネルMOSトランジスタを用いても良い。その場合に、NチャネルMOSトランジスタは、ノードN3に接続されたドレインと、ノードN2に接続されたソースと、ノードN1に接続されたゲートを有する。

40

【0095】

このNチャネルMOSトランジスタのオン抵抗は、ノードN1とノードN2との間の電圧に依存する。放電回路12dがノードN1からノードN2に電流を流すと、ノードN1とノードN2との間の電圧が減少するが、NチャネルMOSトランジスタのオン抵抗が増加するので、ノードN3とノードN2との間の電圧の減少が抑えられる。従って、保護動作の途中でトランジスタQN10がオフすることを防止できる。

50

【 0 0 9 6 】

また、第3のインピーダンス素子として、抵抗素子R3の替りにPチャネルMOSトランジスタを用いても良い。その場合に、PチャネルMOSトランジスタは、ノードN1に接続されたソースと、ノードN5に接続されたドレインと、ノードN2に接続されたゲートとを有する。

【 0 0 9 7 】

このPチャネルMOSトランジスタのオン抵抗は、ノードN1とノードN2との間の電圧に依存する。放電回路12dがノードN1からノードN2に電流を流すと、ノードN1とノードN2との間の電圧が減少するが、PチャネルMOSトランジスタのオン抵抗が増加するので、ノードN1とノードN5との間の電圧の減少が抑えられる。従って、保護動作の途中でトランジスタQP10がオフすることを防止できる。

10

【 0 0 9 8 】

< 第6の実施形態 >

図11は、本発明の第6の実施形態に係る静電気保護回路の構成例を示す回路図である。第6の実施形態に係る静電気保護回路10eにおいては、図10に示す第5の実施形態における検出回路11の替りに検出回路11eが用いられ、放電回路12dの替りに放電回路12が用いられる。その他の点に関し、図11に示す静電気保護回路10eは、図10に示す静電気保護回路10dと同様である。

【 0 0 9 9 】

検出回路11eは、トランジスタQP10がオン状態であることを検出したときに出力信号を活性化する。例えば、検出回路11eは、直列に接続された第1のインバーター及び第2のインバーターを含んでいる。第1のインバーターは、PチャネルMOSトランジスタQP41とNチャネルMOSトランジスタQN41とによって構成される、また、第2のインバーターは、PチャネルMOSトランジスタQP42とNチャネルMOSトランジスタQN42とによって構成される。

20

【 0 1 0 0 】

第1のインバーターは、入力端子INに供給されるノードN3の電位がハイレベルであるかローレベルであるかを検出し、そのレベルを反転して、反転されたレベルを有する第1の出力信号を出力端子OUT1から出力する。また、第2のインバーターは、第1の出力信号がハイレベルであるかローレベルであるかを検出し、そのレベルを反転して、反転されたレベルを有する第2の出力信号を出力端子OUT2から出力する。

30

【 0 1 0 1 】

これにより、検出回路11eは、抵抗素子R1に発生する電圧がノードN1とノードN2との間の電圧に対して所定の割合（例えば、50%）よりも大きくなったときに、第1の出力信号をローレベルに活性化すると共に、第2の出力信号をハイレベルに活性化する。検出回路11eの第1の出力信号は、分圧回路のトランジスタQP13のゲートに供給される。また、検出回路11eの第2の出力信号は、放電回路12のトランジスタQN12のゲートに供給される。

【 0 1 0 2 】

本実施形態によれば、放電回路12において、NチャネルMOSトランジスタ又はNPバイポーラトランジスタを用いることができる。NチャネルMOSトランジスタ又はNPバイポーラトランジスタは、P型半導体基板にウエルを介さずに形成することが可能であり、特性的にも優れている。

40

【 0 1 0 3 】

< インピーダンス素子の例 >

図12は、本発明の各実施形態において抵抗素子以外に使用可能なインピーダンス素子の例を示す図である。本発明の各実施形態においては、抵抗素子R2及びR4～R6のいずれかの替りに、図12の(a)～(h)に示すインピーダンス素子を用いることができる。なお、図12において、「N+」は、高電位側のノードを表しており、「N-」は、低電位側のノードを表している。

50

【 0 1 0 4 】

図 1 2 (a) は、高電位側のノード N + に接続されたカソードと、低電位側のノード N - に接続されたアノードとを有するダイオード D 1 を示している。このダイオード D 1 を、例えば、図 3 に示す第 1 の実施形態に係る静電気保護回路 1 0 において、抵抗素子 R 2 の替りに用いることができる。

【 0 1 0 5 】

図 3 において、ノード N 1 とノード N 2 との間に印加される電圧が急峻に上昇する場合に、ノード N 1 とノード N 3 との間の電圧が上昇してトランジスタ Q P 1 0 の閾値電圧以上になると、トランジスタ Q P 1 0 がオンする。トランジスタ Q P 1 0 から印加される電圧によってダイオード D 1 がブレークダウンすると、抵抗素子 R 3 に電流が流れて、ノード N 5 とノード N 2 との間の電圧が 0 V から上昇する。

10

【 0 1 0 6 】

抵抗素子 R 2 の替りにダイオード D 1 を用いる場合の静電気保護回路 1 0 の保持電圧 V_H は、次式 (7) によって近似される。

$$V_H = V_{th_{QN10}} + V_{BD1} \quad \dots (7)$$

ここで、 $V_{th_{QN10}}$ はトランジスタ Q N 1 0 の閾値電圧であり、 V_{BD1} はダイオード D 1 のブレークダウン電圧である。

【 0 1 0 7 】

式 (3) においては、保持電圧 V_H が、トランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきに対して $(R_2 + R_3) / R_3$ 倍のばらつきを有する。これに対し、ダイオード D 1 のブレークダウン電圧 V_{BD1} のばらつきはトランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきと比較して小さいので、式 (7) における保持電圧 V_H のばらつきは、トランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきに略依存する。従って、トランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。

20

【 0 1 0 8 】

図 1 2 (b) は、高電位側のノード N + に接続されたアノードと、低電位側のノード N - に接続されたカソードとを有するダイオード D 2 を示している。このダイオード D 2 を、例えば、図 3 に示す第 1 の実施形態に係る静電気保護回路 1 0 において、抵抗素子 R 2 の替りに用いることができる。

30

【 0 1 0 9 】

図 3 において、ノード N 1 とノード N 2 との間に印加される電圧が急峻に上昇する場合に、ノード N 1 とノード N 3 との間の電圧が上昇してトランジスタ Q P 1 0 の閾値電圧以上になると、トランジスタ Q P 1 0 がオンする。トランジスタ Q P 1 0 から印加される電圧によってダイオード D 2 に順方向電流が流れると、抵抗素子 R 3 にも電流が流れて、ノード N 5 とノード N 2 との間の電圧が 0 V から上昇する。

【 0 1 1 0 】

抵抗素子 R 2 の替りにダイオード D 2 を用いる場合の静電気保護回路 1 0 の保持電圧 V_H は、次式 (8) によって近似される。

$$V_H = V_{th_{QN10}} + V_{FD2} \quad \dots (8)$$

ここで、 $V_{th_{QN10}}$ はトランジスタ Q N 1 0 の閾値電圧であり、 V_{FD2} はダイオード D 2 の順方向電圧である。

40

【 0 1 1 1 】

式 (3) においては、保持電圧 V_H が、トランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきに対して $(R_2 + R_3) / R_3$ 倍のばらつきを有する。これに対し、式 (8) における保持電圧 V_H のばらつきは、トランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきとダイオード D 2 の順方向電圧 V_{FD2} のばらつきとの和であり、ダイオード D 2 の順方向電圧 V_{FD2} の量産ばらつきは小さい。従って、トランジスタ Q N 1 0 の閾値電圧 $V_{th_{QN10}}$ のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。また、ダイオード D 2 の順方向電圧 V_{FD2} は比較的小さ

50

いので、保持電圧 V_H を低く設定することができる。

【0112】

図12(c)は、高電位側のノード $N+$ に接続されたソースと、低電位側のノード $N-$ に接続されたドレイン及びゲートとを有するPチャネルMOSトランジスタ $QP1$ を示している。このトランジスタ $QP1$ を、例えば、図3に示す第1の実施形態に係る静電気保護回路10において、抵抗素子 $R2$ の替りに用いることができる。

【0113】

図3において、ノード $N1$ とノード $N2$ との間に印加される電圧が急峻に上昇する場合に、ノード $N1$ とノード $N3$ との間の電圧が上昇してトランジスタ $QP10$ の閾値電圧以上になると、トランジスタ $QP10$ がオンする。トランジスタ $QP10$ から印加される電圧によってトランジスタ $QP1$ に電流が流れると、抵抗素子 $R3$ にも電流が流れて、ノード $N5$ とノード $N2$ との間の電圧が $0V$ から上昇する。ここで、トランジスタ $QP1$ のゲートはドレインに接続されているので、トランジスタ $QP1$ は飽和領域で動作する。従って、ドレイン電流が十分小さい範囲において、トランジスタ $QP1$ のソース・ドレイン間電圧は、閾値電圧 V_{thQP1} に略等しくなる。

【0114】

抵抗素子 $R2$ の替りにトランジスタ $QP1$ を用いる場合の静電気保護回路10の保持電圧 V_H は、次式(9)によって近似される。

$$V_H = V_{thQN10} + V_{thQP1} \cdots (9)$$

ここで、 V_{thQN10} はトランジスタ $QN10$ の閾値電圧であり、 V_{thQP1} はトランジスタ $QP1$ の閾値電圧である。

【0115】

式(3)においては、保持電圧 V_H が、トランジスタ $QN10$ の閾値電圧 V_{thQN10} のばらつきに対して $(R_2 + R_3) / R_3$ 倍のばらつきを有する。これに対し、式(9)における保持電圧 V_H のばらつきは、トランジスタ $QN10$ の閾値電圧 V_{thQN10} のばらつきとトランジスタ $QP1$ の閾値電圧 V_{thQP1} のばらつきとの和となる。従って、トランジスタ $QN10$ の閾値電圧 V_{thQN10} のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。また、トランジスタ $QP1$ の閾値電圧 V_{thQP1} は比較的小さいので、保持電圧 V_H を低く設定することができる。

【0116】

図12(d)は、高電位側のノード $N+$ に接続されたソース及びゲートと、低電位側のノード $N-$ に接続されたドレインとを有するPチャネルMOSトランジスタ $QP2$ を示している。このトランジスタ $QP2$ を、例えば、図3に示す第1の実施形態に係る静電気保護回路10において、抵抗素子 $R2$ の替りに用いることができる。

【0117】

図3において、ノード $N1$ とノード $N2$ との間に印加される電圧が急峻に上昇する場合に、ノード $N1$ とノード $N3$ との間の電圧が上昇してトランジスタ $QP10$ の閾値電圧以上になると、トランジスタ $QP10$ がオンする。トランジスタ $QP10$ から印加される電圧によってトランジスタ $QP2$ がブレイクダウンすると、抵抗素子 $R3$ に電流が流れて、ノード $N5$ とノード $N2$ との間の電圧が $0V$ から上昇する。

【0118】

抵抗素子 $R2$ の替りにトランジスタ $QP2$ を用いる場合の静電気保護回路10の保持電圧 V_H は、次式(10)によって近似される。

$$V_H = V_{thQN10} + V_{BQP2} \cdots (10)$$

ここで、 V_{thQN10} はトランジスタ $QN10$ の閾値電圧であり、 V_{BQP2} はトランジスタ $QP2$ のブレイクダウン電圧である。

【0119】

式(3)においては、保持電圧 V_H が、トランジスタ $QN10$ の閾値電圧 V_{thQN10} のばらつきに対して $(R_2 + R_3) / R_3$ 倍のばらつきを有する。これに対し、式(

10)における保持電圧 V_H のばらつきは、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきとトランジスタ Q_{P2} のブレイクダウン電圧 $V_{B_{Q_{P2}}}$ のばらつきとの和となる。従って、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。

【0120】

図12(e)は、高電位側のノード $N+$ に接続されたドレイン及びゲートと、低電位側のノード $N-$ に接続されたソースとを有するNチャネルMOSトランジスタ Q_{N1} を示している。このトランジスタ Q_{N1} を、例えば、図3に示す第1の実施形態に係る静電気保護回路10において、抵抗素子 R_2 の替りに用いることができる。

【0121】

図3において、ノード $N1$ とノード $N2$ との間に印加される電圧が急峻に上昇する場合に、ノード $N1$ とノード $N3$ との間の電圧が上昇してトランジスタ Q_{P10} の閾値電圧以上になると、トランジスタ Q_{P10} がオンする。トランジスタ Q_{P10} から印加される電圧によってトランジスタ Q_{N1} に電流が流れると、抵抗素子 R_3 にも電流が流れて、ノード $N5$ とノード $N2$ との間の電圧が0Vから上昇する。ここで、トランジスタ Q_{N1} のゲートはドレインに接続されているので、トランジスタ Q_{N1} は飽和領域で動作する。従って、ドレイン電流が十分小さい範囲において、トランジスタ Q_{N1} のドレイン・ソース間電圧は、閾値電圧 $V_{th_{Q_{N1}}}$ に略等しくなる。

【0122】

抵抗素子 R_2 の替りにトランジスタ Q_{N1} を用いる場合の静電気保護回路10の保持電圧 V_H は、次式(11)によって近似される。

$$V_H = V_{th_{Q_{N10}}} + V_{th_{Q_{N1}}} \cdot \dots \quad (11)$$

ここで、 $V_{th_{Q_{N10}}}$ はトランジスタ Q_{N10} の閾値電圧であり、 $V_{th_{Q_{N1}}}$ はトランジスタ Q_{N1} の閾値電圧である。

【0123】

式(3)においては、保持電圧 V_H が、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきに対して $(R_2 + R_3) / R_3$ 倍のばらつきを有する。これに対し、式(11)における保持電圧 V_H のばらつきは、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきとトランジスタ Q_{N1} の閾値電圧 $V_{th_{Q_{N1}}}$ のばらつきとの和となる。従って、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。また、トランジスタ Q_{N1} の閾値電圧 $V_{th_{Q_{N1}}}$ は比較的小さいので、保持電圧 V_H を低く設定することができる。

【0124】

図12(f)は、高電位側のノード $N+$ に接続されたドレインと、低電位側のノード $N-$ に接続されたソース及びゲートとを有するNチャネルMOSトランジスタ Q_{N2} を示している。このトランジスタ Q_{N2} を、例えば、図3に示す第1の実施形態に係る静電気保護回路10において、抵抗素子 R_2 の替りに用いることができる。

【0125】

図3において、ノード $N1$ とノード $N2$ との間に印加される電圧が急峻に上昇する場合に、ノード $N1$ とノード $N3$ との間の電圧が上昇してトランジスタ Q_{P10} の閾値電圧以上になると、トランジスタ Q_{P10} がオンする。トランジスタ Q_{P10} から印加される電圧によってトランジスタ Q_{N2} がブレイクダウンすると、抵抗素子 R_3 に電流が流れて、ノード $N5$ とノード $N2$ との間の電圧が0Vから上昇する。

【0126】

抵抗素子 R_2 の替りにトランジスタ Q_{N2} を用いる場合の静電気保護回路10の保持電圧 V_H は、次式(12)によって近似される。

$$V_H = V_{th_{Q_{N10}}} + V_{B_{Q_{N2}}} \cdot \dots \quad (12)$$

ここで、 $V_{th_{Q_{N10}}}$ はトランジスタ Q_{N10} の閾値電圧であり、 $V_{B_{Q_{N2}}}$ はトランジスタ Q_{N2} のブレイクダウン電圧である。

10

20

30

40

50

【 0 1 2 7 】

式 (3) においては、保持電圧 V_H が、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきに対して $(R_2 + R_3) / R_3$ 倍のばらつきを有する。これに対し、式 (1 2) における保持電圧 V_H のばらつきは、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきとトランジスタ Q_{N2} のブレイクダウン電圧 $V_{B_{Q_{N2}}}$ のばらつきとの和となる。従って、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。

【 0 1 2 8 】

図 1 2 (g) は、インピーダンス素子が複数の同じデバイスを含む例を示している。このインピーダンス素子は、3つのダイオード $D_3 \sim D_5$ を直列に接続したものであり、ダイオード D_3 のアノードが高電位側のノード $N+$ に接続され、ダイオード D_5 のカソードが低電位側のノード $N-$ に接続されている。これらのダイオード $D_3 \sim D_5$ を、例えば、図 3 に示す第 1 の実施形態に係る静電気保護回路 1 0 において、抵抗素子 R_2 の替りに用いることができる。

10

【 0 1 2 9 】

図 3 において、ノード $N1$ とノード $N2$ との間に印加される電圧が急峻に上昇する場合に、ノード $N1$ とノード $N3$ との間の電圧が上昇してトランジスタ Q_{P10} の閾値電圧以上になると、トランジスタ Q_{P10} がオンする。トランジスタ Q_{P10} から印加される電圧によってダイオード $D_3 \sim D_5$ に順方向電流が流れると、抵抗素子 R_3 にも電流が流れて、ノード $N5$ とノード $N2$ との間の電圧が 0 V から上昇する。

20

【 0 1 3 0 】

抵抗素子 R_2 の替りにダイオード $D_3 \sim D_5$ を用いる場合の静電気保護回路 1 0 の保持電圧 V_H は、次式 (1 3) によって近似される。

$$V_H = V_{th_{Q_{N10}}} + V_{F_{D3}} + V_{F_{D4}} + V_{F_{D5}} \dots (13)$$

ここで、 $V_{th_{Q_{N10}}}$ はトランジスタ Q_{N10} の閾値電圧であり、 $V_{F_{D3}}$ はダイオード D_3 の順方向電圧であり、 $V_{F_{D4}}$ はダイオード D_4 の順方向電圧であり、 $V_{F_{D5}}$ はダイオード D_5 の順方向電圧である。式 (1 3) に示すように、静電気保護回路 1 0 の保持電圧 V_H は、直列に接続されるダイオードの数によって自由に設定することができる。また、ダイオード D_2 の順方向電圧 $V_{F_{D2}}$ の量産ばらつきは小さいので、トランジスタ Q_{N10} の閾値電圧 $V_{th_{Q_{N10}}}$ のばらつきに対して保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。

30

【 0 1 3 1 】

図 1 2 (h) は、インピーダンス素子が複数の異なるデバイスを含む例を示している。このインピーダンス素子は、ダイオード D_6 と抵抗素子 R_7 とを直列に接続したものであり、ダイオード D_6 のカソードが高電位側のノード $N+$ に接続され、抵抗素子 R_7 の一端が低電位側のノード $N-$ に接続されている。このダイオード D_6 及び抵抗素子 R_7 を、例えば、図 3 に示す第 1 の実施形態に係る静電気保護回路 1 0 において、抵抗素子 R_2 の替りに用いることができる。

【 0 1 3 2 】

図 3 において、ノード $N1$ とノード $N2$ との間に印加される電圧が急峻に上昇する場合に、ノード $N1$ とノード $N3$ との間の電圧が上昇してトランジスタ Q_{P10} の閾値電圧以上になると、トランジスタ Q_{P10} がオンする。トランジスタ Q_{P10} から印加される電圧によってダイオード D_6 がブレイクダウンすると、抵抗素子 R_7 及び抵抗素子 R_3 に電流が流れて、ノード $N5$ とノード $N2$ との間の電圧が 0 V から上昇する。

40

【 0 1 3 3 】

抵抗素子 R_2 の替りにダイオード D_6 及び抵抗素子 R_7 を用いる場合の静電気保護回路 1 0 の保持電圧 V_H は、次式 (1 4) によって近似される。

$$V_H = V_{th_{Q_{N10}}} (R_3 + R_7) / R_3 + V_{B_{D6}} \dots (14)$$

ここで、 $V_{th_{Q_{N10}}}$ はトランジスタ Q_{N10} の閾値電圧であり、 R_3 は抵抗素子 R_3 の抵抗値であり、 R_7 は抵抗素子 R_7 の抵抗値であり、 $V_{B_{D6}}$ はダイオード D_6 のブ

50

リークダウン電圧である。式(14)に示すように、抵抗素子R3及びR7の抵抗値を選択することにより、所望の保持電圧 V_H を設定することができる。また、ダイオードD6のブレークダウン電圧 V_{BD6} のばらつきはトランジスタQN10の閾値電圧 $V_{thQ_{N10}}$ のばらつきと比較して小さいので、抵抗素子のみを用いるよりも保持電圧 V_H の変動が少ない静電気保護回路を提供することができる。

【0134】

このように、抵抗素子やダイオードやトランジスタの内から適切なデバイスを選択し、又は、複数のデバイスを組み合わせることにより、静電気保護回路の両端間の電圧を自由に設定できると共に、プロセスばらつきの影響を受けにくい静電気保護回路を提供することができる。

10

【0135】

<放電回路の例>

本発明の各実施形態に係る静電気保護回路の放電回路において、MOSトランジスタ(Metal Oxide Semiconductor FET: 金属酸化膜型電界効果トランジスタ)の他にも、電流を流す機能を有すると共に電流をオン/オフ制御する端子を有する3端子素子や回路等を用いることができる。

【0136】

3端子素子としては、接合形電界効果トランジスタ(Junction FET)、金属半導体形電界効果トランジスタ(Metal Semiconductor FET)、バイポーラトランジスタ、及び、サイリスタ等が挙げられる。これらの3端子素子は、放電回路としてのみならず、他のMOSトランジスタの替りとしても用いることができる。

20

【0137】

図13は、放電回路においてMOSトランジスタ以外に使用可能な3端子素子の例を示す図である。なお、図13において、「NS」は、検出回路の出力信号が供給されるノードを表している。

【0138】

本発明の第1~第4及び第6の実施形態においては、放電回路12のNチャネルMOSトランジスタQN12の替りに、図13(a)に示すNPNバイポーラトランジスタを用いることができる。このNPNバイポーラトランジスタは、ノードN1に接続されたコレクターと、ノードN2に接続されたエミッターと、ノードNSに接続されたベースとを有している。

30

【0139】

本発明の第5の実施形態においては、放電回路12dのPチャネルMOSトランジスタQP12の替りに、図13(b)に示すPNPバイポーラトランジスタを用いることができる。このPNPバイポーラトランジスタは、ノードN1に接続されたエミッターと、ノードN2に接続されたコレクターと、ノードNSに接続されたベースとを有している。

【0140】

本発明は、以上説明した実施形態に限定されるものではなく、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。

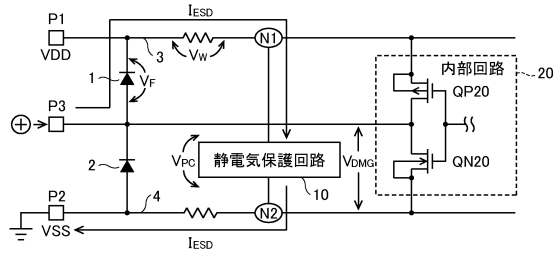
40

【符号の説明】

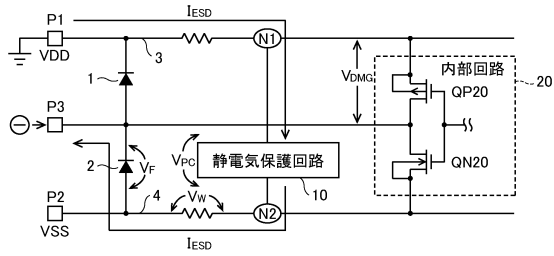
【0141】

1、2...ダイオード、3、4...電源配線、10、10a~10e...静電気保護回路、11、11e...検出回路、12、12d...放電回路、20...内部回路、P1、P2...電源端子、P3...信号端子、R1~R7...抵抗素子、C1...キャパシター、QP1~QP42...PチャネルMOSトランジスタ、QN1~QN42...NチャネルMOSトランジスタ、D1~D6...ダイオード

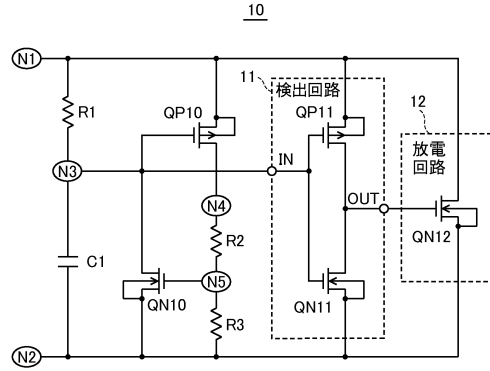
【図1】



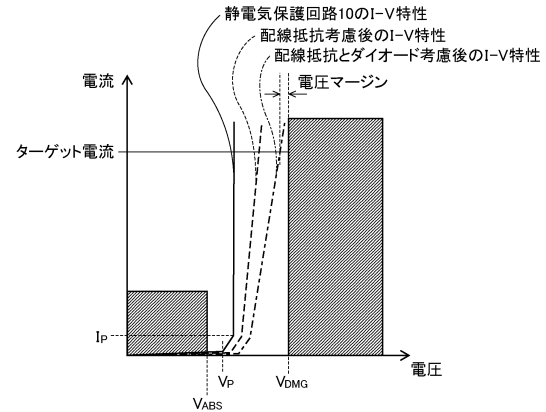
【図2】



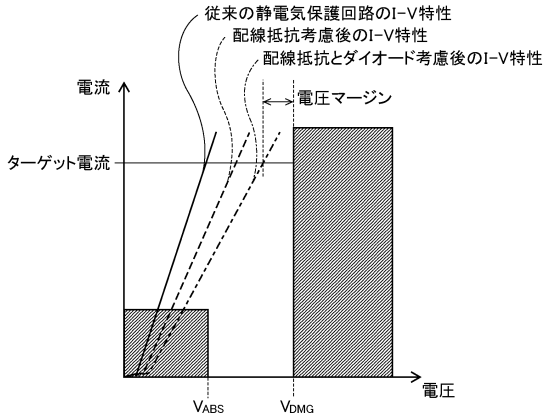
【図3】



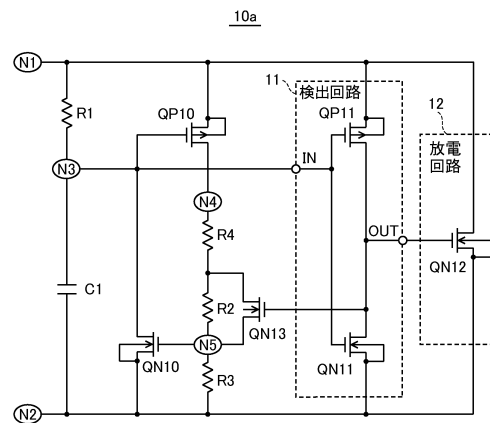
【図4】



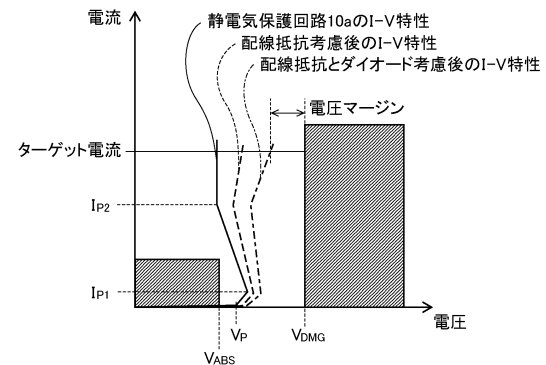
【図5】



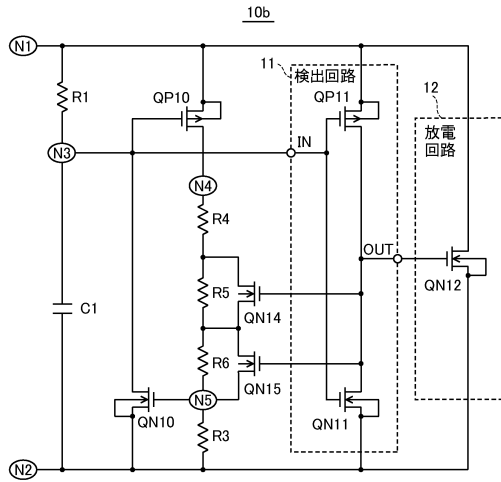
【図6】



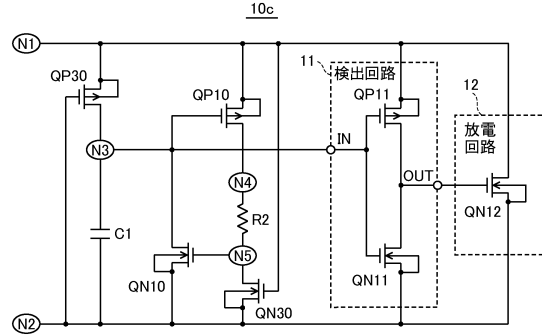
【図7】



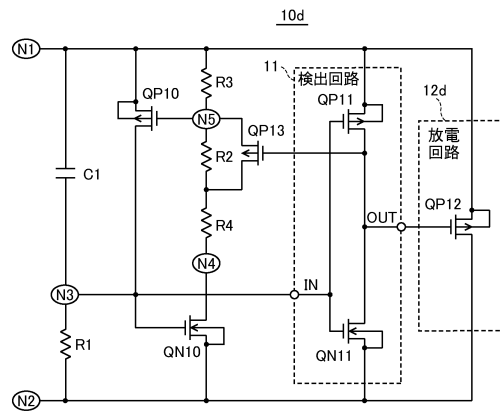
【図 8】



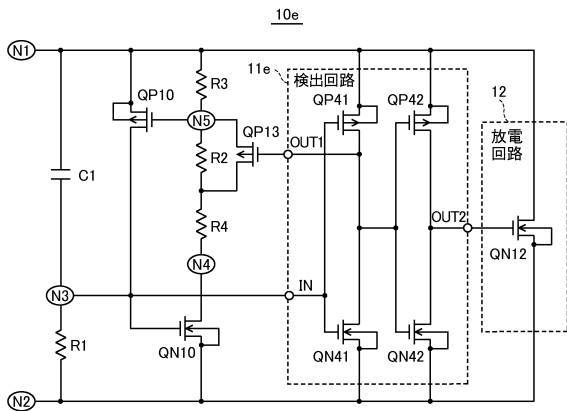
【図 9】



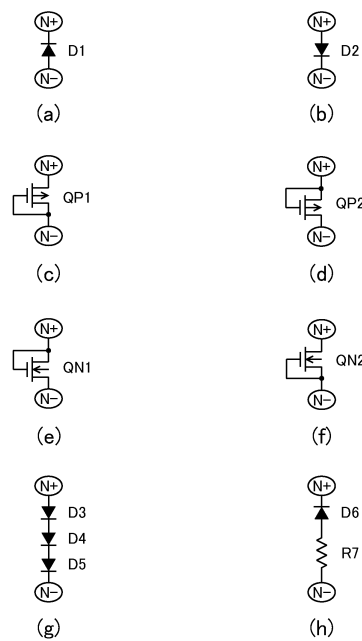
【図 10】



【図 11】



【図 12】



【図 13】



フロントページの続き

- (56)参考文献 米国特許第07405915 (US, B1)
米国特許出願公開第2010/0296212 (US, A1)
特開2003-086700 (JP, A)
特開2009-182119 (JP, A)
米国特許第06927957 (US, B1)
特開2008-227003 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/8238
H01L 27/04
H01L 27/06
H01L 27/092