

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01S 5/00 (2006.01)

H01S 5/223 (2006.01)

H01L 33/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200710137346.6

[45] 授权公告日 2010年2月24日

[11] 授权公告号 CN 100592584C

[22] 申请日 2007.7.20

[21] 申请号 200710137346.6

[30] 优先权

[32] 2006.7.21 [33] JP [31] 2006-199574

[32] 2007.5.24 [33] JP [31] 2007-137581

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 志贺俊彦 佐久间仁

[56] 参考文献

JP2000-340880A 2000.12.8

US20050226295A1 2005.10.13

JP2003-142769A 2003.5.16

US6171876B1 2001.1.9

CN1534841 2004.10.6

CN1750337A 2006.3.22

审查员 吴 黎

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 刘宗杰

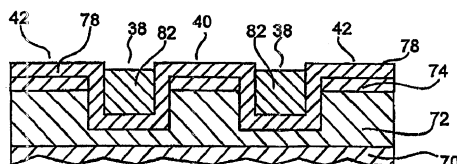
权利要求书 2 页 说明书 17 页 附图 5 页

[54] 发明名称

半导体光元件的制造方法

[57] 摘要

本发明提供一种半导体光元件的制造方法。可在波导脊的上表面，稳定地防止半导体层与电极层的接触面积的减少，提供一种成品率高的制造方法。本发明的 LD(10) 的制造方法是在层叠了半导体层的晶片形成波导脊(40)，在晶片整个面中形成 SiO<sub>2</sub> 膜(78)，形成于波导脊(40) 顶部的 SiO<sub>2</sub> 膜(78) 的表面露出，同时，利用抗蚀剂膜埋设邻接于波导脊(40) 的沟道(38) 的 SiO<sub>2</sub> 膜(78)，形成第 2 抗蚀剂图案(82)，该抗蚀剂膜具有比波导脊(40) 的 p-GaN 层(74) 表面高、且比波导脊(40) 顶部上的 SiO<sub>2</sub> 膜(78) 表面低的表面，将第 2 抗蚀剂图案(82) 作为掩膜，去除 SiO<sub>2</sub> 膜(78)，使波导脊(40) 的 p-GaN 层(74) 表面露出，并在其上形成电极层(46)。



1. 一种半导体光元件的制造方法，其特征在于，包含：

在基板上依次层叠了第1导电型的第1半导体层、活性层、第2导电型的第2半导体层的半导体层叠结构的表面上，涂布抗蚀剂，利用照相制版工序，形成具备了具有对应于波导脊的形状的抗蚀剂膜部分的第1抗蚀剂图案的工序；

通过将该第1抗蚀剂图案作为掩膜，利用蚀刻，去除第2半导体层上表面侧的一部分，并在其底部形成残留了第2半导体层的一部分的凹部，形成波导脊的工序；

在去除了第1抗蚀剂图案之后，在包含凹部的半导体层叠结构的表面形成第1绝缘膜的工序；

在形成于波导脊顶部的第1绝缘膜的表面露出的同时，利用抗蚀剂膜埋设邻接于波导脊的凹部的第1绝缘膜，形成第2抗蚀剂图案的工序，该抗蚀剂膜具有比波导脊的第2半导体层表面高、且比波导脊顶部上的第1绝缘膜表面低的表面；

将第2抗蚀剂图案作为掩膜，利用蚀刻去除第1绝缘膜，并且边残留凹部的第1绝缘膜，边使波导脊的第2半导体层表面露出的工序；和

在去除了第2抗蚀剂图案之后，形成露出了波导脊的第2半导体层表面的第3抗蚀剂图案，并在露出的第2半导体层表面上形成电极层的工序。

2. 根据权利要求1所述的半导体光元件的制造方法，其特征在于，形成第2抗蚀剂图案的工序包含：

在第1绝缘膜上涂布抗蚀剂的同时，形成邻接于波导脊的凹部的抗蚀剂膜的膜厚比波导脊顶部的抗蚀剂膜的膜厚厚的抗蚀剂膜的工序；和

同样地从该抗蚀剂膜的表面去除抗蚀剂，边残留邻接于波导脊的凹部的抗蚀剂膜，边使波导脊顶部的第1绝缘膜露出的工序。

3. 根据权利要求1所述的半导体光元件的制造方法，其特征在于，形成第2抗蚀剂图案的工序包含：

在第1绝缘膜上涂布抗蚀剂，并覆盖第1绝缘膜，形成抗蚀剂膜的工序，该抗蚀剂膜是在邻接于波导脊的凹部中，抗蚀剂膜的表面具

有与波导脊的第1绝缘膜的上表面大致相同的高度的抗蚀剂膜；

利用照相制版工序，在邻接于波导脊的凹部底面的一部分中，残留抗蚀剂膜，并覆盖第1绝缘膜的同时同样地使波导脊顶部的第1绝缘膜露出，形成抗蚀剂图案的工序；和

将凹部底面的抗蚀剂膜的包覆面积扩展到凹部底面整个区域的工序。

4. 根据权利要求1~3之一所述的半导体光元件的制造方法，其特征在于，

利用GaN形成基板，利用AlGa<sub>x</sub>N形成第1半导体层，利用InGa<sub>1-x</sub>N形成活性层，利用包含Ga<sub>1-x</sub>N的半导体层形成第2半导体层。

## 半导体光元件的制造方法

### 技术领域

本发明涉及一种半导体光元件的制造方法,尤其涉及一种在波导脊(waveguide ridge)顶部具备电极的半导体光元件的制造方法。

### 背景技术

近年来,作为光盘高密度化所需的从蓝色区域至紫外线区域可发光的半导体激光器,大量进行着使用了 AlGaInN 等氮化物系 III-V 族化合物半导体的氮化物系半导体激光器的研究开发,并且已经实用化。

这种蓝紫色 LD(下面将激光二极管记载为 LD)由化合物半导体在 GaN 基板上结晶生长来形成。

典型的化合物半导体有 III 族元素与 V 族元素结合的 III-V 族化合物半导体,利用多个 III 族原子或 V 族原子结合,得到具有各种组成比的混晶化合物半导体。作为蓝紫色 LD 中使用的化合物半导体,例如有 GaN、GaPN、GaNAs、InGaN、AlGaN 等。

脊波导型的 LD 通常在波导脊顶部设置电极层。在覆盖波导脊的绝缘膜中、在波导脊顶部设置开口,经该开口执行该电极层与作为波导脊最上层的接触层的连接。具有该开口的绝缘膜使用形成波导脊时使用的抗蚀剂掩膜,采用剥离(lift-off)法形成。因此,与接触层粘接的抗蚀剂掩膜由于在与接触层的接合部沿接触层的表面凹陷,所以在剥离后,覆盖波导脊的一部分绝缘膜也残留在该凹入部分中,变为仅由该残留的绝缘膜来覆盖接触层的表面,电极层与接触层的接触面积变为比接触层的总表面积小。

以前,红色 LD 中使用的接触层的材料、例如 GaAs 等中,接触阻抗较低,所以因剥离法产生的接触面积减少不会使接触阻抗大大增加,对 LD 的动作电压的上升的影响不大。

但是,在蓝紫色 LD 的情况下,用于接触层的材料为 GaN 等,材料的接触阻抗较高,因此,电极与接触层的接触面积降低导致电极与接触层的接触阻抗提高,蓝紫色 LD 的动作电压变高。

为了防止电极与接触层的接触面积减少,已知如下的LD制造方法的公知例。

在形成氮化物半导体激光元件的情况下,首先,在包含多个半导体层的晶片的p型接触111层上,形成由钽/钼/金构成的p型电极层112。接着,在p型电极层112上,形成条状的抗蚀剂掩膜(未图示),利用RIE(反应性离子蚀刻),形成脊条纹114。即,利用Ar气体,通过蚀刻形成p型电极112,再利用Ar与Cl<sub>2</sub>及SiCl<sub>4</sub>的混合气体,通过蚀刻至P型接触层111与p型包层110的中途、或蚀刻至p引导层109的中途,形成脊条纹。进而在残留脊条纹114的抗蚀剂不变的情况下,将绝缘膜115(主要是由ZrO<sub>2</sub>构成的Zr氧化物)形成至厚度为0.5微米,以覆盖晶片的上面。之后,通过去除抗蚀剂,露出脊条纹114的上边。进而形成由钼与金构成的p型衬垫电极(pad electrode)116,以覆盖p型电极112和至少其两侧附近的绝缘膜115。(例如参照专利文献1、第9页、42-50行及图1)。

在另一个公知例中,公开了包含层叠两个不同光致抗蚀剂层的步骤,用于制造脊波导管半导体LD的自整合法。该制造方法为如下方法。

下侧的光致抗蚀剂层仅对具有不足300nm波长的光起反应,上侧的光致抗蚀剂层仅对具有比300nm长的波长的光起反应。在形成第2包覆波导层406和在其上形成顶盖层408的半导体层叠结构中,去除顶盖层408与第2包覆波导层406的一部分,形成脊结构414与双沟道412。并且,在脊结构414与双沟道412的表面,形成第2绝缘膜416。在该第2绝缘膜上,形成下层第1光致抗蚀剂层420与上层第2光致抗蚀剂层422。为了露出脊结构414附近的第1光致抗蚀剂层420,图案化第2光致抗蚀剂层422。接着,为了露出脊结构414上的第2绝缘膜416,对第1光致抗蚀剂层420执行RIE加工。接着,为了去除脊414外侧的第2绝缘膜416,执行包含RIE加工的蚀刻加工。接着去除残留的第1光致抗蚀剂层420和第2光致抗蚀剂层422,第1金属层424作为电极被沉积(例如参照专利文献2、段落序号[0024]-[0034]及图7-图18)。

进而,在另一公知例中,公开了使用Al金属掩膜,利用湿蚀刻,蚀刻接触层,再残留金属掩膜不变,将接触层作为掩膜,执行湿蚀

刻，由此形成脊与沟道，同时，利用等离子体 CVD 在整个面中形成绝缘膜，接着利用剥离去除 Al 图案和堆积在其上的绝缘膜。接着，利用通常的平版印刷加工，形成 p 侧电极的部分露出的抗蚀剂图案，将该抗蚀剂图案作为掩膜，真空沉积电极材料，利用剥离去除抗蚀剂图案及其上的电极材料，形成紧贴在脊的接触层上的电极(例如参照专利文献 3、段落序号 [0025] - [0034] 及图 1)。

在又一公知例中公开如下工序。在接触层 13 表面的大致整个面中，形成第 1 保护膜 61，在该第 1 保护膜 61 上，形成条状的第 3 保护膜 63。在附着第 3 保护膜 63 不变，蚀刻第 1 保护膜 61 之后，去除第 3 保护膜 63，形成条状的第 1 保护膜 61。接着，将第 1 保护膜作为掩膜，蚀刻至 p 侧接触层 13 和接触层之下的层、例如 p 侧包层 12 的中途，由此形成条状的波导。接着，在条状波导的侧面和蚀刻后露出的氮化物半导体层、即在刚才的蚀刻中为 p 侧包层 12 的平面中，形成材料与第 1 保护膜 61 不同、具有绝缘性的第 2 保护膜 62，利用剥离法，仅去除第 1 保护膜 61，在第 2 保护膜和 p 侧接触层 13 上，形成与该 p 侧接触层 13 电连接的 p 电极(例如参照专利文献 4、段落序号 [0020] - [0027] 及图 1)。

专利文献 1: 再公布专利(A1) JP WO2003/085790 公报

专利文献 2: 特开 2000 - 22261 号公报

专利文献 3: 特开 2000 - 340880 号公报

专利文献 4: 特开 2003 - 142769 号公报

即便在现有方法中，作为确保波导脊的接触层和电极层的接触面积，也存在包含同时蚀刻金属膜与金属膜下层的半导体层的工序；或在使用 2 层抗蚀剂的情况下，稳定下层的抗蚀剂，残留规定厚度，停止蚀刻的工序；或将金属膜作为掩膜，或使用多个保护膜时执行剥离的工序等，稳定地制造特性一致的器件上的问题。另外，还存在使用多个抗蚀剂或保护膜时工序的自由度下降等问题。

## 发明内容

本发明为了解决上述问题而做出，第 1 目的在于利用简单的工序，可在波导脊的上表面稳定地防止半导体层和电极层的接触面积的减少，提供一种成品率高的制造方法。

本发明的半导体光元件的制造方法包含如下工序：在半导体基板上依次层叠第1导电型的第1半导体层、活性层、第2导电型的第2半导体层，形成半导体层叠结构；在该半导体层叠结构的表面涂布抗蚀剂，利用照相制版工序，形成具备具有对应于波导脊的宽度的条状抗蚀剂膜部分的第1抗蚀剂图案；将该第1抗蚀剂图案作为掩膜，利用干蚀刻，去除第2半导体层上表面侧的一部分，并在其底部形成残留第2半导体层一部分的凹部，由此形成波导脊；在去除第1抗蚀剂图案之后，在包含凹部的半导体层叠结构的表面形成第1绝缘膜；在形成于波导脊顶部的第1绝缘膜的表面露出的同时，利用抗蚀剂膜埋设邻接于波导脊的凹部的第1绝缘膜，形成第2抗蚀剂图案，该抗蚀剂膜具有比波导脊的第2半导体层表面高、且比波导脊顶部上的第1绝缘膜表面低的表面；将第2抗蚀剂图案作为掩膜，利用蚀刻去除第1绝缘膜，使波导脊的第2半导体层表面露出；和在露出的波导脊的第2半导体层表面上形成电极层。

#### 发明效果

在本发明的半导体光元件的制造方法中，由于形成于邻接于波导脊的凹部中的第2抗蚀剂图案具有比波导脊的第2半导体层表面高、且比波导脊顶部上的第1绝缘膜表面低的表面，所以当使用该第2抗蚀剂图案、利用蚀刻去除第1绝缘膜时，则边残留波导脊侧面及凹部的第1绝缘膜，边露出波导脊顶部的第2半导体层，所以可利用简单的工序，接触面积不减少地接合第2半导体层与电极层。

#### 附图说明

图1是本发明一实施方式的半导体LD的截面图。

图2是表示本发明半导体LD的制造方法中各制造工序的半导体LD的局部截面图。

图3是表示本发明半导体LD的制造方法中各制造工序的半导体LD的局部截面图。

图4是表示本发明半导体LD的制造方法中各制造工序的半导体LD的局部截面图。

图5是表示本发明半导体LD的制造方法中各制造工序的半导体LD的局部截面图。

图 6 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 7 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 8 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 9 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 10 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 11 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 12 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 13 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 14 是表示本发明另一半半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 15 是表示本发明另一半半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

图 16 是表示本发明另一半半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

#### 符号说明

16: 第 1n - 包层、

18: 第 2n - 包层、

20: 第 3n - 包层、

26: 活性层、

34: p - 包层、

36: 接触层、

76: 抗蚀剂图案、

40: 波导脊、

78: SiO<sub>2</sub> 膜、



82: 抗蚀剂图案、

46: p 侧电极

### 具体实施方式

在下面的实施方式中，作为半导体光元件，例如以蓝紫色 LD 为例进行说明，但不限于蓝紫色 LD，适用于红色 LD 等全部半导体光元件中也可实现同样的效果。

#### 实施方式 1

图 1 是本发明一实施方式的半导体 LD 的截面图。各图中，相同符号表示相同或相当的部件。

图 1 中，该 LD10 为波导脊型的蓝紫色 LD，在 n 型 GaN 基板 12(下面将“n 型”表述为“n-”，将“p 型”表述为“p-”，尤其是未掺杂杂质的非掺杂的情况下，表述为“i-”)的一个主面、即 Ga 面上，依次层叠由 n-GaN 形成的缓冲层 14，在该缓冲层 14 上，由 n-AlGaIn 形成的作为第 1 半导体层的、例如第 1n-包层 16、第 2n-包层 18 和第 3n-包层 20，在该第 3n-包层 20 上，由 n-GaN 形成的 n 侧光引导层 22、由 InGaIn 形成的 n 侧 SCH(Separate Confinement Heterostructure)层 24、和活性层 26。

在该活性层 26 上，依次层叠由 InGaIn 形成的 p 侧 SCH 层 28、由 p-AlGaIn 形成的电子屏蔽层 30、由 p-GaN 形成的 p 侧光引导层 32、由 p-AlGaIn 形成的 p-包层 34、和由 p-GaN 形成的接触层 36。作为第 2 半导体层，在本实施方式中，包含 p-包层 34 与接触层 36。但是，根据不同情况，第 2 半导体层既可以是 1 层，也可以是 3 层以上。

通过在接触层 36 和 p-包层 34 中形成作为凹部的沟道 38，接触层 36 和与接触层 36 相接侧的 p-包层 34 的一部分形成波导脊 40。

波导脊 40 配置于构成 LD10 的谐振器端面的避开端面的宽度方向的中央部分，并在构成谐振器端面的两个端面之间延伸。该波导脊 40 的长度方向的尺寸、即谐振器长度为 1000 微米，垂直于该长度方向的方向的脊宽度为数微米 - 数十微米，例如在本实施方式中为 1.5 微米。

另外，沟道宽度在本实施方式中为 10 微米。经沟道 38 形成于波

导脊 40 两外侧的台状部例如为电极衬垫基台 42。

另外，波导脊 40 的高度、即距沟道 38 底面的高度例如为 0.5 微米。

包含波导脊 40 的侧壁和电极衬垫基台 42 的侧壁的沟道 38 的两侧面及底面被作为第 1 绝缘膜的第 1 硅绝缘膜 44 覆盖。该第 1 硅绝缘膜 44 例如由膜厚为 200nm 的  $\text{SiO}_2$  膜形成。另外，该第 1 硅绝缘膜 44 未形成于接触层 36 的上表面，第 1 硅绝缘膜 44 具有的开口部 44a 使接触层 36 的整个上表面露出。

在接触层 36 的上表面，配置有与接触层 36 相接并电连接的 p 侧电极 46。p 侧电极 46 通过利用真空沉积法依次层叠铂(Pt)和 Au 来形成。该 p 侧电极 46 从接触层 36 的上表面进而延伸至波导脊 40 的侧壁和沟道 38 底部的一部分上的第 1 硅绝缘膜 44。

另外，在电极衬垫基台 42 上表面、和配置于沟道 38 内的电极衬垫基台 42 侧面与沟道 38 底面的一部分上的第 1 硅氧化膜 44 表面上，配置有例如由  $\text{SiO}_2$  形成的第 2 硅绝缘膜 48。

在 p 侧电极 46 的表面上，与 p 侧电极 46 紧贴，配置衬垫电极 50，该电极衬垫 50 配置在两侧的沟道 38 内部的 p 侧电极 46、第 1 硅绝缘膜 44 和第 2 硅绝缘膜 48 上，并且延伸至配置于电极衬垫基台 42 上表面的第 2 硅绝缘膜 48 上。

并且，在 n-GaN 基板 12 的背面，配置利用真空沉积法依次层叠 Ti 和 Au 膜所形成的 n 侧电极 52。

在该 LD10 中，作为 n 型杂质，掺杂硅(Si)，作为 p 型杂质，掺杂镁(Mg)。

n-GaN 基板 12 的层厚为 500-700nm 左右。另外，缓冲层 14 的层厚为 1 微米左右。第 1n-包层 16 的层厚为 400nm 左右，例如由 n- $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$  形成，第 2n-包层 18 的层厚为 1000nm 左右，例如由 n- $\text{Al}_{0.045}\text{Ga}_{0.955}\text{N}$  形成，第 3n-包层 20 的层厚为 300nm 左右，例如由 n- $\text{Al}_{0.015}\text{Ga}_{0.985}\text{N}$  层形成。

n 侧光引导层 22 的层厚例如为 80nm。n 侧 SCH 层 24 的膜厚为 30nm，由 i- $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$  形成。

活性层 26 是 2 重量子井(double quantum well)结构，由邻接 n 侧 SCH 层 24 配置的、由 i- $\text{In}_{0.12}\text{Ga}_{0.88}\text{N}$  构成的、层厚为 5nm 的井

层 26a; 配置在井层 26a 上的、由  $i\text{-In}_{0.02}\text{Ga}_{0.98}\text{N}$  构成的、层厚为 8nm 的势垒层 26b; 和配置于势垒层 26b 上的、由  $i\text{-In}_{0.12}\text{Ga}_{0.88}\text{N}$  构成的、层厚为 5nm 的井层 26c 构成。

在活性层 26 的井层 26c 上, 与其相接配置的 p 侧 SCH 层 28 是膜厚为 30nm, 并由  $i\text{-In}_{0.02}\text{Ga}_{0.98}\text{N}$  形成。

电子屏蔽层 30 的层厚为 20nm 左右, 由  $p\text{-Al}_{0.2}\text{Ga}_{0.8}\text{N}$  形成。p 侧光引导层 32 的层厚为 100nm, p-包层 34 的层厚为 500nm 左右、由  $p\text{-Al}_{0.07}\text{Ga}_{0.93}\text{N}$  形成, 接触层 36 的层厚为 20nm。

下面, 说明 LD10 的制造方法。

图 2-图 13 是表示本发明半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

在该制造工序中, 由于 n-GaN 基板 12 与依次层叠于其上的 p 侧光引导层 32 之前的各层在制造工序中无特别变化, 所以从各图省略, 对包含 p 侧光引导层 32 一部分的上层的各层示出截面。

首先, 利用有机金属化学气相生长法(下面称为 MOCVD 法), 在事先利用热清洗(thermal cleaning)等洗净了表面的 GaN 基板 12 上, 在例如 1000 度的生长温度下形成作为缓冲层 14 的 n-GaN 层。

接着, 依次形成作为第 1n-包层 16 的 n- $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$  层、作为第 2n-包层 18 的 n- $\text{Al}_{0.045}\text{Ga}_{0.955}\text{N}$  层、作为第 3n-包层 20 的 n- $\text{Al}_{0.015}\text{Ga}_{0.985}\text{N}$  层、作为 n 侧光引导层 22 的  $i\text{-In}_{0.02}\text{Ga}_{0.98}\text{N}$  层、作为 n 侧 SCH 层 24 的  $i\text{-In}_{0.02}\text{Ga}_{0.98}\text{N}$  层, 在其上, 依次形成构成活性层 26 的作为井层 26a 的  $i\text{-In}_{0.12}\text{Ga}_{0.88}\text{N}$  层、作为势垒层 26b 的  $i\text{-In}_{0.02}\text{Ga}_{0.98}\text{N}$  层、与作为井层 26c 的  $i\text{-In}_{0.12}\text{Ga}_{0.88}\text{N}$  层。

接着, 在活性层 26 上, 依次层叠作为 p 侧 SCH 层 28 的  $i\text{-In}_{0.02}\text{Ga}_{0.98}\text{N}$  层、作为电子屏蔽层 30 的  $p\text{-Al}_{0.2}\text{Ga}_{0.8}\text{N}$  层、作为 p 侧光引导层 32 的  $p\text{-Al}_{0.2}\text{Ga}_{0.8}\text{N}$  层 70、作为 p-包层 34 的  $p\text{-Al}_{0.07}\text{Ga}_{0.93}\text{N}$  层 72 和作为接触层 36 的 p-GaN 层 74, 形成具有这种半导体层叠结构的晶片。

图 2 示出该工序的结果。

下面, 参照图 3, 在结晶生长结束的晶片整个面中, 涂布抗蚀剂, 利用照相制版工序, 在对应于波导脊 40 的形状的部分 76a 中, 残留抗蚀剂, 去除对应于沟道 38 形状的部分 76b 的抗蚀剂, 形成作为第

1 抗蚀剂图案的抗蚀剂图案 76。该结果为图 3。在本实施方式中，对应于波导脊 40 的形狀的部分 76a 的宽度为 1.5 微米，对应于沟道 38 形狀的部分 76b 的宽度为 10 微米。

接着，参照图 4，将抗蚀剂图案 76 作为掩膜，利用 RIE(Reactive Ion Etching)，蚀刻 p-GaN 层 74 和 p-Al<sub>0.07</sub>Ga<sub>0.93</sub>N 层 72 中与 p-GaN 层 74 相接侧的一部分，残留 p-Al<sub>0.07</sub>Ga<sub>0.93</sub>N 层 72 的一部分，形成作为底部的沟道 38。此时的蚀刻深度 a 在本实施方式中为 a=500nm(0.5 微米)。通过形成沟道 38，形成波导脊 40 和电极衬垫基台 42。图 4 表示该工序的结果。

接着，参照图 5，使用有机溶剂等，去除刚才蚀刻中使用的抗蚀剂图案 76。此时的沟道 38 的深度、即波导脊 40 的高度等于蚀刻深度 a，为 500nm(0.5 微米)。另外，在该工序中，还形成构成电极衬垫基台 42 的部分。图 5 表示该工序的结果。

接着，参照图 6，接着对晶片整个面使用 CVD 法、或真空沉积法、或溅射法等，形成膜厚为 0.2 微米的、作为第 1 绝缘膜的第 1 硅绝缘膜 44 的 SiO<sub>2</sub> 膜 78。SiO<sub>2</sub> 膜 78 覆盖波导脊 40 的上表面、沟道 38 的内部表面和电极衬垫基台 42 的上表面。图 6 表示该工序的结果。

接着，参照图 7，在晶片整个面上涂布光致抗蚀剂，形成抗蚀剂膜 80，使沟道 38 中的抗蚀剂膜的膜厚 b 比波导脊 40 的顶部及电极衬垫基台 42 的顶部中的抗蚀剂膜的膜厚 c 厚。例如，形成抗蚀剂膜 80，使 b=0.8 微米、c=0.4 微米左右。

图 7 中，虽然记述为沟道 38 上的抗蚀剂膜 80 的表面比波导脊 40 的顶部及电极衬垫基台 42 的顶部中的抗蚀剂膜 80 的表面凹陷，但若同样平整地形成抗蚀剂膜的表面，则自然满足 b>c。

但是，如图 7 所示，即便沟道 38 上的抗蚀剂膜 80 的表面比波导脊 40 的顶部及电极衬垫基台 42 的顶部中的抗蚀剂膜 80 的表面凹陷，只要满足 b>c，则抗蚀剂膜 80 的表面形状不限。

通常，光致抗蚀剂使用旋涂法来涂布。即，将抗蚀剂滴于晶片上，使晶片自转，由此形成均匀的膜厚。

因而，通过将光致抗蚀剂的粘度和滴下量、晶片旋转时的旋转数及旋转时间设定为适当的值，可控制抗蚀剂膜的膜厚。

如图 7 所示, 在晶片表面中形成段差或凹部的情况下突出的部分、即此时在波导脊 40 的顶部及电极衬垫基台 42 的顶部变薄、凹陷的部分在此时在沟道 38 的地方变厚, 但该膜厚的差的大小受光致抗蚀剂的粘度的影响。

在图 7 所示晶片的情况下, 当设沟道 38 的底部与波导脊 40 的顶部或电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78 的膜厚相等时, 若粘度小, 则沟道 38 的蚀刻深度 a、沟道 38 中的抗蚀剂膜 80 的膜厚 b、和波导脊 40 的顶部或电极衬垫基台 42 的顶部中的抗蚀剂膜 80 的膜厚 c 的关系接近  $b=c+a$ 。这意味着可使抗蚀剂膜 80 的表面大致一样平整。

另外, 在抗蚀剂膜 80 的表面不大致一样平整、在沟道 38 的位置、抗蚀剂的表面凹陷的情况下, 若光致抗蚀剂的粘度变大, 则接近  $b=c$ 。这意味着沟道 38 中的抗蚀剂膜 80 的膜厚与波导脊 40 的顶部或电极衬垫基台 42 的顶部中的抗蚀剂膜 80 的膜厚大致相等。

另外, 在抗蚀剂膜 80 的表面不大致一样平整、在沟道 38 的位置、抗蚀剂的表面凹陷的情况下, 只要抗蚀剂的粘度不很低, 则  $b>c$ , 即沟道 38 部分中的抗蚀剂膜 80 的膜厚比波导脊 40 的顶部或电极衬垫基台 42 的顶部中的抗蚀剂膜 80 的膜厚厚。

这样, 通过适当设定抗蚀剂的粘度与晶片旋转时的旋转数, 可将沟道 38 部分中的抗蚀剂膜 80 的膜厚 b 与波导脊 40 的顶部或电极衬垫基台 42 的顶部中的抗蚀剂膜 80 的膜厚 c 的关系设定为规定关系, 即  $b>c$ 。图 7 表示该工序的结果。

接着, 参照图 8, 同样地从抗蚀剂膜 80 的表面去除抗蚀剂, 边残留沟道 38 的抗蚀剂膜 80, 边完全去除波导脊 40 的顶部和电极衬垫基台 42 的顶部中的抗蚀剂膜 80, 使波导脊 40 的顶部和电极衬垫基台 42 的顶部露出, 形成抗蚀剂图案 82。

例如, 通过使用  $\text{O}_2$  等离子体的干蚀刻, 蚀刻规定厚度, 即波导脊 40 的顶部和电极衬垫基台 42 的顶部的  $\text{SiO}_2$  膜 78 完全露出, 并且在沟道 38 中残留抗蚀剂膜 80 的表面比 p-GaN 层 74 的上面高的程度, 在本实施方式中例如蚀刻为 400nm。

抗蚀剂膜 80 形成为沟道 38 中的抗蚀剂膜 80 的膜厚为 800nm 左右, 另外, 还形成为波导脊 40 的顶部和电极衬垫基台 42 的顶部的

抗蚀剂膜 80 的膜厚为 400nm 左右。因此，从抗蚀剂膜 80 的表面，利用蚀刻去除 400nm 的抗蚀剂，则波导脊 40 的顶部和电极衬垫基台 42 的顶部的抗蚀剂膜 80 被去除， $\text{SiO}_2$  膜 78 的上面露出，同时，沟道 38 中的抗蚀剂膜 80 的表面形成在  $\text{SiO}_2$  膜 78 膜厚一半的高度位置，残留的抗蚀剂膜形成作为第 2 抗蚀剂图案的抗蚀剂图案 82。

如下所示，正确执行从抗蚀剂膜 80 的表面一样进行蚀刻时的蚀刻的停止。

例如，可如下控制通过使用  $\text{O}_2$  等离子体的干蚀刻去除抗蚀剂膜时的蚀刻量。

当通过使用  $\text{O}_2$  等离子体的干蚀刻去除抗蚀剂膜时，在等离子体中激励  $\text{O}_2$  等离子体中的氧与光致抗蚀剂中的碳起反应生成的 CO，发出波长为 451nm 的激励光。边从蚀刻室的外部观察该激励光的强度，边进行蚀刻。

进行干蚀刻，去除波导脊 40 的顶部和电极衬垫基台 42 的顶部的光致抗蚀剂，当作为蚀刻对象的抗蚀剂膜 80 的表面积减少时，则波长为 451nm 的激励光的强度下降。

观测该光强度的下降，设为蚀刻的停止时期即可。因此，可高精度地控制蚀刻的停止。

当然，实际中波导脊 40 的高度、或波导脊 40 的顶部和电极衬垫基台 42 的顶部的抗蚀剂膜 80 的厚度、或光致抗蚀剂的蚀刻速度等由于在晶片面内具有分布，为了在晶片整个面中确实去除波导脊 40 的顶部和电极衬垫基台 42 的顶部的抗蚀剂膜 80，不用说，必须考虑在从检测到发光强度下降的时刻起、再继续蚀刻规定的一定时间之后停止等。

作为再一个蚀刻停止时刻的检测法，有如下方法。

即，在干蚀刻中，从晶片的面对位置向波导脊 40 的顶部和电极衬垫基台 42 的顶部入射单一波长的光、例如激光，使之在波导脊 40 的顶部和电极衬垫基台 42 的顶部反射。

该反射光的光强度随着波导脊 40 的顶部和电极衬垫基台 42 的顶部中存在的抗蚀剂膜 80 的残留厚度而变化。通过观测该反射光的光强度，可把握波导脊 40 的顶部和电极衬垫基台 42 的顶部中存在的抗蚀剂膜 80 的残留厚度，在该残留厚度变为 0 的时刻，指示蚀刻停

止即可。

在这些个任一方法中，均可边高精度检测抗蚀剂膜 80 的蚀刻量，边蚀刻，所以可边残留沟道 38 内的抗蚀剂膜，边去除波导脊 40 的顶部和电极衬垫基台 42 的顶部中的抗蚀剂膜 80，形成抗蚀剂图案 82。图 8 表示该工序的结果。

下面，参照图 9，将抗蚀剂图案 82 作为掩膜，同样地从表面蚀刻露出的  $\text{SiO}_2$  膜 78，残留形成于沟道 38 的侧面及底部中的  $\text{SiO}_2$  膜 78，同时，完全去除形成于波导脊 40 的顶部和电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78。在波导脊 40 的顶部，在  $\text{SiO}_2$  膜 78 中确实形成开口部 44a。

此时的蚀刻可使用反应性离子蚀刻法等干蚀刻、或基于稀释氟酸等的湿蚀刻法。

此时，也可利用下述方法控制正确的蚀刻量。

例如，在使用  $\text{CF}_4$  气体等含氟气体干蚀刻  $\text{SiO}_2$  膜 78 的情况下，通过观测由  $\text{SiO}_2$  膜 78 中的 Si 与蚀刻气体中的 F 发生的  $\text{SiF}_2$  所发出的波长约为 390nm 的光的强度，可观测随着光的强度变化、形成于波导脊 40 的顶部和电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78 消失，确认该光的强度下降，停止蚀刻即可。

另外，在利用稀释氟酸等湿蚀刻  $\text{SiO}_2$  膜 78 的情况下，从晶片表面的面对位置向波导脊 40 的顶部和电极衬垫基台 42 的顶部中形成的  $\text{SiO}_2$  膜 78 入射单一波长的激光，观测反射光的强度，由此，可计测残留在波导脊 40 的顶部和电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78 的膜厚。确认该计测的  $\text{SiO}_2$  膜 78 的残留厚度为 0，停止蚀刻即可。图 9 表示该工序的结果。

下面，参照图 10，通过使用有机溶剂的湿蚀刻，去除抗蚀剂图案 82。图 10 表示该工序的结果。

下面，参照图 11，在波导脊 40 的顶部形成 p 侧电极 46。

首先，在晶片整个面中，涂布抗蚀剂，利用照相制版工序，对波导脊 40 最上层的 p-GaN 层 74 的上表面、波导脊 40 的侧壁和沟道 38 底部一部分进行开口，形成抗蚀剂图案(未图示)，并在该抗蚀剂图案上，例如利用真空沉积法，成膜 Pt 与 Au 的层叠结构构成的电极层之后，使用剥离法去除抗蚀剂膜与形成于该抗蚀剂膜上的电极

层, 由此形成 p 侧电极 46。

由于波导脊 40 的顶部的 p-GaN 层 74 的上表面不被 SiO<sub>2</sub> 膜 78 覆盖, 由开口部 44a 露出全部上表面, 所以该 p 侧电极 46 与 p-GaN 层 74 的接触面积不会在形成开口部 44a 时减少。

因此, 可防止接触阻抗因 p 侧电极 46 与 p-GaN 层 74 的接触面积减少而增加。图 11 表示该工序的结果。

接着, 参照图 12, 形成第 2 硅绝缘膜 48。

首先, 在晶片整个面中涂布抗蚀剂, 利用照相制版工序, 在去除 p 侧电极 46 上的部分、即电极衬垫基台 42 上表面、和沟道 38 内的电极衬垫基台 42 侧面与沟道 38 底面的一部分中, 形成具有开口的抗蚀剂图案(未图示), 利用沉积, 在晶片整个面中形成厚度为 100nm 的 SiO<sub>2</sub> 膜, 利用剥离法去除 p 侧电极 46 上形成的抗蚀剂膜和在该抗蚀剂膜上形成的 SiO<sub>2</sub> 膜, 从而形成由 SiO<sub>2</sub> 膜形成的第 2 硅绝缘膜 48。图 12 表示该工序的结果。

最后, 参照图 13, 利用真空沉积法, 在 p 侧电极 46、沟道 38 和第 2 硅绝缘膜 48 上, 层叠由 Ti、Pt 及 Au 构成的金属膜, 并形成衬垫电极 50。

#### 变形例 1

图 14-16 是表示本发明另一半导体 LD 的制造方法中各制造工序的半导体 LD 的局部截面图。

前面说明的半导体 LD 的各制造工序中、图 1-图 6 的工序在本变形例中也一样。使用图 14-图 16 的工序来代替前面的图 7 和图 8 时的工序。

前面的图 6 的工序中, 在由 SiO<sub>2</sub> 膜 78 覆盖波导脊 40 的上表面、沟道 38 的内部表面和电极衬垫基台 42 的上表面之后, 参照图 14, 在晶片整个面上涂布以酚醛树脂为主要成分的光致抗蚀剂, 形成抗蚀剂膜 90, 在邻接于波导脊 40 的沟道 38 中、抗蚀剂膜 90 的表面具有与波导脊 40 顶部的 SiO<sub>2</sub> 膜 78 的上面大致相同的高度。

在本实施方式中, 沟道 38 中的抗蚀剂膜 90 的层厚 d、即从配置于沟道 38 底部的 SiO<sub>2</sub> 膜 78 的表面至抗蚀剂膜 90 的表面的高度 d 为 500nm(0.5 微米)。

此时, 正确控制沟道 38 中的抗蚀剂膜 90 的层厚 d 的抗蚀剂膜



90 的制造方法与已述图 7 中的抗蚀剂膜 80 的形成方法一样, 通过适当设定抗蚀剂的粘度与晶片旋转时的旋转数, 可将沟道 38 部分中的抗蚀剂膜 90 的膜厚  $d$  设定为期望的值。图 14 表示该工序的结果。

接着, 参照图 15, 在抗蚀剂膜 90 中, 使用照相制版工序, 在沟道 38 底面的  $\text{SiO}_2$  膜 78 上的一部分中, 残留抗蚀剂膜 90, 在沟道 38 内抗蚀剂膜 90 与波导脊 40 的侧壁上的  $\text{SiO}_2$  膜 78 之间、和抗蚀剂膜 90 与电极衬垫基台 42 的侧壁上的  $\text{SiO}_2$  膜 78 之间, 设定规定的间隔  $e$  进行隔离, 同时, 使波导脊 40 顶部和电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78 表面一样露出, 从而形成抗蚀剂图案 92。图 15 表示该工序的结果。

下面, 参照图 16, 对晶片进行热处理, 例如在大气中保持 140 度的温度, 将晶片加热 10 分钟, 从而光致抗蚀剂流动, 消除沟道 38 内、抗蚀剂膜 90 与波导脊 40 的侧壁上的  $\text{SiO}_2$  膜 78 之间、和抗蚀剂膜 90 与电极衬垫基台 42 的侧壁上的  $\text{SiO}_2$  膜 78 之间的规定的间隔  $e$ , 即使抗蚀剂膜与沟道 38 内的侧壁上的  $\text{SiO}_2$  膜 78 紧贴, 从而边在沟道 38 内残留抗蚀剂膜, 边使波导脊 40 的顶部和电极衬垫基台 42 的顶部露出, 形成抗蚀剂图案 82。

将配置在抗蚀剂图案 82 的沟道 38 内的抗蚀剂膜表面的高度位置  $f$  大致设定为比波导脊 40 顶部和电极衬垫基台 42 顶部中的  $\text{SiO}_2$  膜 78 表面低、比波导脊 40 顶部和电极衬垫基台 42 的顶部中的  $p\text{-GaIn}$  层 74 的上面高。在本实施方式中, 设定为  $f=400\text{nm}$ 。

因此, 必需设定间隔  $e$ , 以使在该工序中的热处理前后, 在抗蚀剂膜的体积无变化的情况下, 图 15 和图 16 截面中的抗蚀剂图案 92 的截面积与抗蚀剂图案 82 的截面积相等, 得到期望的  $f$  值。

另外, 图 15 中, 在沟道 38 内的抗蚀剂膜的两侧设置抗蚀剂图案 92 的间隔  $e$ , 但只要设定间隔  $e$  以得到期望的  $f$  值, 则也可在单侧设置间隔。图 16 表示该工序的结果。

该工序之后的工序与前面说明的图 9 之后的工序一样。

在本实施方式 1 的 LD10 的制造方法中, 通过在层叠了半导体层的晶片形成沟道 38, 来形成波导脊 40 和电极衬垫基台 42, 并在晶片整个面中形成  $\text{SiO}_2$  膜 78。

接着, 在晶片整个面中涂布抗蚀剂, 形成抗蚀剂膜 80, 使沟道

38 中的抗蚀剂膜的膜厚比波导脊 40 顶部和电极衬垫基台 42 顶部中的抗蚀剂膜 80 的膜厚厚。

接着, 同样地从抗蚀剂膜 80 的表面去除抗蚀剂, 边残留沟道 38 的抗蚀剂膜 80, 边去除波导脊 40 顶部和电极衬垫基台 42 顶部中的抗蚀剂膜 80, 使波导脊 40 顶部和电极衬垫基台 42 顶部露出, 形成抗蚀剂图案 82。

接着, 将抗蚀剂图案 82 作为掩膜, 同样地从表面蚀刻露出的  $\text{SiO}_2$  膜 78, 残留形成于沟道 38 的侧面及底部中的  $\text{SiO}_2$  膜 78, 同时, 去除形成于波导脊 40 的顶部和电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78, 在波导脊 40 的顶部, 在  $\text{SiO}_2$  膜 78 中确实形成开口部 44a。

接着, 在去除抗蚀剂图案 82 之后, 在波导脊 40 的顶部形成 p 侧电极 46。

在该 LD 的制造方法中, 与 p 侧电极 46 接触的半导体层、此时为构成接触层 36 的 p-GaN 层 74 的上表面利用  $\text{SiO}_2$  膜 78 的开口部 44a 而确实露出, 在 p-GaN 层 74 的上表面上未残留  $\text{SiO}_2$  膜 78。因此, 不会减少 p 侧电极 46 与接触层 36 的接触面积, 接触阻抗不会增大, 动作电压也不会增加。

另外, 通过控制光致抗蚀剂的粘度和晶片旋转时的旋转数, 以沟道 38 中的抗蚀剂膜 80 的膜厚比波导脊 40 顶部和电极衬垫基台 42 顶部中的抗蚀剂膜 80 的膜厚厚的方式, 可形成抗蚀剂膜 80。

并且, 同样地从该抗蚀剂膜 80 的表面去除抗蚀剂, 边残留沟道 38 的抗蚀剂膜 80, 边去除波导脊 40 顶部和电极衬垫基台 42 顶部中的抗蚀剂膜 80, 使波导脊 40 顶部和电极衬垫基台 42 顶部露出, 形成抗蚀剂图案 82, 在该工序中, 通过观测  $\text{O}_2$  等离子体中的 CO 激励光, 或观测从晶片的面对位置入射的激光的反射光的光强度等, 可高精度地控制蚀刻的停止。

并且, 通过使用同样方法, 可确实去除波导脊 40 顶部和电极衬垫基台 42 顶部中形成的  $\text{SiO}_2$  膜 78, 形成开口部 44a。因此, 可由简单的工序高成品率地制造 LD10。

并且, 边残留沟道 38 的抗蚀剂膜 80、边去除波导脊 40 顶部和电极衬垫基台 42 顶部中的抗蚀剂膜 80, 使波导脊 40 顶部和电极衬垫基台 42 顶部露出, 形成抗蚀剂图案 82, 作为其另一方法, 有如下

方法。

在层叠了半导体层的晶片中，形成沟道 38，由此，形成波导脊 40 和电极衬垫基台 42，并在晶片整个面中形成  $\text{SiO}_2$  膜 78。接着，在晶片整个面上涂布以酚醛树脂为主要成分的抗蚀剂，形成抗蚀剂膜 90，在沟道 38 中的抗蚀剂膜 90 的表面具有与波导脊 40 顶部的  $\text{SiO}_2$  膜 78 的上面大致相同的高度。接着，在抗蚀剂膜 90 中，使用照相制版工序，在沟道 38 底面的  $\text{SiO}_2$  膜 78 上的一部分中，残留抗蚀剂膜 90，沟道 38 内的抗蚀剂膜 90 与沟道 30 内的侧壁上的  $\text{SiO}_2$  膜 78 之间以规定的间隔  $e$  隔开，同时，同样地使波导脊 40 顶部和电极衬垫基台 42 的顶部中的  $\text{SiO}_2$  膜 78 表面露出，形成抗蚀剂图案 92。接着，对晶片进行热处理，使光致抗蚀剂流动，并使沟道 30 内抗蚀剂膜 90 与沟道 38 内侧壁上的  $\text{SiO}_2$  膜 78 紧贴，从而形成抗蚀剂图案 82。

在该制造方法中，也可确实去除波导脊 40 顶部和电极衬垫基台 42 顶部中形成的  $\text{SiO}_2$  膜 78，形成开口部 44a。因此，可由简单的工序高成品率地制造 LD10。

如上所述，本发明的半导体光元件的制造方法包含如下工序：在半导体基板上依次层叠第 1 导电型的第 1 半导体层、活性层、第 2 导电型的第 2 半导体层，形成半导体层叠结构的工序；在该半导体层叠结构的表面涂布抗蚀剂，利用照相制版工序，形成具备具有对应于波导脊的宽度的条状抗蚀剂膜部分的第 1 抗蚀剂图案的工序；将该第 1 抗蚀剂图案作为掩膜，利用干蚀刻，去除第 2 半导体层上表面侧的一部分，并在其底部形成残留第 2 半导体层一部分的凹部，由此形成波导脊的工序；在去除第 1 抗蚀剂图案之后，在包含凹部的半导体层叠结构的表面形成第 1 绝缘膜的工序；在形成于波导脊顶部的第 1 绝缘膜的表面露出的同时，利用抗蚀剂膜埋设邻接于波导脊的凹部的第 1 绝缘膜，形成第 2 抗蚀剂图案的工序，该抗蚀剂膜具有比波导脊的第 2 半导体层表面高、并且比波导脊顶部上的第 1 绝缘膜表面低的表面；将第 2 抗蚀剂图案作为掩膜，利用蚀刻去除第 1 绝缘膜，使波导脊的第 2 半导体层表面露出的工序；和在露出的波导脊的第 2 半导体层表面上形成电极层的工序，所以邻接于波导脊的凹部中形成的第 2 抗蚀剂图案具有比波导脊的第 2 半导体层

表面高、并且比波导脊顶部上的第 1 绝缘膜表面低的表面，所以当使用该第 2 抗蚀剂图案、利用蚀刻去除第 1 绝缘膜时，则边残留波导脊侧面及凹部的第 1 绝缘膜，边露出波导脊顶部的第 2 半导体层，所以可利用简单的工序，接触面积不减少地接合第 2 半导体层与电极层。进而可由简单的工序高成品率地制造半导体光元件。

#### 产业上利用的可能性

如上所述，本发明涉及的半导体光元件的制造方法适用于波导脊顶部具有电极的半导体光元件的制造方法。

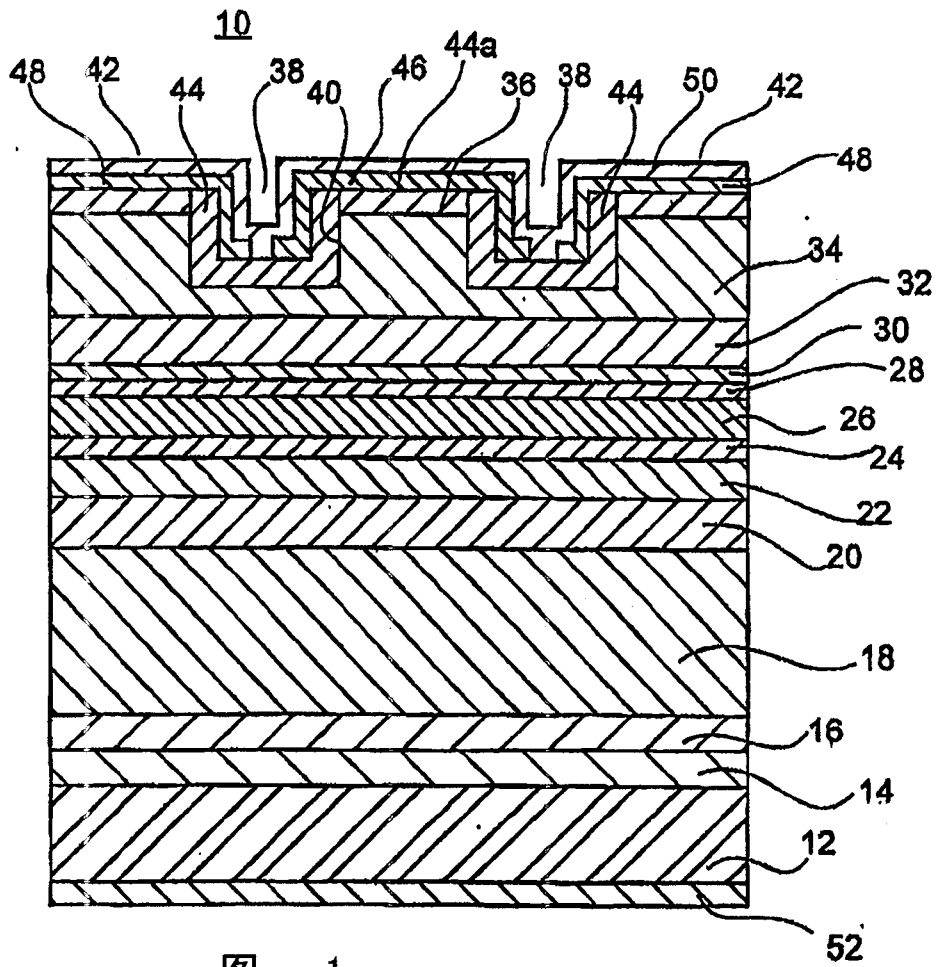


图 1

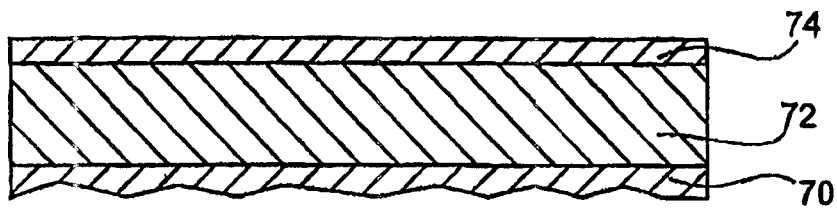


图 2

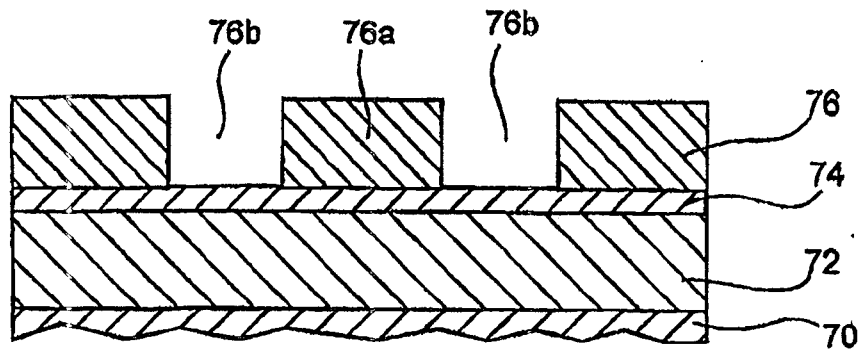


图 3

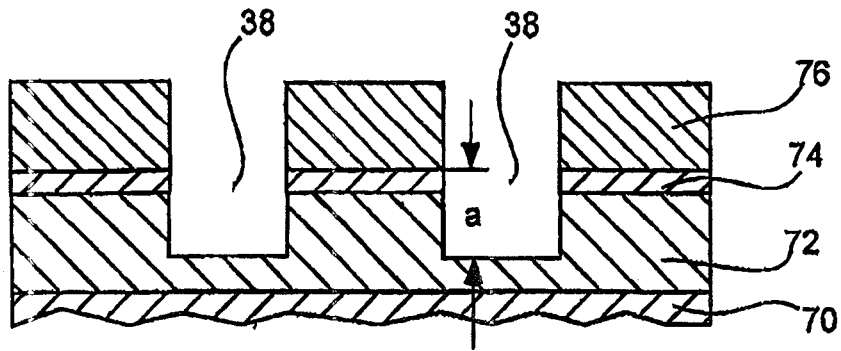


图 4

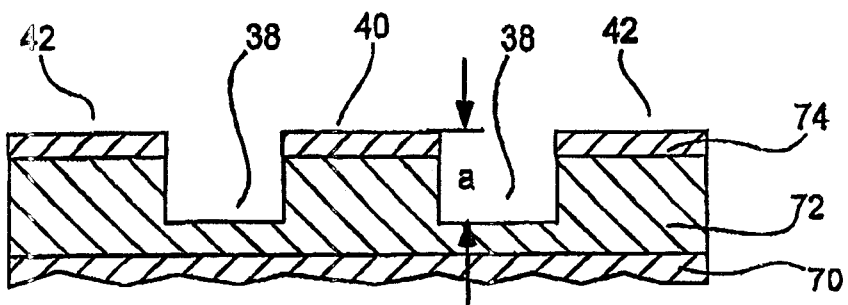


图 5

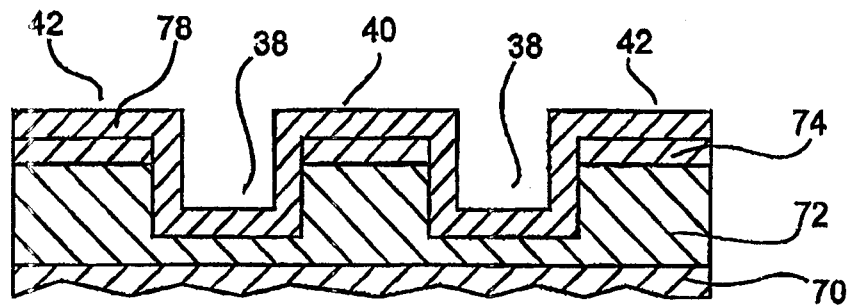


图 6

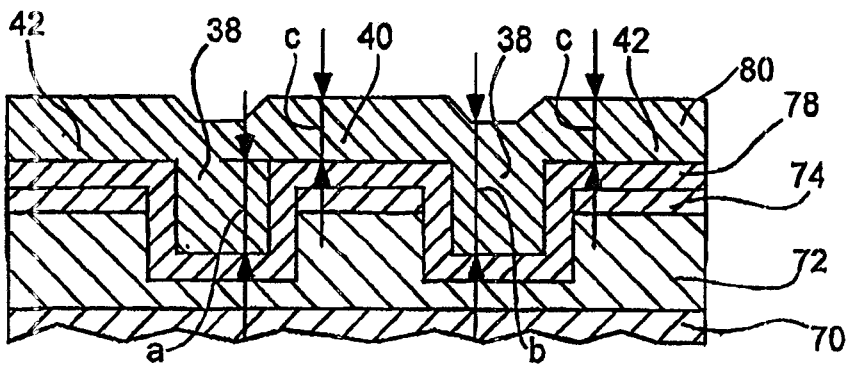


图 7

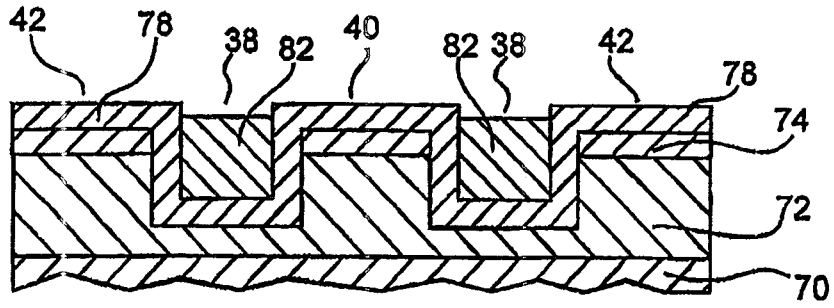


图 8

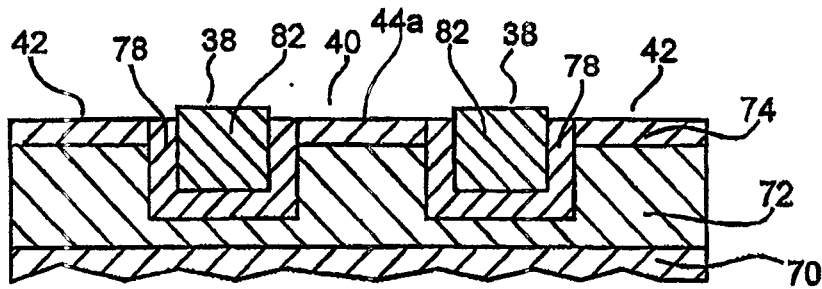


图 9

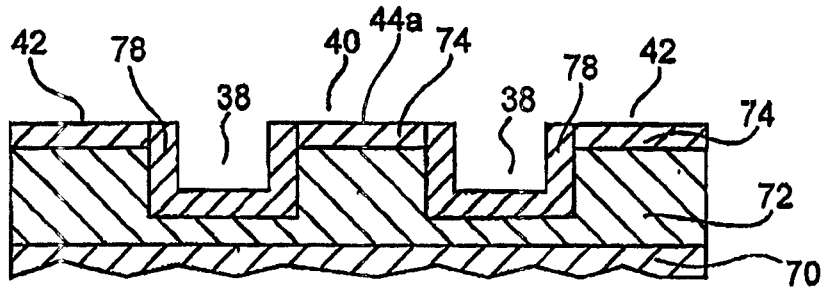


图 10

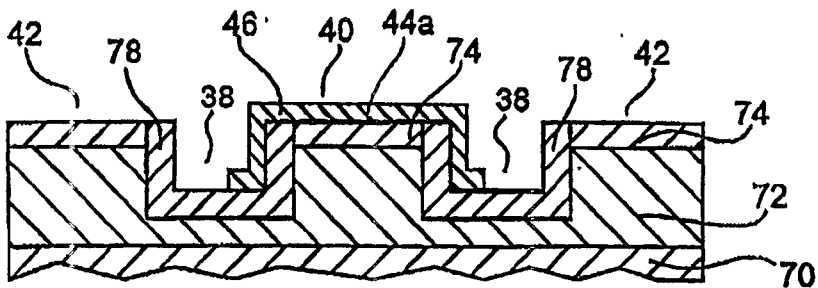


图 11

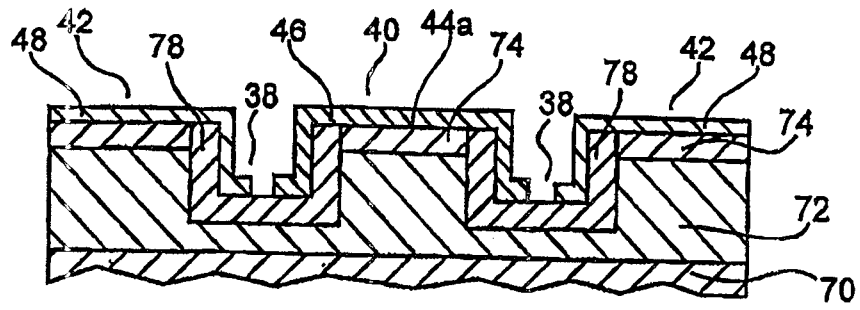


图 12

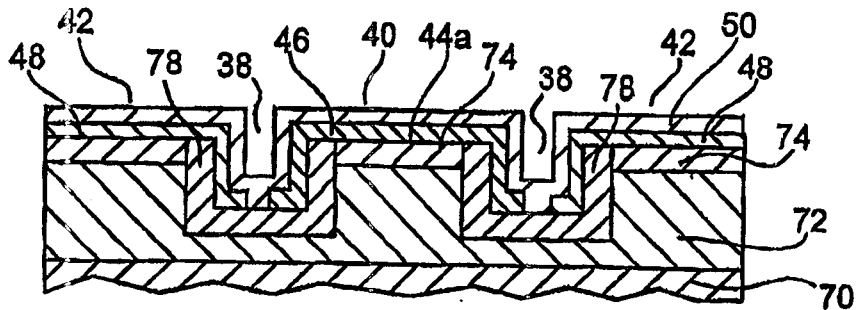


图 13

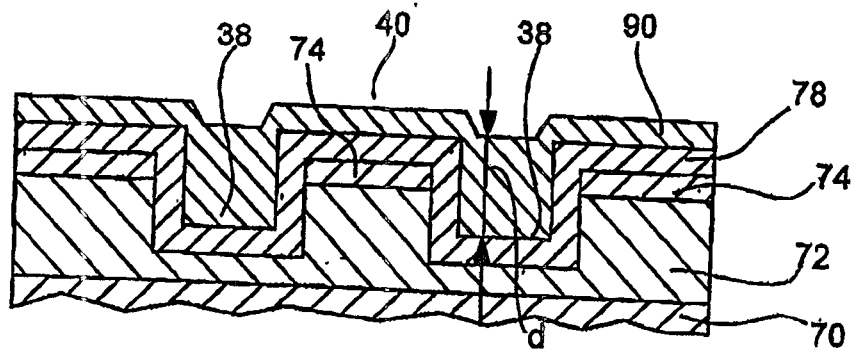


图 14

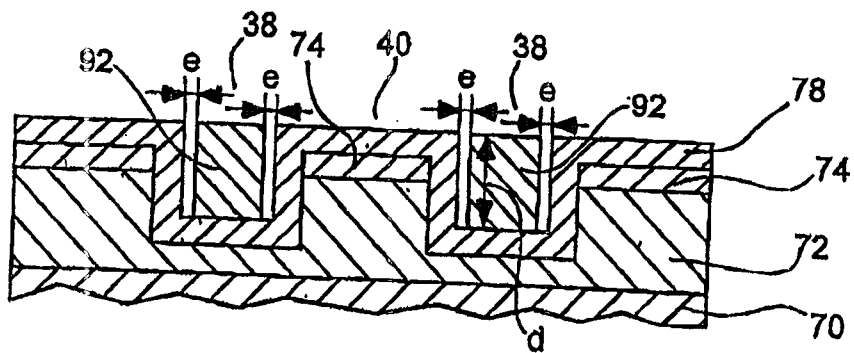


图 15



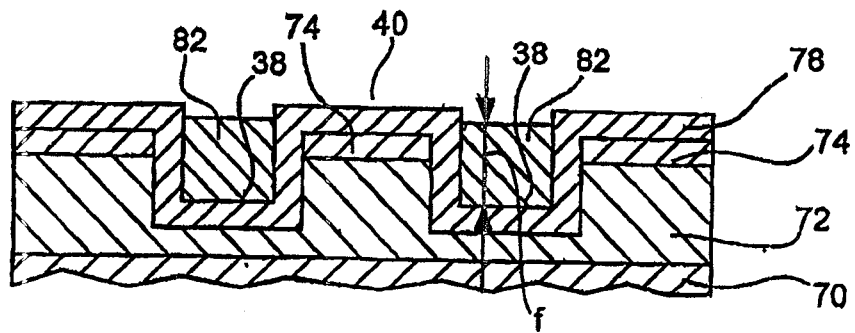


图 16