

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4960007号
(P4960007)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年3月30日(2012.3.30)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 Z
HO 1 L 21/336 (2006.01)	HO 1 L 29/58	G
HO 1 L 29/423 (2006.01)	HO 1 L 29/78	3 0 1 X
HO 1 L 29/49 (2006.01)	HO 1 L 29/78	6 1 6 V
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 1 7 M
請求項の数 5 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2006-122503 (P2006-122503)	(73) 特許権者	000003078
(22) 出願日	平成18年4月26日(2006.4.26)		株式会社東芝
(65) 公開番号	特開2007-294757 (P2007-294757A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年11月8日(2007.11.8)	(74) 代理人	100075812
審査請求日	平成21年2月13日(2009.2.13)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
最終頁に続く			

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

p型MOSダブルゲート構造を有する半導体装置であって、
 上面が<100>の結晶面方位のシリコンまたはゲルマニウムからなり、基板上に第1の結晶面方位<110>に延びて形成されたチャンネル層と、
 前記チャンネル層と前記第1の結晶面方位<110>方向の一端側で隣接して前記基板上に形成され、このチャンネル層とショットキ接合するメタルまたはメタルシリサイドからなるソース層と、
 前記チャンネル層と前記第1の結晶面方位<110>方向の他端側で隣接して前記基板上に形成され、このチャンネル層とショットキ接合するメタルまたはメタルシリサイドからなるドレイン層と、
 前記チャンネル層の側壁と隣接するとともに前記チャンネル層の電流方向と垂直な第2の結晶面方位<110>方向に延びて少なくとも前記基板上に形成されたゲート層と、
 前記チャンネル層と前記ゲート層との間に設けられたゲート絶縁膜と、を備え、
 1軸性引張り歪が前記電流方向と垂直な前記第2の結晶面方位<110>方向に前記チャンネル層の側壁に対して加えられていることを特徴とする半導体装置。

【請求項2】

前記ゲート層は、収縮性の材料を含み、この収縮性により、前記1軸性引張り歪が前記電流方向と垂直な前記第2の結晶面方位<110>方向に前記チャンネル層の側壁に対して加えられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記収縮性の材料は、 $TiSi_2$ 、 $CoSi_2$ 、 TiN 、 W 、または、 WSi の何れかであることを特徴とする請求項2に半導体装置。

【請求項4】

p型MOSダブルゲート構造を有する半導体装置の製造方法であって、

基板上に設けられた上面が $\langle 100 \rangle$ の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、

前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第1の結晶面方位 $\langle 110 \rangle$ 方向に延びるようにフィンを形成し、

前記フィン側面にゲート絶縁膜を形成し、

前記第1の結晶面方位 $\langle 110 \rangle$ と垂直な第2の結晶面方位 $\langle 110 \rangle$ 方向に延びるように、前記フィンのチャンネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記フィン上で露出する前記絶縁膜を除去し、

前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャンネル層とショットキ接合するソース層およびドレイン層を形成し、

前記ポリシリコン層を選択的にシリサイド化して、収縮性の材料からなるゲート層を形成することを備え、

1軸性引張り歪が前記第2の結晶面方位 $\langle 110 \rangle$ 方向に前記チャンネル層の側壁に対して加えられている

ことを特徴とする半導体装置の製造方法。

【請求項5】

p型MOSダブルゲート構造を有する半導体装置の製造方法であって、

基板上に設けられた上面が $\langle 100 \rangle$ の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、

前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第1の結晶面方位 $\langle 110 \rangle$ 方向に延びるようにフィンを形成し、

前記フィン側面にゲート絶縁膜を形成し、

前記第1の結晶面方位 $\langle 110 \rangle$ と垂直な第2の結晶面方位 $\langle 110 \rangle$ 方向に延びるように、前記フィンのチャンネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記ポリシリコン層側面に絶縁性のゲート側壁を形成し、

前記フィン上で露出する前記絶縁膜を除去し、

前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャンネル層とショットキ接合するソース層およびドレイン層を形成し、

層間絶縁膜を堆積するとともにエッチバックして、前記ポリシリコン層の上部を露出させ、

前記ポリシリコン層を選択的に除去し、

内壁が前記ゲート側壁で構成されたゲート溝に収縮性の材料を埋め込んで、ゲート層を形成することを備え、

1軸性引張り歪が前記第2の結晶面方位 $\langle 110 \rangle$ 方向に前記チャンネル層の側壁に対して加えられている

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、ダブルゲート構造を有する半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

従来、例えば、トランジスタの微細化、低消費電力化、高速化のために、ダブルゲートトランジスタ（例えば、FinFET）が提案されている（例えば、特許文献1参照。）

【0003】

この構造のメリットは、（1）ゲートを2つ有する構造なので、ショートチャネル効果に強く、ソース/ドレイン間のパンチスルー（漏れ）電流を低減できる。

【0004】

また、（2）チャネル垂直方向電界が小さいため移動度を向上させることができる。

【0005】

また、（3）オフ電流が低減する分チャネル幅（フィン高さ、または、本数）を増やせるので、電流を増加させることができる、等である。

10

【0006】

他の従来技術では、トランジスタのソース/ドレイン領域を不純物の拡散層でなく、メタルで形成するショットキ・ソース/ドレイントランジスタ技術が提案されている（例えば、非特許文献1参照。）。

【0007】

この構造を用いると、ソース領域およびドレイン領域の寄生抵抗を小さくでき、浅い接合（ショットキ（Schottky）接合）を形成することができる。

【0008】

また、ソース/ドレインに不純物を用いないので、活性化のための高温熱工程を行なう必要が無く、製造工程を著しく簡略化でき、LSI製造コストを低減できる。

20

【0009】

さらにまた、ソース端部にショットキバリアが存在するため、オフ電流を抑え、ショートチャネル効果を抑制することができる（微細化できる）。

【0010】

また、特にGeチャネルトランジスタでは、ドーパント（dopant）の固溶度が低く、そして、ドーパントが拡散しやすい。このため、ソース/ドレイン構造は、ショットキ接合が望ましい。

【0011】

一方、このトランジスタの課題は、ショットキコンタクト抵抗（シリコン/シリサイドまたはメタル界面抵抗）を低減させることである。

30

【0012】

解決策の一つのとして、ソース/ドレイン材料の仕事関数制御技術がある。例えば、n型MOSトランジスタのソース/ドレインに仕事関数の小さいメタルまたはシリサイド（ $ErSi_2$ 等）を用い、また、p型MOSトランジスタのソース/ドレインに仕事関数の大きいメタルまたはシリサイド（PtSi等）を用いる方法が提案されている（例えば、非特許文献1参照。）。

【0013】

この技術を用いれば、n型MOSトランジスタのショットキバリア高さを0.28eV程度、また、p型MOSトランジスタのショットキバリア高さを0.22eV程度とすることができる。

40

【0014】

すなわち、n型MOSトランジスタ、および、p型MOSトランジスタについて、ある程度低いショットキコンタクト抵抗のメタルシリサイド・ソース/ドレインを形成することが可能である。

【0015】

しかし、十分な高電流を得るには、まだ不十分であり、さらなるショットキバリアの低減が必要であった。

【0016】

一方で、メタルの仕事関数制御のみでは、Fermi-level-pinning効果の悪影響を受ける

50

ため、さらなるショットキバリアの低減は困難であった。

【0017】

そこで提案された技術が、「歪チャンネルとショットキ接合」の組合せ技術である。ショットキバリア高さを下げるため、すなわちコンタクト抵抗を下げるため、歪（機械的応力）を用いる技術である（例えば、非特許文献2参照。）。

【0018】

さらに、他の従来技術として、チャンネルに歪をかけてキャリア移動度を向上させる技術が開発されている。Planar-pMOSFETでは、ソース/ドレイン領域に埋め込んだSiGeからの圧縮歪が有効である。そして、このPlanar-nMOSFETでは、ソース/ドレイン領域に埋め込んだSiCからの引張り歪や、ゲート、ソース/ドレイン上に引張り歪を持った膜を堆積してチャンネルに引張り歪、をかけることが有効であることが知られている。

10

【0019】

以上のように、既述の従来技術（歪チャンネル技術とショットキ・ソース/ドレイン技術）によれば、n型MOSトランジスタの場合は、引張り歪が用いられるため、移動度が向上し、かつショットキバリアを低減できる。

【0020】

すなわち、従来技術を単純に組み合わせるだけで、ショットキ・ソース/ドレインn型MOSFETを高駆動電流化できた。

【0021】

しかし、上記従来技術によっても、p型MOSトランジスタでは圧縮歪が用いられるため、キャリア移動度は向上するがショットキバリアを低減することができないという問題があった。

20

【0022】

したがって、ショットキ・ソース/ドレインp型MOSFETを高駆動電流化できなかった。

【特許文献1】特開2005-294789号公報

【非特許文献1】Jakub Kedzierski et al., IEDM Technical digest, pp.57-60, (2000)

【非特許文献2】A. Yagishita, T-J. King, and J. Bokor, "Schottky Barrier Height Reduction and Drive Current Improvement in Metal Source/Drain MOSFET with Strained-Si Channel", Jpn. J. Appl. Phys., Vol.43, No.4B, pp.1713-1716, (2004)

30

【発明の開示】

【発明が解決しようとする課題】

【0023】

本発明は、上記課題を解決するものであり、p型MOSFET構造で、ホール移動度を向上するとともに、ショットキバリア(コンタクト抵抗)を低減することが可能な半導体装置、および、半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0024】

本発明の一態様に係る半導体装置は、

p型MOSダブルゲート構造を有する半導体装置であって、

40

上面が<100>の結晶面方位のシリコンまたはゲルマニウムからなり、基板上に第1の結晶面方位<110>に延びて形成されたチャンネル層と、

前記チャンネル層と前記第1の結晶面方位<110>方向の一端側で隣接して前記基板上に形成され、このチャンネル層とショットキ接合するメタルまたはメタルシリサイドからなるソース層と、

前記チャンネル層と前記第1の結晶面方位<110>方向の他端側で隣接して前記基板上に形成され、このチャンネル層とショットキ接合するメタルまたはメタルシリサイドからなるドレイン層と、

前記チャンネル層の側壁と隣接するとともに前記チャンネル層の電流方向と垂直な第2の結晶面方位<110>方向に延びて少なくとも前記基板上に形成されたゲート層と、

50

前記チャネル層と前記ゲート層との間に設けられたゲート絶縁膜と、を備え、
1軸性引張り歪が前記電流方向と垂直な前記第2の結晶面方位 $\langle 110 \rangle$ 方向に前記チャネル層の側壁に対して加えられていることを特徴とする。

【0025】

また、本発明の他の態様に係る半導体装置の製造方法は、
p型MOSダブルゲート構造を有する半導体装置の製造方法であって、
基板上に設けられた上面が $\langle 100 \rangle$ の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、

前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第1の結晶面方位 $\langle 110 \rangle$ 方向に延びるようにフィンを形成し、

前記フィン側面にゲート絶縁膜を形成し、

前記第1の結晶面方位 $\langle 110 \rangle$ と垂直な第2の結晶面方位 $\langle 110 \rangle$ 方向に延びるように、前記フィンのチャネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記フィン上で露出する前記絶縁膜を除去し、

前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャネル層とショットキ接合するソース層およびドレイン層を形成し、

前記ポリシリコン層を選択的にシリサイド化して、収縮性の材料からなるゲート層を形成することを備え、

1軸性引張り歪が前記第2の結晶面方位 $\langle 110 \rangle$ 方向に前記チャネル層の側壁に対して加えられていることを特徴とする。

【0026】

また、本発明のさらに他の態様に係る半導体装置の製造方法は、
p型MOSダブルゲート構造を有する半導体装置の製造方法であって、
基板上に設けられた上面が $\langle 100 \rangle$ の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、

前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第1の結晶面方位 $\langle 110 \rangle$ 方向に延びるようにフィンを形成し、

前記フィン側面にゲート絶縁膜を形成し、

前記第1の結晶面方位 $\langle 110 \rangle$ と垂直な第2の結晶面方位 $\langle 110 \rangle$ 方向に延びるように、前記フィンのチャネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記ポリシリコン層側面に絶縁性のゲート側壁を形成し、

前記フィン上で露出する前記絶縁膜を除去し、

前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャネル層とショットキ接合するソース層およびドレイン層を形成し、

層間絶縁膜を堆積するとともにエッチバックして、前記ポリシリコン層の上部を露出させ、

前記ポリシリコン層を選択的に除去し、

内壁が前記ゲート側壁で構成されたゲート溝に収縮性の材料を埋め込んで、ゲート層を形成することを備え、

1軸性引張り歪が前記第2の結晶面方位 $\langle 110 \rangle$ 方向に前記チャネル層の側壁に対して加えられていることを特徴とする。

【発明の効果】

【0027】

本発明の一態様に係る半導体装置および半導体装置の製造方法によれば、電流方向と垂直方向の1軸性引張り歪により、p型MOSFET構造で、ホール移動度を向上するとともに、ショットキバリア(コンタクト抵抗)を低減することができる。

【発明を実施するための最良の形態】

【0028】

10

20

30

40

50

以下、本発明を適用した各実施例について図面を参照しながら説明する。

【実施例 1】

【0029】

図 1 A は、本発明の実施例 1 に係る半導体装置の要部の構成を示す斜視図である。また、図 1 B は、図 1 A の A - A 線に沿った半導体装置 100 の断面を示す断面図である。また、図 1 C は、図 1 A の B - B 線に沿った半導体装置 100 の断面を示す断面図である。

【0030】

図 1 A ないし図 1 C に示すように、p 型 MOS ダブルゲート構造を有する半導体装置 100 は、不純物を含有し上面が < 100 > の結晶面方位のシリコン (Si) またはゲルマニウム (Ge) からなり、基板 1 上に第 1 の結晶面方位 < 110 > に延びて形成された n 型のチャンネル層 2 を備えている。

10

【0031】

なお、基板 1 は、BOX (Buried Oxide : 埋め込み酸化膜) またはバルクシリコン等が選択される。また、シリコンを用いるチャンネル層 2 を形成する場合は、例えば、基板 1 に SOI (Silicon-On-Insulator) 基板を用いてもよい。また、ゲルマニウムを用いるチャンネル層 2 を形成する場合は、例えば、基板 1 に GOI (Germanium-On-Insulator) 基板を用いてもよい。

【0032】

また、半導体装置 100 は、このチャンネル層 2 と第 1 の結晶面方位 < 110 > 方向の一端側で隣接して基板 1 上に形成され、チャンネル層 2 とショットキ接合するメタルまたはメタルシリサイドからなるソース層 3 と、チャンネル層 2 と第 1 の結晶面方位 < 110 > 方向の他端側で隣接して基板 1 上に形成され、チャンネル層 2 とショットキ接合するメタルまたはメタルシリサイドからなるドレイン層 4 と、を備えている。

20

【0033】

これらのチャンネル層 2、ソース層 3、および、ドレイン層 4 により、ダブルゲート構造のフィン 11 が構成される。

【0034】

また、半導体装置 100 は、チャンネル層 2 の側壁と隣接するとともに、チャンネル層 2 の電流方向と垂直な第 2 の結晶面方位 < 110 > 方向に延びて基板 1 上およびチャンネル層 2 上に形成されたゲート層 5 と、チャンネル層 2 とゲート層 5 との間に設けられたゲート絶縁膜 6 と、チャンネル層 2 の上面とゲート層 5 との間に設けられ、例えば、SiN からなる絶縁膜 7 と、を備えている。

30

【0035】

ゲート層 5 は、収縮性の材料を含み、この収縮性により、1軸性引張り歪が電流方向と垂直な第 2 の結晶面方位 < 110 > 方向にチャンネル層の側壁に対して加えられている。この収縮性の材料には、例えば、TiSi₂、CoSi₂ が選択される。

【0036】

なお、1軸性引張り歪が電流方向と垂直な第 2 の結晶面方位 < 110 > 方向にチャンネル層の側壁に対して加えるためには、ダブルゲート構造を成すように、ゲート層 5 は、少なくとも基板 1 上に形成されていればよい。

40

【0037】

また、ゲート層 5 の側壁には、TEOS (TetraEthOxySilane) 膜等のゲート側壁 8 が形成されている。

【0038】

また、ソース層 3、ドレイン層 4 の側壁には、TEOS (TetraEthOxySilane) 膜等のフィン側壁 9 が形成されている。

【0039】

また、半導体装置 100 は、基板 1 上に、上記の構成要素を絶縁する TEOS 膜等の層間絶縁膜 10 が形成されている。

【0040】

50

ここで、ショットキ・ソース/ドレイン p 型 MOS ダブルゲートトランジスタに対して、上記構成を採用した理由について説明する。

【0041】

先ず、上記構成において、引張り歪によりチャンネルに歪みを発生させた理由について説明する。

【0042】

図 2 A は、シリコン (Si) の歪みによるバンド構造変化を示す図である。また、図 2 B は、ゲルマニウム (Ge) の歪みによるバンド構造変化を示す図である。

【0043】

図 2 A、図 2 B に示すように、2fold-valley (2)、4fold-valley (4) のエネルギーレベルは、引張り歪によって影響を受ける。

【0044】

すなわち、2fold-valley に対する (メタルソース/ドレインから見た) バリア高さは低減され、4fold-valley に対するバリア高さは増加すると考えられる。

【0045】

なお、有効質量の軽い 2fold-valley に対するショットキバリアが低減されるので、n 型 MOS トランジスタの駆動電流が増加すると考えられる。

【0046】

一方、ホールの場合を考えると、図 2 A、図 2 B に示すように、引張り歪がかかると light-hole (lh) valley のエネルギーレベルが上昇し、heavy-hole (hh) valley のエネルギーレベルはあまり変化しない。有効質量の軽い light-hole (lh) valley に対するショットキバリアが低減されるので、p 型 MOS トランジスタの駆動電流も増加すると考えられる。

【0047】

このように、図 2 A、図 2 B から、p 型 MOS トランジスタのショットキバリア低減には引張り歪みが有効であり、圧縮歪ではショットキバリア低減の効果を得られない。

【0048】

次に、上記構成において、引張り歪の方向 (第 2 の結晶面方位 $\langle 110 \rangle$ 方向) とチャンネル方向 (電流方向) (第 1 の結晶面方位 $\langle 110 \rangle$ 方向) とが垂直になるようにした理由について説明する。

【0049】

図 3 A は、p 型 MOS トランジスタ (Si チャンネル) における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。なお、図 3 A において、シリコンの上面の結晶面方位は $\langle 100 \rangle$ であり、チャンネル方向 (電流方向) $\langle 110 \rangle$ はフィン側面 $\langle 110 \rangle$ と垂直である。

【0050】

図 3 A に示すように、p 型 MOS トランジスタ (Si チャンネル) においては、チャンネル方向 (電流方向) $\langle 110 \rangle$ と引張り歪の方向 $\langle 110 \rangle$ とが垂直である場合は、ホール移動度の向上に有効である。なお、チャンネル方向 (電流方向) と圧縮歪の方向とが平行である場合もホール移動度の向上に有効である。

【0051】

また、図 3 B は、p 型 MOS トランジスタ (Ge チャンネル) における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。なお、図 3 B において、ゲルマニウムの上面の結晶面方位は $\langle 100 \rangle$ であり、チャンネル方向 (電流方向) $\langle 110 \rangle$ はフィン側面 $\langle 110 \rangle$ と垂直である。

【0052】

図 3 B に示すように、p 型 MOS トランジスタ (Ge チャンネル) においては、チャンネル方向 (電流方向) $\langle 110 \rangle$ と引張り歪の方向 $\langle 110 \rangle$ とが垂直である場合は、ホール移動度の向上に有効である。なお、チャンネル方向 (電流方向) と圧縮歪の方向とが平行である場合もホール移動度の向上に有効である。

10

20

30

40

50

【 0 0 5 3 】

このように、上面の結晶面方位が $\langle 100 \rangle$ のチャンネルを有する p 型 MOS デュアルゲートトランジスタにおいて、Si チャンネル、Ge チャンネルとも同様に、チャンネル方向（電流方向） $\langle 110 \rangle$ と引張り歪の方向 $\langle 110 \rangle$ とが垂直である場合は、ホール移動度の向上に有効である。

【 0 0 5 4 】

以上により、ショットキバリアを低減するとともにホール移動度を向上させる観点から、ショットキ・ソース/ドレインを有する p 型 MOS FinFET に対して既述の構成を選択した。

【 0 0 5 5 】

次に、以上のような p 型 MOS デュアルゲート構造を有する半導体装置 100 の製造方法について説明する。

【 0 0 5 6 】

図 4 A ないし図 4 K は、本発明の実施例 1 に係る半導体装置 100 の製造方法を説明するための各工程の斜視図である。また、図 5 A は、図 4 J の A - A 線に沿った断面を示す断面図である。また、図 5 B は、図 4 J の B - B 線に沿った断面を示す断面図である。また、図 6 A は、図 4 K の A - A 線に沿った断面を示す断面図である。また、図 6 B は、図 4 K の B - B 線に沿った断面を示す断面図である。

【 0 0 5 7 】

まず、フィン 11 にシリコンを用いる場合には、上面の結晶面方位が $\langle 100 \rangle$ の SOI 基板 (BOX) を用意し、SOI 厚を、例えば 50nm ~ 100nm 程度に薄膜化する。なお、フィン 11 にゲルマニウムを用いる場合には、既述のように GOI 基板を用意する。

【 0 0 5 8 】

そして、チャンネル層 2 となるボディ (Body) 領域にチャンネルドーピングを行なう。ここでは、チャンネル濃度が $1 \times 10^{17}/\text{cm}^3$ 程度になるようにドーズ量を調整する。

【 0 0 5 9 】

そして、70nm 程度の SiN ハードマスク 7 を堆積する。すなわち、基板 1 上に設けられた上面が $\langle 100 \rangle$ の結晶面方位のシリコン (またはゲルマニウム) 上に絶縁膜 7 を形成する。

【 0 0 6 0 】

この SiN ハードマスク (絶縁膜) 7 を用いて、フィン 11 のパターンニング、RIE (Reactive Ion Etching: 反応性イオンエッチング) 処理を行なう。すなわち、シリコン (またはゲルマニウム) を選択的にエッチングすることにより、第 1 の結晶面方位 $\langle 110 \rangle$ 方向に伸びるようにフィン 11 を形成する (図 4 A)。

【 0 0 6 1 】

なお、フィンラインパターンの方向を、例えば、SOI 基板 (GOI 基板) のノッチ方向 ($\langle 110 \rangle$ 方向) と平行または垂直にすれば、フィン 11 の側面は $\langle 110 \rangle$ 面になる。

【 0 0 6 2 】

次に、フィン 11 側面にゲート絶縁膜 (図示せず) を形成し、1 層目のゲートポリシリコン (Poly-Si) 5 a を 300nm 程度堆積する。このとき、フィン 11 の段差上にポリシリコンを堆積するため、ポリシリコン表面には大きな段差 12 が形成される (図 4 B)。

【 0 0 6 3 】

次に、このポリシリコンを CMP (Chemical Mechanical Polishing: 化学機械研磨) 処理により平坦化し、SiN ハードマスク 7 が露出するまでエッチバックする (図 4 C)。

【 0 0 6 4 】

次に、2 層目のポリシリコン層 5 b を 50nm 程度堆積する (図 4 D)。FUSI (Full Silicidation) 技術によりゲート層を形成する場合は、この 2 層目のポリシリコン層 5 b と 1 層目のポリシリコン層 5 a とを合わせて、ゲート層 5 の材料として用いる。

【 0 0 6 5 】

10

20

30

40

50

次に、2層目のポリシリコン層5bの上にハードマスクとしてSiNハードマスク15を100nm程度堆積し、さらに、フィン11と垂直に配置されるゲートパターンを形成するためのレジストまたはハードマスク16を堆積する(図4E)。

【0066】

次に、SiNハードマスク15をRIE処理し、ポリシリコン層5b上にゲート加工用ハードマスクとしてSiNハードマスク16を形成する(図4F)。

【0067】

次に、ポリシリコン層5a、5bをRIE処理して、ゲートパターンを形成する。すなわち、第1の結晶面方位 $\langle 110 \rangle$ と垂直な第2の結晶面方位 $\langle 110 \rangle$ 方向に延びるように、フィン11のチャンネル層2となる領域上のSiNハードマスク(絶縁膜)7上および基板1上に、ポリシリコン層5a、5bを形成する(図4G)。

10

【0068】

次に、ゲート側壁に用いる材料(例えば、TEOS)を、全面に堆積しエッチバックする。これにより、厚さ40nm程度のゲート側壁(TEOS膜)8を形成する(図4H)。

【0069】

さらに、SiNハードマスク7に対してRIE処理を行ない、フィン11上のSiNハードマスク7をエッチング除去する。すなわち、フィン11上で露出するSiNハードマスク(絶縁膜)7を選択的に除去する(図4H)。なお、エッチング条件、SiN膜厚を調整して、ポリシリコン層5b上のSiNハードマスク16は残留させる。

【0070】

20

次に、フィン11のソース/ドレイン領域となる部分にシリサイド貼り付けを行ない、チャンネル層2との間でショットキ接合を形成する。すなわち、フィン11のうち絶縁膜7が除去された領域を選択的にシリサイド化して、チャンネル層2とショットキ接合するソース層3およびドレイン層4を形成する(図4I)。ソース/ドレインのシリサイド材料としては、例えば、p型MOSトランジスタにはPtSiを用いればよい。

【0071】

なお、例えば、別途n型MOSトランジスタを形成する場合には、ErSiを用いればよい。

【0072】

また、プロセス条件を制御し、ソース/ドレイン層3、4からチャンネル層2に歪がかからないようにする。ゲート層5となるポリシリコン層5a、5bは、SiNハードマスク16とゲート側壁8に覆われているため、この時点でシリサイド化されない。

30

【0073】

次に、層間絶縁膜10としてTEOS等を400nm程度堆積し、CMP処理により平坦化する(図4I)。

【0074】

この層間絶縁膜10を全面エッチバックしてSiNハードマスク16を露出させる。さらに、ホットリン酸で残存するSiNハードマスク16を除去し、ポリシリコン層5bの上部を露出させる(図4J、図5A、図5B)。

【0075】

40

次に、ポリシリコン層5a、5bを上面からシリサイド化する。すなわち、ポリシリコン層5a、5bを選択的にシリサイド化して、収縮性の材料からなるゲート層5を形成する(図4K、図6A、図6B)。ゲートのシリサイド材料としては、例えば、収縮性の材料である $TiSi_2$ や $CoSi_2$ が選択される。

【0076】

以上のように、FinFETのゲート、ソース/ドレインをシリサイド化することができるとともに、ゲートのシリサイド形成とソース/ドレインのシリサイド形成を別々の工程で行うことができる。

【0077】

したがって、ソース/ドレインのシリサイドが深くなりすぎる(横方向に成長しすぎる

50

)のを防止することができる。

【0078】

さらに、プロセス条件によっては、 $TiSi_2$ (または $CoSi_2$) は、収縮性の材料であるため (シリコンよりも熱膨張係数が大きい材料であるため)、フィン側面 (<110>面) に引張の歪がかかる (図6B)。このとき、電流方向にはボアソン比、圧縮方向の歪が生じる。

【0079】

しかし、その圧縮方向の歪以上のプロセス歪による圧縮歪が生じないように、ソース/ドレイン層3、4からの歪を低減しておく。もちろん、ソース/ドレイン領域に圧縮歪を持つSiGeを埋め込んだ素子構造 (e-SiGe) などのストレッサ (stressor) 技術を用いない。

10

【0080】

もっとも、フィン11のチャンネル層2 (特に、long-channel) は、ソース/ドレイン層3、4からの歪が伝わりにくい構造であるため、p型MOSダブルゲートトランジスタ (p型MOS-FinFET) に対して有利である。

【0081】

また、本実施例によれば、 $TiSi_2$ は収縮性の材料であるため、p型MOSトランジスタのフィン側面 (<110>面) に引張り歪がかかる。

【0082】

すなわち、p型MOSダブルゲートトランジスタ (p型MOS-FinFET) の移動度が向上し、かつショットキ・ソース/ドレインのコンタクト抵抗が低減される。

20

【0083】

また、ゲート層5の歪を用いているので、フィン11のチャンネル層2に効率よく、容易に引張り歪を印加できる。

【0084】

さらにまた、FUSI技術を用いているので、比較的容易にシリサイドゲートを形成できる。

【0085】

以上のように、本実施例に係る半導体装置および半導体装置の製造方法によれば、ホール移動度を向上するとともに、ショットキバリア (コンタクト抵抗) を低減することができる。

30

【実施例2】

【0086】

実施例1では、FUSI技術を用いて、シリサイドゲートを作成する半導体装置の製造方法について述べた。本実施例では、ダマシゲート技術を用いて、Pureメタルなどシリサイド以外の材料をゲートに適用する半導体装置の製造方法について述べる。

【0087】

図7A、図7Bは、本発明の実施例2に係る半導体装置200の製造方法を説明するための各工程の斜視図である。また、図8Aは、図7BのA-A線に沿った断面を示す断面図である。また、図8Bは、図7BのB-B線に沿った断面を示す断面図である。

40

【0088】

また、図9Aは、図8Aの後の工程のA-A線に沿った断面を示す断面図である。図9Bは、図8Aの後の工程のB-B線に沿った断面を示す断面図である。

【0089】

さらにまた、図10Aは、図9Aの後の工程のA-A線に沿った半導体装置200の断面を示す断面図である。図10Bは、図9Aの後の工程のB-B線に沿った半導体装置200の断面を示す断面図である。

【0090】

なお、図中、実施例1と同じ符号は、実施例1と同様の構成を示す。

【0091】

50

また、本実施例 2 の半導体装置の製造方法は、実施例 1 で説明した図 4 J までの工程は同様である。

【0092】

実施例 1 の図 4 I までと同様の工程により、ソース層/ドレイン層 3、4 を形成してショットキ接合を形成した後、層間絶縁膜 10 として T E O S 等を 400nm 程度堆積し、CMP 処理により平坦化する (図 7 A)。

【0093】

実施例 1 の図 4 I と同様の工程により、この層間絶縁膜 10 を全面エッチバックして SiN ハードマスク 16 を露出させる。さらに、例えば、ホットリン酸で SiN ハードマスク 16 を除去し、ポリシリコン層 5 b の上部を露出させる (図 7 B、図 8 A、図 8 B)。

10

【0094】

次に、CDE (Chemical Dry Etching) 処理等により、ゲート側壁 8 で挟まれたポリシリコン層 5 a、5 b を選択的に除去する。(図 9 A、図 9 B)。

【0095】

次に、内壁がゲート側壁 8 で構成されたゲート溝にダマシン法により収縮性の材料を埋め込んで収縮性の材料からなるゲート層 13 を形成する (図 10 A、図 10 B)。

【0096】

すなわち、ゲート材料を、全面に堆積した後、CMP 処理により平坦化し、ゲート溝内のみ残留させる。ここでは、p 型 MOS トランジスタのゲート材料として、例えば、収縮性を有する TiN、W、WSi を用いる。

20

【0097】

以上により、図 1 A に示される半導体装置 100 のゲート層 5 を、TiN、W、WSi 等のメタル等を適用したゲート層 13 に代替させた半導体装置 200 が完成する。

【0098】

上述のように、TiN、W、WSi は収縮性の材料であるため、p 型 MOS ダブルゲートトランジスタのフィン 11 側面 (< 110 > 面) に引張りの歪がかかる。

【0099】

すなわち、p 型 MOS ダブルゲートトランジスタのホール移動度が向上し、かつショットキ・ソース/ドレインのコンタクト抵抗が低減される。

【0100】

ゲート層の歪を用いているので、フィンのチャネル層に、容易に引張り歪を印加できる。

30

【0101】

さらにまた、ダマシゲート技術を用いているので、Pureメタルなどシリサイド以外の材料をゲート層に適用することができる。

【0102】

なお、このダマシゲートプロセスを用いれば、例えば、n 型 MOS トランジスタを別途形成する場合に、p 型 MOS とは別のゲート材を埋め込むことも可能である。

【0103】

以上のように、本実施例に係る半導体装置および半導体装置の製造方法によれば、ホール移動度を向上するとともに、ショットキバリア(コンタクト抵抗)を低減することができる。

40

【図面の簡単な説明】

【0104】

【図 1 A】本発明の一態様である本発明の実施例 1 に係る半導体装置の要部の構成を示す斜視図である。

【図 1 B】図 1 A の A - A 線に沿った半導体装置の断面を示す断面図である。

【図 1 C】図 1 A の B - B 線に沿った半導体装置の断面を示す断面図である。

【図 2 A】シリコン (Si) の歪みによるバンド構造変化を示す図である。

【図 2 B】ゲルマニウム (Ge) の歪みによるバンド構造変化を示す図である。

50

【図 3 A】 p 型 MOS トランジスタ (S i チャンネル) における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。

【図 3 B】 p 型 MOS トランジスタ (G e チャンネル) における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。

【図 4 A】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 B】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 C】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 D】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 E】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 F】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 G】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 H】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 I】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 J】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 4 K】 本発明の実施例 1 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 5 A】 図 4 J の A - A 線に沿った断面を示す断面図である。

【図 5 B】 図 4 J の B - B 線に沿った断面を示す断面図である。

【図 6 A】 図 4 K の A - A 線に沿った断面を示す断面図である。

【図 6 B】 図 4 K の B - B 線に沿った断面を示す断面図である。

【図 7 A】 本発明の実施例 2 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 7 B】 本発明の実施例 2 に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図 8 A】 図 7 B の A - A 線に沿った断面を示す断面図である。

【図 8 B】 図 7 B の B - B 線に沿った断面を示す断面図である。

【図 9 A】 本発明の実施例 2 に係る半導体装置の製造方法を説明するための工程の断面図である。

【図 9 B】 本発明の実施例 2 に係る半導体装置の製造方法を説明するための工程の断面図である。

【図 10 A】 図 9 A の後の工程の A - A 線に沿った半導体装置の断面を示す断面図である。

【図 10 B】 図 9 A の後の工程の B - B 線に沿った半導体装置の断面を示す断面図である。

【符号の説明】

【 0 1 0 5 】

- 1 基板
- 2 チャンネル層
- 3 ソース層
- 4 ドレイン層

10

20

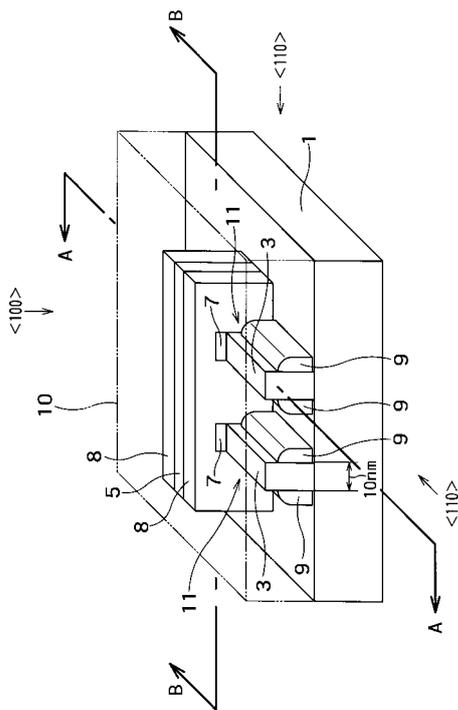
30

40

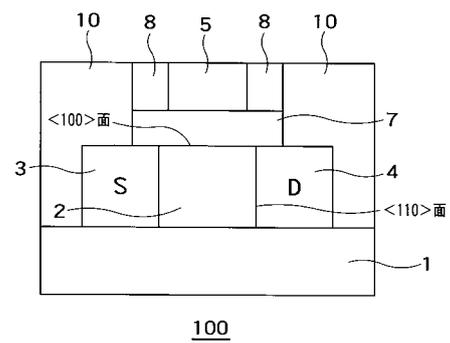
50

- 5 ゲート層
- 5 a ポリシリコン層
- 5 b ポリシリコン層
- 6 ゲート絶縁膜
- 7 SiNハードマスク (絶縁膜)
- 8 ゲート側壁
- 9 フィン側壁
- 10 層間絶縁膜
- 11 フィン
- 12 段差
- 13 ゲート層
- 14 ゲート溝
- 15 SiNハードマスク
- 16 レジストまたはハードマスク
- 100、200 半導体装置

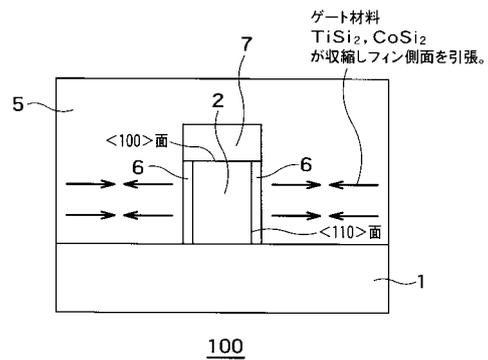
【図1A】



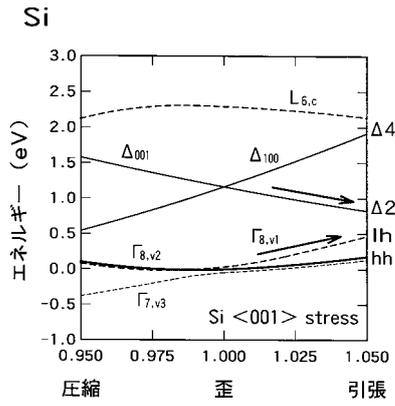
【図1B】



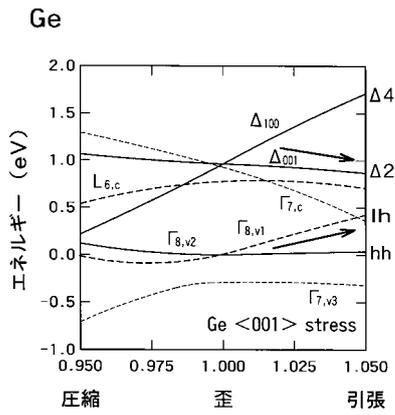
【図1C】



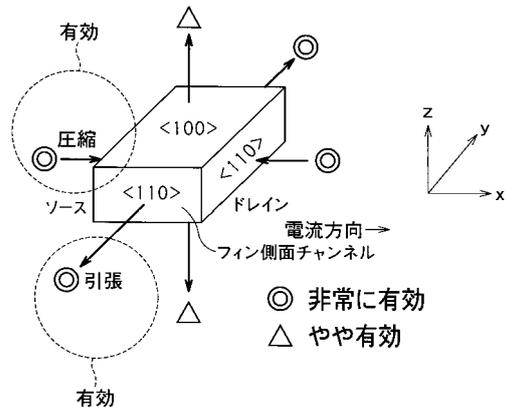
【図 2 A】



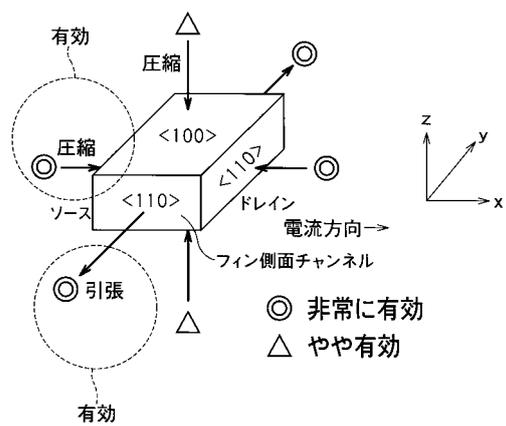
【図 2 B】



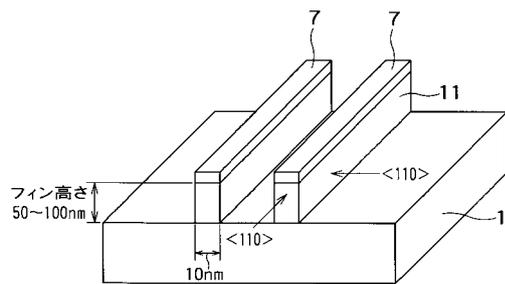
【図 3 A】



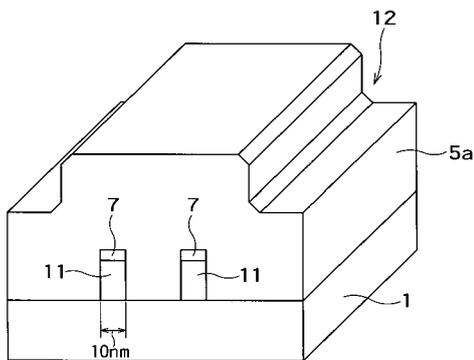
【図 3 B】



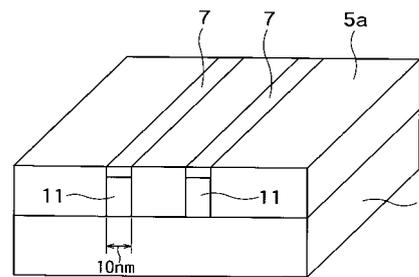
【図 4 A】



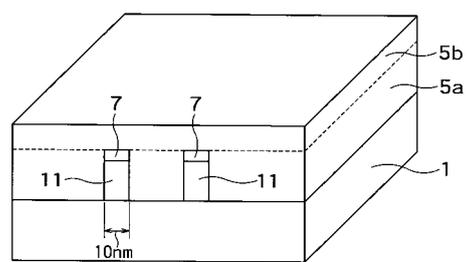
【図 4 B】



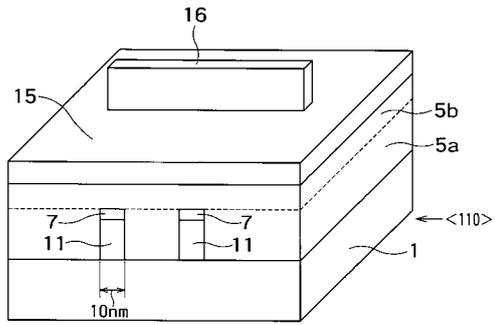
【図 4 C】



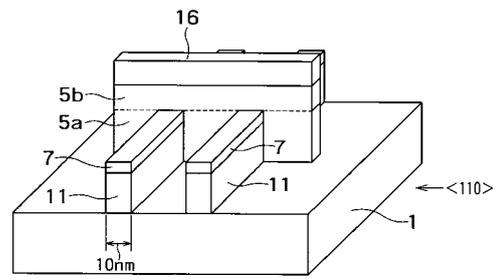
【図 4 D】



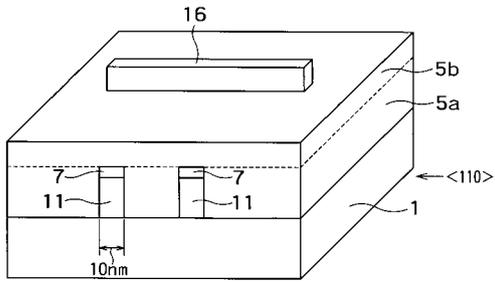
【図 4 E】



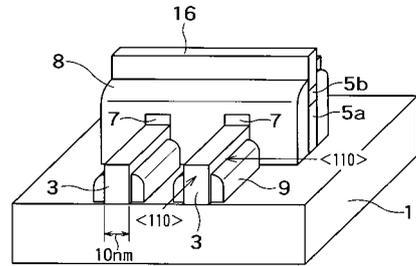
【図 4 G】



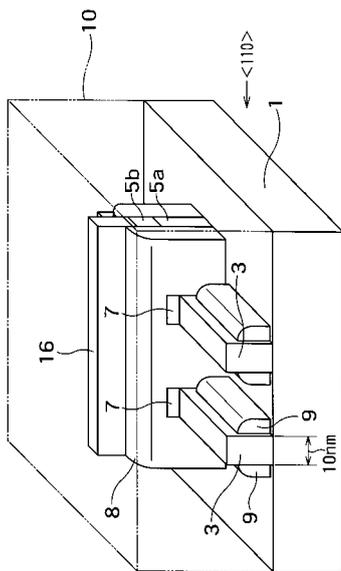
【図 4 F】



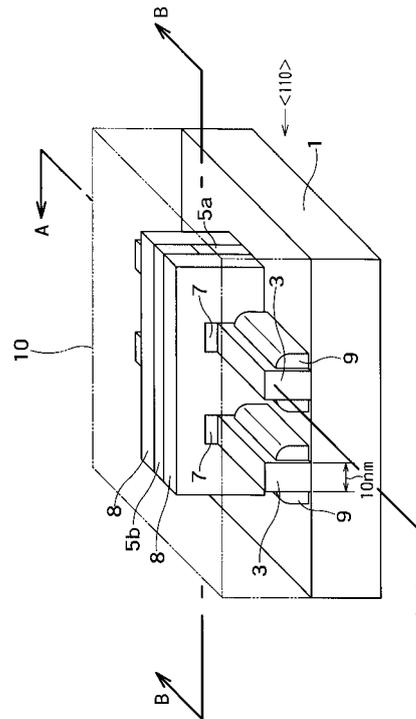
【図 4 H】



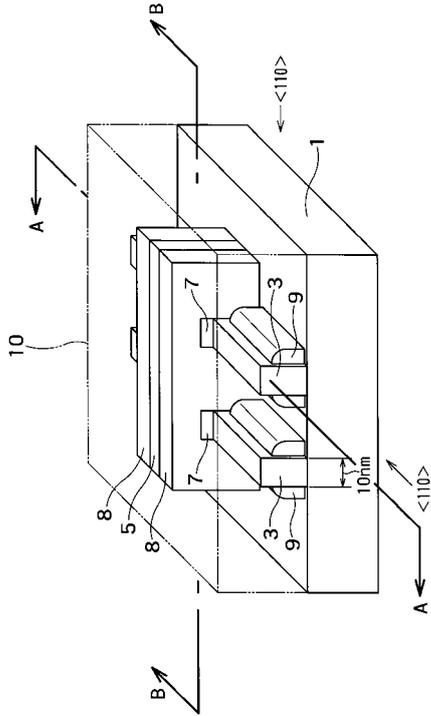
【図 4 I】



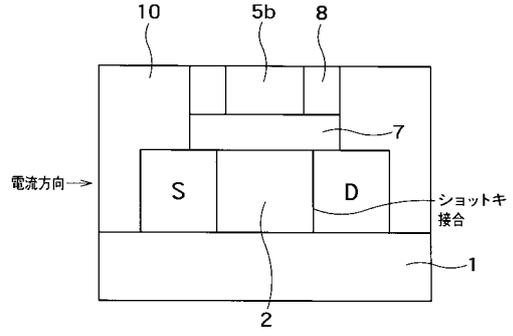
【図 4 J】



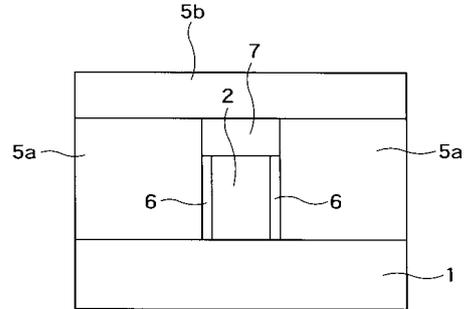
【図4K】



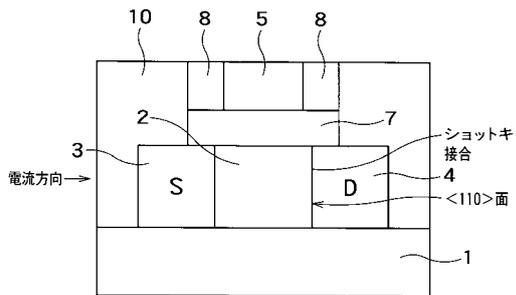
【図5A】



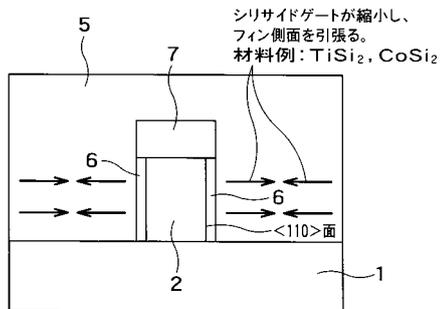
【図5B】



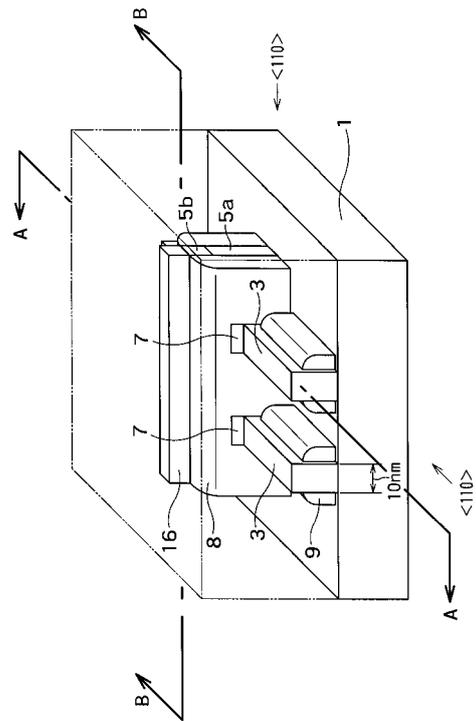
【図6A】



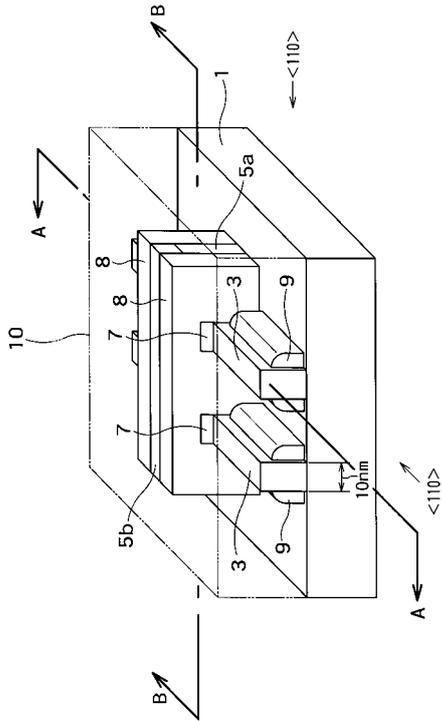
【図6B】



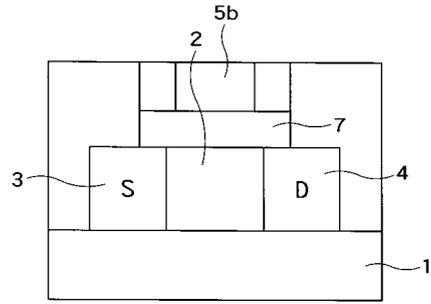
【図7A】



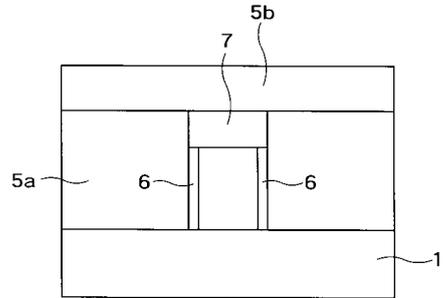
【図7B】



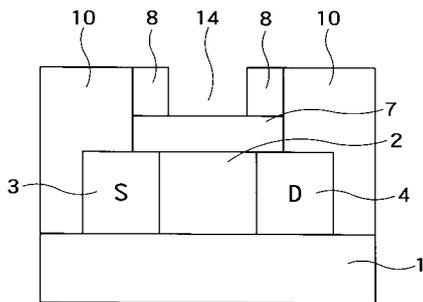
【図8A】



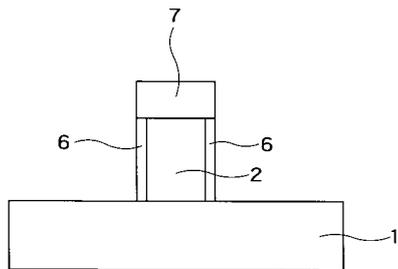
【図8B】



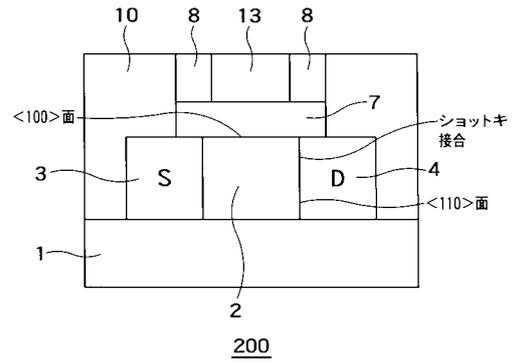
【図9A】



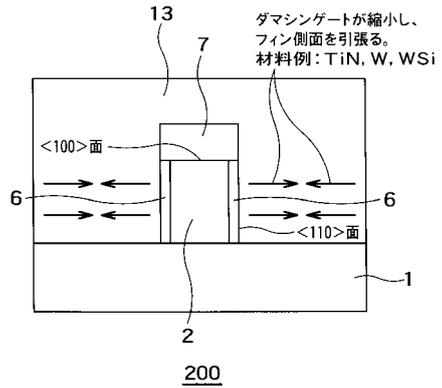
【図9B】



【図10A】



【図10B】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 1 7 K
H 0 1 L 29/78 6 1 8 C
H 0 1 L 29/78 6 2 0

(72)発明者 八木下 淳 史
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 綿引 隆

(56)参考文献 特開 2 0 0 5 - 2 9 4 7 8 9 (J P , A)
特開 2 0 0 6 - 0 1 3 3 2 2 (J P , A)
特開 2 0 0 5 - 0 5 7 3 0 1 (J P , A)
特表 2 0 0 6 - 5 0 7 6 8 1 (J P , A)
特開 2 0 0 4 - 0 4 7 8 0 6 (J P , A)
特開平 0 7 - 2 0 1 7 7 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6