



(12) 发明专利

(10) 授权公告号 CN 103026398 B

(45) 授权公告日 2014. 07. 09

(21) 申请号 201180035563. 9

H01L 21/336(2006. 01)

(22) 申请日 2011. 07. 14

H01L 27/32(2006. 01)

(30) 优先权数据

H01L 29/786(2006. 01)

2010-164147 2010. 07. 21 JP

H01L 51/50(2006. 01)

H05B 33/06(2006. 01)

(85) PCT国际申请进入国家阶段日

2013. 01. 21

(56) 对比文件

WO 2007040194 A1, 2007. 04. 12, 全文.

(86) PCT国际申请的申请数据

PCT/JP2011/004038 2011. 07. 14

JP 特开 2007-157916 A, 2007. 06. 21, 全文.

JP 特开 2008-040343 A, 2008. 02. 21, 全文.

(87) PCT国际申请的公布数据

W02012/011258 JA 2012. 01. 26

JP 特开 2002-176056 A, 2002. 06. 21, 全文.

审查员 刘莹

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 原义仁 中田幸伸

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

(51) Int. Cl.

G09F 9/30(2006. 01)

G02F 1/1345(2006. 01)

G02F 1/1368(2006. 01)

G09F 9/00(2006. 01)

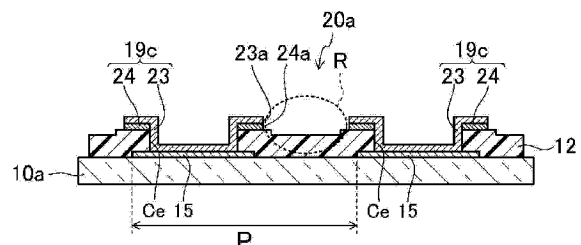
权利要求书2页 说明书14页 附图9页

(54) 发明名称

基板及其制造方法、显示装置

(57) 摘要

薄膜晶体管基板(20a)包括:绝缘基板(10a);设置于绝缘基板(10a)上的多个源极端子(15);和以覆盖源极端子(15)各自的一部分的方式设置且包含氧化物半导体的第一端子罩(24)。而且,在相邻的源极端子(15)间的区域(R),第一端子罩(24)被去除。



1. 一种基板,其特征在于,包括:  
多个端子,该多个端子设置于绝缘基板上,且由金属形成;和  
端子罩,其以覆盖所述端子各自的一部分的方式设置,且由氧化物半导体形成,  
绝缘膜,其设置于所述端子和所述端子罩之间,且形成有使所述端子的一部分露出的  
接触孔;和  
另一端子罩,其由导电体形成,且设置于所述端子罩和所述接触孔的表面,  
在相邻的所述端子间的区域,所述端子罩和所述另一端子罩被去除,所述端子间的区  
域侧的所述端子罩的端面和所述端子间的区域侧的所述另一端子罩的端面共面,  
所述端子间的间距为  $5 \sim 30 \mu\text{m}$ 。
2. 如权利要求 1 所述的基板,其特征在于:  
所述氧化物半导体包含金属氧化物,该金属氧化物包含选自铟 (In)、镓 (Ga)、铝 (Al)、  
铜 (Cu)、镍 (Ni)、钪 (Hf) 和锌 (Zn) 中的至少一种。
3. 如权利要求 2 所述的基板,其特征在于:  
所述氧化物半导体为铟镓锌氧化物。
4. 如权利要求 1 至 3 中任一项所述的基板,其特征在于:  
所述基板还包括具有氧化物半导体层的薄膜晶体管。
5. 如权利要求 4 所述的基板,其特征在于:  
所述氧化物半导体层由铟镓锌氧化物形成。
6. 一种显示装置,其特征在于,包括:  
权利要求 1 至 5 中任一项所述的所述基板;  
与所述基板相对配置的另一基板;和  
设置于所述基板和所述另一基板之间的显示介质层。
7. 如权利要求 6 所述的显示装置,其特征在于:  
所述显示介质层为液晶层。
8. 一种显示装置,其特征在于,包括:  
权利要求 1 至 5 中任一项所述的所述基板;和  
形成于所述基板上的显示元件。
9. 如权利要求 8 所述的显示装置,其特征在于:  
所述显示元件为有机 EL 显示元件。
10. 一种基板的制造方法,其特征在于,至少包括:  
端子形成工序,在绝缘基板上形成包含金属的多个端子;  
绝缘膜形成工序,在所述绝缘基板上以覆盖所述端子的方式形成绝缘膜;  
端子罩形成工序,在所述绝缘膜上形成包含氧化物半导体的端子罩;  
端子罩保护层形成工序,在所述端子罩上形成用于保护该端子罩的端子罩保护层;  
接触孔形成工序,将所述端子罩作为掩模,通过对所述绝缘膜进行干式蚀刻,在所述绝  
缘膜上形成到达所述端子的接触孔;和  
端子罩去除工序,在所述端子罩上形成包含导电体的导电膜后,通过对所述导电膜进  
行蚀刻,在所述端子罩和所述接触孔的表面上形成另一端子罩,通过对所述端子罩和所述  
另一端子罩进行蚀刻,去除在相邻的所述端子间的区域存在的所述端子罩和所述另一端子

---

罩,从而在所述端子间的区域,去除所述端子罩和所述另一端子罩。

## 基板及其制造方法、显示装置

### 技术领域

[0001] 本发明涉及基板,尤其是涉及使用了氧化物半导体的半导体层的基板及其制造方法、显示装置。

### 背景技术

[0002] 近年来,作为便携式电话、便携式游戏机等移动型终端设备和笔记本型个人电脑等各种电子设备的显示面板,广泛使用具有薄且轻量、能够以低电压驱动、并且耗电少的优点的液晶显示装置。

[0003] 通常,液晶显示装置包括:相互相对配置的一对基板(即,薄膜晶体管基板和对置基板);设置于一对基板之间的液晶层;和密封件,该密封件将一对基板相互粘接并且为了在两基板之间封入液晶而设计成框状。

[0004] 另外,在液晶显示装置中,规定有由多个像素等构成且在密封件的内侧部分进行图像显示的显示区域,在该显示区域的周边规定有端子区域(驱动电路区域)。

[0005] 另外,在薄膜晶体管基板中,在作为图像的最小单位的各像素中,作为开关元件,设置有例如薄膜晶体管(Thin Film Transistor,以下也称为“TFT”))。

[0006] 通常的底栅型的 TFT 例如包括:设置于绝缘基板上的栅极电极;以覆盖栅极电极的方式设置的栅极绝缘膜;在栅极绝缘膜上以与栅极电极重叠的方式设置成岛状且包含非晶硅的半导体层;和在半导体层上以互相对峙的方式设置的源极电极与漏极电极。

[0007] 另外,薄膜晶体管基板包括:绝缘基板;在显示区域中,以互相平行延伸的方式设置在绝缘基板上的多个扫描配线;和在与各扫描配线正交的方向互相平行延伸的方式设置的多个信号配线。而且,在各扫描配线和各信号配线的每个交差部分,即,在每个像素上设置有上述 TFT。

[0008] 另外,信号配线引出至上述端子区域,在端子区域中与源极端子连接。另外,同样地,扫描配线引出至上述端子区域,在端子区域与栅极端子连接。

[0009] 这些源极端子和栅极端子包含形成上述半导体层的非晶硅。另外,在端子区域设置有:与上述源极端子和栅极端子连接的集成电路芯片(或者 IC 芯片);和与集成电路芯片连接的用于供给来自外部的信号的驱动电路基板(柔性印刷基板)。

[0010] 而且,在这种薄膜晶体管基板中,首先,在绝缘基板上形成栅极电极和扫描配线后,在整个绝缘基板上,例如通过 CVD 法形成栅极绝缘膜。接着,例如通过溅射法在栅极绝缘膜上形成包含非晶硅的半导体膜,通过对半导体膜进行光刻、湿式蚀刻等,形成半导体层。这时,还形成包含非晶硅膜的源极端子和栅极端子。

[0011] 然后,通过干蚀刻等在半导体层上形成源极电极和漏极电极从而形成 TFT,之后,在整个形成有源极电极和漏极电极的基板上,通过等离子体 CVD 法形成例如氮化硅膜等,形成覆盖半导体层、源极电极和漏极电极的层间绝缘膜(例如,参照专利文献 1)。

[0012] 现有技术文献

[0013] 专利文献

[0014] 专利文献 1 :日本特开 2000-199917 号公报

## 发明内容

[0015] 发明要解决的技术问题

[0016] 在此,近年来,针对薄膜晶体管基板,提出了作为图像的最小单位的各像素的开关元件,使用包含能够获得高迁移率、低切断电流之类的良好特性的氧化物半导体的半导体层(以下,也称为“氧化物半导体层”)来代替上述包含非晶硅的半导体层的技术。

[0017] 另外,近年来,随着显示装置的小型化、轻量化,连接集成电路芯片的端子(即,源极端子和栅极端子)的窄间距化的要求日益高涨,从提高连接可靠性的观点考虑,提出了设置用于保护以窄间距配置的端子的端子罩的技术。

[0018] 但是,在使用氧化物半导体作为该端子罩的材料的情况下,在形成包含氧化物半导体的端子罩之后,作为上述干式蚀刻,进行了利用等离子体使气体离子化和自由基化从而进行蚀刻的等离子体蚀刻时,由于等离子体的损伤,端子罩的电阻会降低,端子罩会导体化。其结果是,存在例如在以窄间距配置的端子间产生漏电不良,难以维持端子间的绝缘性之类的问题。

[0019] 因此,本发明是鉴于以上的问题而完成的,其目的在于,提供基板及其制造方法、显示装置,该基板即使在以窄间距配置多个端子,且以覆盖端子的方式设置包含氧化物半导体的端子罩的情况下,也能够防止端子间发生漏电不良。

[0020] 解决技术问题的方案

[0021] 为实现上述目的,本发明的基板的特征在于,包括:多个端子,该多个端子设置于绝缘基板上,且包含金属;和端子罩,其以覆盖端子各自的一部分的方式设置,且包含氧化物半导体,在相邻的端子间的区域,端子罩被去除。

[0022] 根据该结构,例如,在显示装置用的基板的制造工序中,即使在包含氧化物半导体的端子罩因等离子体蚀刻等等离子体处理,而导体化的情况下,由于在相邻端子间的区域中,端子罩被去除,因此,即使在以窄间距配置多个端子的情况下,也能够防止端子间发生漏电不良,能够维持端子间的绝缘性。

[0023] 另外,在本发明的基板中,也可以还包括:绝缘膜,其设置于端子和端子罩之间,且形成有使端子的一部分露出的接触孔;和另一端子罩,其包含导电体,且设置于端子罩和接触孔的表面。

[0024] 根据该结构,例如,在经各向异性的导电薄膜(ACF)等将集成电路芯片与端子连接的情况下,能够将包含导电体的另一端子罩和各向异性导电薄膜良好地连接,因此,能够将集成电路芯片和端子可靠地电连接。

[0025] 另外,在本发明的基板中,也可以为:在端子间的区域,另一端子罩被去除,端子间的区域侧的端子罩的端面和端子间的区域侧的另一端子罩的端面共面。

[0026] 根据该结构,由于端子间的区域侧的端子罩的端面与另一端子罩的端面共面,因此,例如,即使在端子罩因突出物等而破损的情况下,也能够避免因该碎片而产生端子间漏电。

[0027] 另外,在本发明的基板中,端子间间距也可以为  $5 \sim 30 \mu\text{m}$ 。

[0028] 根据该结构,由于能够以窄间距配置多个端子,因此,能够提供能够与显示装置的

小型化、轻量化对应的显示装置用的基板。

[0029] 另外,在本发明的基板中,作为氧化物半导体,也可以使用包含选自铟(In)、镓(Ga)、铝(Al)、铜(Cu)、镍(Ni)、铪(Hf)和锌(Zn)中的至少一种的金属氧化物。

[0030] 另外,在本发明的基板中,也可以构成为:使用铟镓锌氧化物(IGZO)作为氧化物半导体。

[0031] 另外,在本发明的基板中,也可以构成为:还包括具有氧化物半导体层的薄膜晶体管。

[0032] 另外,本发明的基板具有即使在以窄间距配置多个端子的情况下,也能够防止端子间发生漏电不良,能够维持端子间的绝缘性之类的优异的特性。因此,本发明的基板能够适用于包括基板、与基板相对配置的另一基板和设置于基板和另一基板之间的显示介质层的显示装置。另外,本发明的显示装置能够适用于显示介质层为液晶层的显示装置。

[0033] 另外,本发明的基板能够适用于包括基板和形成于基板上的显示元件的显示装置。另外,本发明的显示装置能够适用于显示元件为有机EL显示元件的显示装置。

[0034] 本发明的一种基板的制造方法的特征在于,至少包括:端子形成工序,在绝缘基板上形成包含金属的多个端子;绝缘膜形成工序,在绝缘基板上以覆盖端子的方式形成绝缘膜;端子罩形成工序,在绝缘膜上形成包含氧化物半导体的端子罩;接触孔形成工序,将端子罩作为掩模,通过对绝缘膜进行干蚀刻,在绝缘膜上形成到达端子的接触孔;和端子罩去除工序,在端子罩上形成包含导电体的导电膜后,通过对导电膜进行蚀刻,在端子罩和接触孔的表面上形成另一端子罩,通过对端子罩进行蚀刻,去除在相邻的端子间的区域存在的端子罩,在端子间的区域,去除端子罩。

[0035] 根据该结构,在显示装置用的基板的制造工序中,例如,即使在包含氧化物半导体的端子罩因等离子体蚀刻等等离子体处理而导体化的情况下,由于在相邻的端子间的区域,端子罩被去除,因此,即使在以窄间距配置有多个端子的情况下,也能够防止端子间发生漏电不良,能够维持端子间的绝缘性。

[0036] 另外,在本发明的基板的制造方法中,也可以还包括端子罩保护层形成工序,在端子罩形成工序后,在端子罩上形成用于保护该端子罩的端子罩保护层。

[0037] 根据该结构,在显示装置用的基板的制造工序中,例如,即使在进行等离子体蚀刻等等离子体处理的情况下,也能够有效地抑制等离子体对端子罩的损伤。其结果是,能够有效地抑制端子罩的沟道部的漏电。

[0038] 发明效果

[0039] 根据本发明,即使在以窄间距配置多个端子且以覆盖各个端子的方式设置包含氧化物半导体的端子罩的情况下,也能够防止端子间发生漏电不良,能够维持端子间的绝缘性。

## 附图说明

[0040] 图1是具有本发明的第一实施方式的薄膜晶体管基板的液晶显示装置的剖视图。

[0041] 图2是本发明的第一实施方式的薄膜晶体管基板的俯视图。

[0042] 图3是放大了本发明的第一实施方式的薄膜晶体管基板的像素部和端子部的俯视图。

- [0043] 图 4 是沿图 3 中的 A-A 线的薄膜晶体管基板的剖视图。
- [0044] 图 5 是沿图 3 中的 B-B 线的薄膜晶体管基板的剖视图。
- [0045] 图 6 是用剖面表示本发明的第一实施方式的薄膜晶体管基板的制造工序的说明图。
- [0046] 图 7 是用剖面表示本发明的第一实施方式的薄膜晶体管基板的端子的制造工序的说明图。
- [0047] 图 8 是用剖面表示本发明的第一实施方式的对置基板的制造工序的说明图。
- [0048] 图 9 是本发明的第二实施方式的薄膜晶体管基板的剖视图。
- [0049] 图 10 是用剖面表示本发明的第二实施方式的薄膜晶体管基板的制造工序的说明图。
- [0050] 图 11 是用剖面表示本发明的第二实施方式的薄膜晶体管基板的端子的制造工序的说明图。
- [0051] 图 12 是本发明的变形例的有机 EL 显示装置的俯视图。
- [0052] 图 13 是本发明的变形例的有机 EL 显示装置的剖视图。

### 具体实施方式

[0053] (第一实施方式)

[0054] 下面,参照附图对本发明的实施方式详细地进行说明。另外,本发明不仅限于下面的实施方式。

[0055] 图 1 是具有本发明的第一实施方式的薄膜晶体管基板的液晶显示装置的剖视图,图 2 是本发明的第一实施方式的薄膜晶体管基板的俯视图。另外,图 3 是放大了本发明的第一实施方式的薄膜晶体管基板的像素部和端子部的俯视图,图 4 是沿图 3 中的 A-A 线的薄膜晶体管基板的剖视图。另外,图 5 是沿图 3 中的 B-B 线的薄膜晶体管基板的剖视图。另外,为了说明的方便,在图 5 中省略集成电路芯片的图示。

[0056] 如图 1 所示,液晶显示装置 50 包括:薄膜晶体管基板 20a,其为液晶显示装置用的基板;和对置基板 30,其为与薄膜晶体管基板 20a 相对配置的液晶显示装置用的另一基板。另外,液晶显示装置 50 包括:液晶层 40,其为设置于薄膜晶体管基板 20a 和对置基板 30 间的显示介质层;密封件 35,其将薄膜晶体管基板 20a 和对置基板 30 相互粘接,并且为了在薄膜晶体管基板 20a 和对置基板 30 之间封入液晶层 40 而设置成框状。

[0057] 另外,如图 1 所示,在液晶显示装置 50 中,进行图像显示的显示区域 D 被规定在密封件 35 的内侧部分,端子区域 T 被规定在薄膜晶体管基板 20a 的从对置基板 30 突出的部分。该端子区域 T 位于显示区域 D 的周边。

[0058] 如图 2、图 3 和图 4 所示,薄膜晶体管基板 20a 包括:绝缘基板 10a;在显示区域 D 中,以互相平行地延伸的方式设置在绝缘基板 10a 上的多个扫描配线 11a;分别设置于各扫描配线 11a 之间且互相平行地延伸的多个辅助电容配线 11b;和以在与各扫描配线 11a 正交的方向互相平行地延伸的方式设置的多个信号配线 16a。另外,薄膜晶体管基板 20a 包括:分别设置在各扫描配线 11a 和各信号配线 16a 的每个交差部分,即每个各像素上的多个 TFT5a;以覆盖各 TFT5a 的方式设置的层间绝缘膜 17;以覆盖层间绝缘膜 17 的方式设置的平坦化膜 18;在平坦化膜 18 上设置成矩阵状且分别与各 TFT5a 连接的多个像素电极 19a;

以覆盖各像素电极 19a 的方式设置的取向膜（未图示）。

[0059] 如图 2 和图 3 所示,扫描配线 11a 被引出至端子区域 T(参照图 1)的栅极端子区域 T<sub>g</sub>,在该栅极端子区域 T<sub>g</sub> 构成栅极端子 19b。

[0060] 如图 3 所示,辅助电容配线 11b 经辅助电容干线 16c 和中继配线 11d,与辅助电容端子 19d 连接。在此,辅助电容干线 16c 经形成于栅极绝缘膜 12 的接触孔 C<sub>c</sub> 与辅助电容配线 11b 连接,并且,经形成于栅极绝缘膜 12 的接触孔 C<sub>d</sub> 与中继配线 11d 连接。

[0061] 另外,如图 2 和图 3 所示,中继配线 11c 被引出到端子区域 T(参照图 1)的源极端子区域 T<sub>s</sub>,该中继配线 11c 在源极端子区域 T<sub>s</sub> 中构成源极端子 15。

[0062] 在此,如图 3、图 4 所示,信号配线 16a 经形成于栅极绝缘膜 12 的接触孔 C<sub>b</sub> 通过透明导电膜 27 与中继配线 11c 连接。

[0063] 另外,如图 2、图 3 所示,在薄膜晶体管基板 20a 的源极端子区域 T<sub>s</sub> 和栅极端子区域 T<sub>g</sub>,设置有作为与源极端子 15 和栅极端子 19b 连接的电子零件的集成电路芯片(或驱动 IC 芯片)9。

[0064] 而且,该集成电路芯片 9 例如以玻璃基芯片(COG)方式,经各向异性导电薄膜(ACF)等安装于薄膜晶体管基板 20a。

[0065] 另外,如图 2、图 3 所示,在薄膜晶体管基板 20a 的源极端子区域 T<sub>s</sub> 和栅极端子区域 T<sub>g</sub>,设置有连接驱动电路基板(未图示)的连接用端子 21,该驱动电路基板为用于供给来自外部的信号的电子零件。该连接用端子 21 构成为:经配线 22 与连接有集成电路芯片的连接用端子 26 连接,经这些连接用端子 21、26 和配线 22,从驱动电路基板向集成电路芯片 9 输入用于驱动集成电路芯片 9 的信号。

[0066] TFT5a 具有底栅构造,如图 3 和图 4 所示,包括:设置于绝缘基板 10a 上的栅极电极 11aa;以覆盖栅极电极 11aa 的方式设置的栅极绝缘膜 12;在栅极绝缘膜 12 上以与栅极电极 11aa 重叠的方式设置成岛状的具有沟道区域 C 的氧化物半导体层 13a。另外,TFT5a 包括在氧化物半导体层 13a 上以与栅极电极 11aa 重叠并且以夹着沟道区域 C 互相对峙的方式设置的源极电极 16aa 和漏极电极 16b。

[0067] 在此,在氧化物半导体层 13a 的沟道区域 C 上,设置有覆盖源极电极 16aa 和漏极电极 16b(即,TFT5a)的层间绝缘膜 17。

[0068] 而且,如图 3 所示,栅极电极 11aa 为向扫描配线 11a 的侧面突出的部分。另外,如图 3 所示,源极电极 16aa 为向信号配线 16a 的侧面突出的部分。

[0069] 另外,如图 3 和图 4 所示,漏极电极 16b 经形成于层间绝缘膜 17 和平坦化膜 18 的层叠膜的接触孔 C<sub>a</sub> 与像素电极 19a 连接。另外,漏极电极 16b 通过经栅极绝缘膜 12 与辅助电容配线 11b 重叠构成辅助电容。

[0070] 另外,氧化物半导体层 13a 例如包含铟镓锌氧化物(IGZO)等氧化物半导体。

[0071] 另外,在本实施方式中,如图 5 所示,在源极端子区域 T<sub>s</sub>,在源极端子 15 上设置有用于保护源极端子 15 的保护罩 19c。

[0072] 该保护罩 19c 包括形成于绝缘基板 10a 上的第一端子罩 24 和形成于该第一端子罩 24 上的第二端子罩 23。

[0073] 如图 5 所示,第一端子罩 24 以覆盖多个源极端子 15 的各自的一部分的方式设置,与上述氧化物半导体层 13a 同样地,例如包含铟镓锌氧化物(IGZO)等氧化物半导体。



[0074] 另外,第二端子罩 23 例如包含铟锡氧化物 (ITO)、铟锌氧化物 (IZO)、含有氧化硅的铟锡氧化物 (ITSO)、含有氧化钨的铟氧化物、含有氧化钛的铟氧化物等导电体。

[0075] 另外,多个源极端子 15 以窄间距排列,如图 3、图 5 所示,相邻的源极端子 15 的间距 P 例如被设定为  $5 \sim 30 \mu\text{m}$ 。

[0076] 另外,如图 5 所示,在源极端子 15 和第一端子罩 24 之间设置有栅极绝缘膜 12,在该栅极绝缘膜 12 上,以源极端子 15 的一部分露出的方式形成有接触孔 Ce。

[0077] 而且,如图 5 所示,构成为:上述第二端子罩 23 设置于第一端子罩 24 和接触孔 Ce 的表面,保护罩 19c 经形成于栅极绝缘膜 12 的接触孔 Ce 与源极端子 15 连接。另外,虽省略图示,但栅极端子 19b 也与图 5 所示的源极端子 15 同样构成。

[0078] 如后述的图 8(c) 所示,对置基板 30 包括:绝缘基板 10b;在绝缘基板 10b 上设置成格子状的黑矩阵 31;和具有分别设置在黑矩阵 31 的各格子间的红色层、绿色层和蓝色层等着色层 32 的彩色滤光片。另外,对置基板 30 包括:以覆盖该彩色滤光片的方式设置的共用电极 33;设置于共用电极 33 上的感光间隔物 34;和以覆盖共用电极 33 的方式设置的取向膜(未图示)。

[0079] 液晶层 40 例如由具有电光学特性的向列型液晶材料等构成。

[0080] 在上述结构的液晶显示装置 50 中,在各像素中,从栅极驱动器(即,与栅极端子 19b 连接的集成电路芯片 9)经扫描配线 11a 向栅极电极 11aa 发送栅极信号。而且,在 TFT5a 成为导通状态时,从源极驱动器(即,与源极端子 15 连接的集成电路芯片 9)经信号配线 16a 向源极电极 16aa 发送源极信号。而且,经氧化物半导体层 13a 和漏极电极 16b,向像素电极 19a 写入规定的电荷。

[0081] 这时,在薄膜晶体管基板 20a 的各像素电极 19a 和对置基板 30 的共用电极 33 之间产生电位差,向液晶层 40 即各像素的液晶电容和与该液晶电容并列连接的辅助电容施加规定的电压。

[0082] 而且,在液晶显示装置 50 中,在各像素中,根据向液晶层 40 施加的电压的大小改变液晶层 40 的取向状态,由此,调整液晶层 40 的光透过率并显示图像。

[0083] 在此,本实施方式的特征在于:如图 5 所示,在相邻的源极端子 15 间的区域 R,第一端子罩 24 被去除这一点。

[0084] 根据这种结构,即使在包含氧化物半导体的第一端子罩 24 因等离子体蚀刻等的等离子体处理而导体化的情况下,由于第一端子罩 24 在相邻的源极端子 15 间的区域 R 被去除,因此,也能够防止以窄间距配置的源极端子 15 间的漏电不良的发生。因此,能够维持以窄间距配置的源极端子 15 间的绝缘性。

[0085] 即,即使代替非晶硅而由 IGZO 等氧化物半导体构成源极端子 15 的情况下,也不会产生漏电不良之类的不良情况,能够进行源极端子 15 的窄间距化。

[0086] 下面,使用图 6~图 8 对本实施方式的液晶显示装置 50 的制造方法的一个例子进行说明。图 6 是用剖面表示本发明的第一实施方式的薄膜晶体管基板的制造工序的说明图,图 7 是用剖面表示本发明的第一实施方式的薄膜晶体管基板的端子的制造工序的说明图。另外,图 8 是用剖面表示本发明的第一实施方式的对置基板的制造工序的说明图。另外,本实施方式的制造方法包括薄膜晶体管基板制作工序、对置基板制作工序和液晶注入工序。

[0087] 首先,对薄膜晶体管基板制作工序进行说明。

[0088] <源极端子形成工序>

[0089] 首先,在玻璃基板、硅基板、具有耐热性的塑料基板等绝缘基板 10a 的基板整体上,通过溅射法形成例如钼膜(厚度 150nm 程度)等。之后,对该钼膜进行通过使用第一光掩模的光刻实施的抗蚀剂的图案化、钼膜的湿式蚀刻和抗蚀剂的剥离以及清洗,由此,如图 3、图 6(a)、图 7(a) 所示,在绝缘基板 10a 上形成扫描配线 11a、栅极电极 11aa、栅极端子 19b、辅助电容配线 11b、中继配线 11c 和源极端子 15。

[0090] 另外,在本实施方式中,作为构成源极端子 15 等的金属膜,例示了单层构造的钼膜,但是,也可以由例如铝膜、钨膜、钽膜、铬膜、钛膜、铜膜等金属膜,或者它们的合金膜和金属氮化物的膜,形成 50nm ~ 300nm 厚度的栅极电极 11aa 等。

[0091] 另外,作为形成上述塑料基板的材料,例如能够使用聚对苯二甲酸乙二醇酯树脂、聚萘二甲酸乙二醇酯树脂、聚醚砜树脂、丙烯酸树脂和聚酰亚胺树脂。

[0092] <栅极绝缘膜形成工序>

[0093] 接着,在整个形成有扫描配线 11a、栅极电极 11aa、辅助电容配线 11b、中继配线 11c 和源极端子 15 的绝缘基板 10a 上,通过 CVD 法形成例如氮化硅膜(厚度 100nm ~ 600nm 程度),如图 6(b)、图 7(b) 所示,在绝缘基板 10a 上以覆盖栅极电极 11aa、辅助电容配线 11b、中继配线 11c 和源极端子 15 的方式形成栅极绝缘膜 12。

[0094] 另外,也可以构成为以两层的层叠构造形成栅极绝缘膜 12。在该情况下,除了上述氮化硅膜( $\text{SiN}_x$ )以外,能够使用例如氧化硅膜( $\text{SiO}_x$ )、氧化氮化硅膜( $\text{SiO}_x\text{N}_y$ ,  $x > y$ )、氮化氧化硅膜( $\text{SiN}_x\text{O}_y$ ,  $x > y$ )等。

[0095] 另外,从防止来自绝缘基板 10a 的杂质等扩散的观点考虑,优选构成为:使用氮化硅膜或氮氧化硅膜作为下层侧的栅极绝缘膜,并且,使用氧化硅膜或氧化氮化硅膜作为上层侧的栅极绝缘膜。例如能够构成为:作为下层侧的栅极绝缘膜,将  $\text{SiH}_4$  和  $\text{NH}_3$  作为反应气体形成膜厚 50nm ~ 300nm 的氮化硅膜,并且,作为上层侧的栅极绝缘膜,将  $\text{N}_2\text{O}$ 、 $\text{SiH}_4$  作为反应气体形成膜厚 50nm ~ 100nm 的氧化硅膜。

[0096] 另外,从利用低的成膜温度形成栅极漏电电流少的致密的栅极绝缘膜 12 的观点考虑,优选使反应气体中含有氩气等稀有气体并使之混入绝缘膜中。

[0097] <氧化物半导体层和第一端子罩形成工序>

[0098] 然后,通过溅射法,例如形成 IGZO 膜(厚度为 30nm ~ 150nm 程度)。之后,对该 IGZO 膜进行通过使用第二光掩模的光刻实施的抗蚀剂的图案化、IGZO 膜的湿式蚀刻和抗蚀剂的剥离以及清洗,由此,如图 6(b)、图 7(b) 所示,在栅极绝缘膜 12 上形成氧化物半导体层 13a 和第一端子罩 24。

[0099] <源极漏极形成工序>

[0100] 另外,在整个形成有氧化物半导体层 13a 的基板上通过溅射法按顺序形成例如钛膜(厚度 20nm ~ 150nm)和铝膜(厚度为 50nm ~ 400nm 程度)等。之后,进行通过使用第三光掩模的光刻实施的抗蚀剂的图案化、钛膜的湿式蚀刻,并且,对钛膜进行干式蚀刻(等离子体蚀刻)以及抗蚀剂的剥离和清洗,由此,如图 6(c) 所示,形成源极电极 16aa、漏极电极 16b、信号配线 16a(参照图 3)和辅助电容干线 16c(参照图 3),并且,使氧化物半导体层 13a 的沟道区域 C 露出。

[0101] 即,在本工序中,在由半导体层形成工序形成的氧化物半导体层 13a 上,通过蚀刻形成源极电极 16aa 和漏极电极 16b,使氧化物半导体层 13a 的沟道区域 C 露出。

[0102] 另外,在本实施方式中,在形成源极电极 16aa 和漏极电极 16b 时,通过进行过度蚀刻,如图 6(c)、图 7(c) 所示,减小氧化物半导体层 13a 的沟道区域 C 和第一端子罩 24 的厚度。

[0103] 另外,在本实施方式中,作为构成源极电极 16aa 和漏极电极 16b 的金属膜,例示了层叠构造的钛膜和铝膜,但是,也可以构成为例如利用铜膜、钨膜、钼膜、铬膜等金属膜、或者它们的合金膜和金属氮化物的膜,形成源极电极 16aa 和漏极电极 16b。

[0104] 另外,作为导电性材料,也可以构成为使用铟锡氧化物(ITO)、铟锌氧化物(IZO)、含有氧化硅的铟锡氧化物(ITSO)、氧化铟( $\text{In}_2\text{O}_3$ )、氧化锡( $\text{SnO}_2$ )、氧化锌(ZnO)、氮化钛(TiN)等具有透光性的材料。

[0105] 另外,作为蚀刻加工,也可以使用上述干式蚀刻或湿式蚀刻中任一种,但是,在处理大面积基板的情况下,优选使用干式蚀刻。作为蚀刻气体,能够使用 $\text{CF}_4$ 、 $\text{NF}_3$ 、 $\text{SF}_6$ 、 $\text{CHF}_3$ 等氟系气体、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{CCl}_4$ 等氯系气体、氧气等,也可以添加氩和氦等惰性气体。

[0106] <层间绝缘膜形成工序>

[0107] 接着,在整个形成有源极电极 16aa、漏极电极 16b(即, TFT5a) 和信号配线 16a 的基板上,通过等离子体 CVD 法,形成例如氮化硅膜、氧化硅膜、氮化氧化硅膜等,如图 6(d) 所示,将覆盖 TFT5a(即,覆盖氧化物半导体层 13a、源极电极 16aa 和漏极电极 16b) 的层间绝缘膜 17 形成为厚 300nm 程度。

[0108] 另外,层间绝缘膜 17 不仅限于单层构造,也可以是两层构造和三层构造。

[0109] <平坦化膜形成工序>

[0110] 接着,在整个形成有层间绝缘膜 17 的基板上,通过旋转涂敷法或狭缝涂敷法涂敷厚度为  $2.0\ \mu\text{m} \sim 4.0\ \mu\text{m}$  程度的包含感光性丙烯酸树脂等的感光性有机绝缘膜。而且,如图 6(e) 所示,通过由光刻实施的有机绝缘膜的图案化,在层间绝缘膜 17 的表面上形成图案化后的平坦化膜 18。

[0111] <接触孔形成工序>

[0112] 接着,将平坦化膜 18 作为掩模(第四光掩模),对栅极绝缘膜 12 和层间绝缘膜 17 进行干式蚀刻(等离子体蚀刻),由此,如图 3、图 6(f) 所示,在栅极绝缘膜 12 和层间绝缘膜 17 上形成到达漏极电极 16b 的接触孔 Ca,并且,形成到达中继配线 11c 和信号配线 16a 的接触孔 Cb。

[0113] 另外,在源极端子区域 Ts 中,将第一端子罩 24 作为掩模,对栅极绝缘膜 12 进行干式蚀刻(等离子体蚀刻),由此,如图 7(d) 所示,在栅极绝缘膜 12 形成到达源极端子 15 的接触孔 Ce。

[0114] 另外,这时,包含氧化物半导体的第一端子罩 24 因上述干式蚀刻(等离子体蚀刻)而导体化。

[0115] <像素电极形成和端子罩去除工序>

[0116] 接着,如图 6(f)、图 7(d) 所示,在整个形成有层间绝缘膜 17 和平坦化膜 18 的基板上,通过溅射法形成例如包含铟锡氧化物的 ITO 膜(厚度 50nm ~ 200nm 程度)等导电膜 36。

[0117] 之后,通过对该导电膜 36 进行通过使用第五光掩模的光刻实施的抗蚀剂的图案化、导电膜 36 的湿式蚀刻、抗蚀剂的剥离以及清洗,如图 3、图 4 所示,形成像素电极 19a、透明导电膜 27、连接用端子 21、26、连接用配线 22 和辅助电容端子 19d。

[0118] 这时,如图 4 所示,像素电极 19a 以覆盖接触孔 Ca 的表面的方式在层间绝缘膜 17 和平坦化膜 18 的表面上形成。另外,透明导电膜 27 以覆盖接触孔 Cb 的表面的方式,在栅极绝缘膜 12、层间绝缘膜 17 和平坦化膜 18 的表面形成,中继配线 11c 和信号配线 16a 通过透明导电膜 27 连接。

[0119] 另外,同样,在源极端子区域 Ts 中,在第一端子罩 24 上形成上述导电膜 36 之后,对该导电膜 36 进行通过使用第五光掩模的光刻实施的抗蚀剂的图案化、导电膜 36 的湿式蚀刻、抗蚀剂的剥离以及清洗,由此,如图 5 所示,在第一端子罩 24 上形成第二端子罩 23,且形成保护罩 19c,该保护罩 19c 包括形成于绝缘基板 10a 上的第一端子罩 24 和形成于第一端子罩 24 上的第二端子罩 23。

[0120] 这时,如图 7(d) 所示,在接触孔 Ce 的表面和源极端子 15 上也形成上述导电膜 36,第二端子罩 23 以覆盖接触孔 Ce 的表面的方式在栅极绝缘膜 12 的表面上形成,且源极端子 15 和保护罩 19c 通过第二端子罩 23 连接。

[0121] 另外,在将抗蚀剂作为掩模进行导电膜 36 的湿式蚀刻时,也同时进行第一端子罩 24 的蚀刻,如图 5 所示,去除在相邻的源极端子 15 间的区域 R 中存在的第二端子罩 23,由此在相邻的源极端子 15 间的区域 R 中,包含氧化物半导体的第一端子罩 24 被去除。

[0122] 因此,即使在形成第一端子罩 24 后,第一端子罩 24 因等离子体处理(在本实施方式中为上述等离子体蚀刻处理)而导体化的情况下,也能够防止以窄间距配置的源极端子 15 间发生漏电不良。

[0123] 另外,在本实施方式中,在进行导电膜 36 的湿式蚀刻时,也同时进行第一端子罩 24 的蚀刻,由此,如图 5 所示,在源极端子 15 间的区域 R 中,不仅去除第二端子罩 23,也去除第一端子罩 24,且源极端子 15 间的区域 R 侧的第一端子罩 24 的端面 24a 和源极端子 15 间的区域 R 侧的第二端子罩 23 的端面 23a 共面。因此,例如,即使在第一端子罩 24 因突出物等而破损的情况下,也能够避免因碎片而产生端子间漏电。

[0124] 另外,作为蚀刻第一端子罩 24 时的蚀刻液,没有特别的限定,只要能够去除构成第一端子罩 24 的氧化物半导体,从而可靠地去除第一端子罩 24 即可。

[0125] 例如,能够使用非晶质 ITO、IZO 的通常蚀刻液即含有硝酸的蚀刻液等能够蚀刻 ITO、IZO 的蚀刻液。

[0126] 另外,与上述第二端子罩 23 同样地,像素电极 19a 除了上述铟锡氧化物以外,也能够使用铟锌氧化物(IZO)、含有氧化硅的铟锡氧化物(ITSO)、含有氧化钨的铟氧化物、含有氧化钛的铟氧化物等。

[0127] 如上所述进行操作,能够制作图 4、图 5 所示的薄膜晶体管基板 20a。

[0128] <对置基板制作工序>

[0129] 首先,在整个玻璃基板等绝缘基板 10b 的基板上,通过旋转涂敷法或狭缝涂敷法涂敷例如着色为黑色的感光性树脂后,使该涂敷膜曝光和显影,由此,如图 8(a) 所示,形成厚度  $1.0\mu\text{m}$  左右的黑矩阵 31。

[0130] 接着,在整个形成有黑矩阵 31 的基板上,通过旋转涂敷法或狭缝涂敷法涂敷例如

着色为红色、绿色或蓝色的感光性树脂后,使该涂敷膜曝光和显影,由此,如图 8(a) 所示,形成厚度  $2.0\ \mu\text{m}$  程度的所选择的颜色的着色层 32(例如,红色层)。而且,对于其它两种颜色也重复同样的工序,形成厚度  $2.0\ \mu\text{m}$  左右的其它两种颜色的着色层 32(例如,绿色层和蓝色层)。

[0131] 另外,在形成有各色着色层 32 的基板上,通过溅射法层叠例如 ITO 膜等透明导电膜,由此,如图 8(b) 所示,形成厚度  $50\text{nm} \sim 200\text{nm}$  程度的共用电极 33。

[0132] 最后,在整个形成有共用电极 33 的基板上,通过旋转涂敷法或狭缝涂敷法涂敷感光性树脂后,使该涂敷膜曝光和显影,由此,如图 8(c) 所示,形成厚度  $4\ \mu\text{m}$  程度的感光间隔物 34。

[0133] 如上所述进行操作,能够制作对置基板 30。

[0134] < 液晶注入工序 >

[0135] 首先,向在上述薄膜晶体管基板制作工序中制作的薄膜晶体管基板 20a 和在上述对置基板制作工序中制作的对置基板 30 的各表面,通过印刷法涂敷聚酰亚胺的树脂膜后,通过对该涂敷膜进行烧制和摩擦处理,形成取向膜。

[0136] 接着,在例如形成有上述取向膜的对置基板 30 的表面,将由 UV(ultraviolet) 固化和热固化并用型树脂等构成的密封件印刷成框状后,向密封件的内侧滴下液晶材料。

[0137] 进一步,将滴有上述液晶材料的对置基板 30 和形成有上述取向膜的薄膜晶体管基板 20a 在减压下粘合后,将该粘合后的粘合体暴露在大气压下,由此,对该粘合体的表面和背面进行加压。

[0138] 而且,在对被上述粘合体挟持的密封件照射 UV 光后,通过加热该粘合体使密封件固化。

[0139] 最后,例如通过切割将使上述密封件固化后的粘合体切断,去除不需要的部分。

[0140] 如上所述进行操作,能够制造本实施方式的液晶显示装置 50。

[0141] 在本实施方式中,在薄膜晶体管基板 20 的制造工序中,在栅极电极形成工序中使用第一光掩模,在氧化物半导体层和第一端子罩形成工序中使用第二光掩模,在源极漏极形成工序中使用第三光掩模,在接触孔形成工序中使用第四光掩模,在像素电极形成和端子罩去除工序中使用第五光掩模,使用共计五个光掩模来制造。因此,与现有的五个掩模工艺相比,能够以窄间距配置,防止包含氧化物半导体的源极端子 15 间的漏电不良的发生,而不会增加光掩模的个数。

[0142] 根据以上说明的本实施方式,能够获得以下的效果。

[0143] (1) 在本实施方式中,包括以覆盖各个源极端子 15 的一部分的方式设置且包含氧化物半导体的第一端子罩 24。另外,在相邻的源极端子 15 间的区域 R 中,第一端子罩 24 被去除。因此,在薄膜晶体管基板 20a 的制造工序中,即使在包含氧化物半导体的第一端子罩 24 因等离子体蚀刻等等离子体处理而导体化的情况下,由于在相邻的源极端子 15 间的区域 R 中,第一端子罩 24 被去除,所以即使在以窄间距配置多个源极端子 15 的情况下,也能够防止源极端子 15 间发生漏电不良,能够维持源极端子 15 间的绝缘性。

[0144] (2) 在本实施方式中,将源极端子 15 间的间距 P 设定为  $5 \sim 30\ \mu\text{m}$ 。因此,由于能够以窄间距配置多个源极端子 15,所以能够提供能够与液晶显示装置 50 的小型化、轻量化对应的薄膜晶体管基板 20a。

[0145] (第二实施方式)

[0146] 接着,对本发明的第二实施方式进行说明。图9是本发明的第二实施方式的薄膜晶体管基板的剖视图,是与上述图4相当的图。另外,在本实施方式中,对与上述第一实施方式同样的构成部分标注同一附图标记,省略其说明。另外,关于液晶显示装置的整体,与在上述第一实施方式中说明的同样,因此,在此省略详细的说明。

[0147] 本实施方式的特征在于:在制造薄膜晶体管基板20a时,如后述的图11所示,在第一端子罩24上设置用于保护第一端子罩24的端子罩保护层29。

[0148] 根据这种结构,在源极漏极形成工序中,通过干式蚀刻进行图案化,在形成源极电极16aa、漏极电极16b时,能够有效地抑制等离子体对第一端子罩24的损伤,能够有效地抑制成为沟道层的第一端子罩24的沟道部的漏电。

[0149] 下面,使用图10、图11对本实施方式的液晶显示装置的制造方法的一个例子进行说明。图10是用剖面表示本发明的第二实施方式的薄膜晶体管基板的制造工序的说明图,图11是用剖面表示本发明的第二实施方式的薄膜晶体管基板的端子的制造工序的说明图。

[0150] 首先,在TFT和薄膜晶体管基板制作工序中,与在上述第一实施方式中说明的图6(a)、(b)和图7(a)、(b)同样,进行源极端子形成工序、栅极绝缘膜形成工序以及氧化物半导体层和第一端子罩形成工序。

[0151] <端子罩保护层形成工序>

[0152] 接着,在整个形成有氧化物半导体层13a的基板通过等离子CVD法形成例如氮化硅膜、氧化硅膜、氮化氧化硅膜等。之后,进行通过使用第六光掩模的光刻实施的抗蚀剂的图案化、对氮化硅膜等进行的湿式蚀刻、抗蚀剂的剥离以及清洗,如图10(a)所示,在氧化物半导体层13a的沟道区域C,形成厚度50~200nm程度的用于保护沟道区域C的沟道保护层(蚀刻阻挡层)28。

[0153] 另外,这时,如图11所示,在源极端子区域Ts中,在整个形成有第一端子罩24的基板上,通过等离子CVD法形成例如氮化硅膜等。之后,进行通过使用第六光掩模的光刻实施的抗蚀剂的图案化、对氮化硅膜等进行的湿式蚀刻、抗蚀剂的剥离以及清洗,由此,在第一端子罩24上形成厚度50~200nm程度的用于保护第一端子罩24的端子罩保护层(蚀刻阻挡层)29。

[0154] 接着,与在上述第一实施方式中记载的图6(c)、图7(c)中所说明的源极漏极形成工序同样,如图10(b)所示,形成源极电极16aa和漏极电极16b。

[0155] 这样一来,在本实施方式中,在第一端子罩24上设置有用于保护该第一端子罩24的端子罩保护层29,因此,在源极漏极形成工序中,在通过干式蚀刻进行图案化,形成源极电极16aa、漏极电极16b时,能够有效地抑制等离子对第一端子罩24的损伤。其结果,能够有效地抑制第一端子罩24的沟道部的漏电。

[0156] 另外,在氧化物半导体层13a的沟道区域C中,设置有用于保护该沟道区域C的沟道保护层(蚀刻阻挡层)28,因此,在源极漏极形成工序中,通过蚀刻进行图案化从而形成源极电极16aa、漏极电极16b时,能够进行保护使得不蚀刻氧化物半导体层13a的沟道区域C。

[0157] 接着,在去除了形成于第一端子罩24上的端子罩保护层29后,与在上述第一实施

方式中说明的图 6(d) ~ (f)、图 7(d) 同样,进行层间绝缘膜形成工序、平坦化膜形成工序、接触孔形成工序、像素电极形成和端子罩去除工序,由此,能够制作图 5、图 9 所示的薄膜晶体管基板 20a。

[0158] 而且,通过进行在上述第一实施方式中说明的对置基板制作工序和液晶注入工序,能够制造本实施方式的液晶显示装置 50。

[0159] 根据以上说明的本实施方式,在上述 (1) ~ (2) 的效果的基础上,能够获得以下的效果。

[0160] (3) 在本实施方式中,在第一端子罩 24 上设置有用于保护第一端子罩 24 的端子罩保护层 29。因此,在源极漏极形成工序中,在通过干式蚀刻进行图案化从而形成源极电极 16aa、漏极电极 16b 时,能够有效地抑制等离子体对第一端子罩 24 的损伤。其结果是,能够有效地抑制第一端子罩 24 的沟道部的漏电。

[0161] (4) 在本实施方式中,在氧化物半导体层 13a 的沟道区域 C 设置有保护沟道区域 C 的沟道保护层 28。因此,在形成源极电极 16aa 和漏极电极 16b 的工序中,在通过蚀刻进行图案化从而形成源极电极 16aa、漏极电极 16b 时,能够进行保护使得不蚀刻氧化物半导体层 13a 的沟道区域 C。

[0162] 另外,上述实施方式也可以进行如下的变更。

[0163] 在上述实施方式中,在相邻的源极端子 15 间的区域 R 中,第一端子罩 24 被去除,自不必说对于源极端子 15 以外的任一端子,也能够适用本发明。

[0164] 例如,将上述辅助电容端子 19d、栅极端子 19b 和连接用端子 21、26 与源极端子 15 同样地以空间距 (5 ~ 30  $\mu\text{m}$ ) 排列,以覆盖这些端子各自的一部分的方式设置包含氧化物半导体的端子罩,通过在相邻的端子间的区域去除端子罩,能够适用本发明。

[0165] 另外,在上述实施方式中,作为氧化物半导体层 13a 使用了包含铟镓锌氧化物 (IGZO) 等氧化物半导体的氧化物半导体层,但氧化物半导体层 13a 不限于此,也可以使用包含含有铟 (In)、镓 (Ga)、铝 (Al)、铜 (Cu)、镍 (Ni)、铪 (Hf) 和锌 (Zn) 中的至少一种的金属氧化物的材料。

[0166] 由这些材料构成的氧化物半导体层 13a 即使是非晶质的,迁移率也高,因此,能够增大开关元件的导通电阻。因此,数据读出时的输出电压差变大,能够使 S/N 比提高。例如,除了 IGZO (In-Ga-Zn-O) 之外,还能够很好地使用  $\text{InGaO}_3(\text{ZnO})_5$ 、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{CdO}$  等。另外,能够很好地使用 ISZO (In-Si-Zn-O)、IAZO (In-Al-Zn-O)、INiZO (In-Ni-Zn-O)、ICuZO (In-Cu-Zn-O)、IHfZO (In-Hf-Zn-O)、IZO (In-Zn-O) 等。

[0167] 另外,在上述本实施方式中,作为显示装置以液晶显示装置为例进行了说明,但是,显示装置也可以是有机 EL (organic electroluminescence)、电泳 (electrophoretic)、PD (plasma display; 等离子显示器)、PALC (Plasma addressed liquid crystal display; 等离子体地址液晶显示器)、无机 EL (inorganic electroluminescence)、FED (field emission display; 场发射显示器)、或 SED (surface-conduction electron-emitter display; 表面传导电子发射显示器) 等显示装置。

[0168] 例如,在图 12、图 13 所示的有机 EL 显示装置 60 中,能够使用本发明。该有机 EL 显示装置 60 包括基体层 72,该基体层 72 为由被在室温下蒸镀的无色透明的树脂膜形成的薄膜状的绝缘基板。作为构成基体层 72 的无色透明的树脂膜,例如,能够使用聚对二甲苯

系树脂或丙烯酸系树脂等有机材料。该基体层 2 的厚度能够为例如  $3 \sim 10 \mu\text{m}$ 。

[0169] 另外,有机 EL 显示装置 60 包括:形成于基体层 72 上的 TFT74;以覆盖 TFT74 的方式设置的  $\text{SiO}_2$  膜和  $\text{SiN}$  膜等层间绝缘膜 75;包含贯通层间绝缘膜 75 与 TFT74 电连接的金属配线 76 的显示装置用基板 83。金属配线 76 进一步在层间绝缘膜 75 上延长,构成有机 EL 显示元件 71 的第一电极 77。另外,在层间绝缘膜 75 上形成划分各像素(区域)80 的绝缘膜(或堤岸)79。

[0170] 另外,如图 12 所示,有机 EL 显示装置 60 包括例如由多个像素等构成的显示区域 62 和设置于显示区域 62 的周边的周边电路区域 63。另外,在周边电路区域 63 规定有设置有驱动器的驱动电路区域 64 和设置有从显示区域 62 引出的多个端子的端子区域 65。

[0171] 而且,在端子区域 65 中,与在上述图 2、图 3、图 5 中说明的设置于源极端子区域 Ts 的源极端子 15 同样,在作为绝缘基板的基体层 72 上,以窄间距( $5 \sim 30 \mu\text{m}$ )排列从显示区域 62 引出的多个端子。而且,以覆盖这些端子各自的一部分的方式设置包含氧化物半导体的端子罩,在相邻的端子间的区域去除端子罩,由此,即使在有机 EL 显示装置 60 中也能够使用本发明。

[0172] 有机 EL 显示装置 60 为从第一电极 77 侧取出发光的底部发射型,从提高发光的取出效率的观点考虑,优选第一电极 77 包含例如  $\text{ITO}$  和  $\text{SnO}_2$  等具有高的功函数且光透过率高的材料的薄膜。

[0173] 在第一电极 77 上形成有有机 EL 层 78。有机 EL 层 78 包含空穴输送层和发光层。空穴输送层没有任何限定,只要空穴注入效率良好即可。作为空穴输送层的材料,例如,能够使用三苯胺衍生物、聚对亚苯基亚乙烯基(PPV)衍生物、聚芴衍生物等有机材料等。

[0174] 发光层没有特别的限定,例如可以使用 8-羟基喹啉(8-Hydroxyquinolinol)衍生物、噻唑衍生物、苯并恶唑衍生物等。另外,也可以组合这些材料中的两种以上,也可以组合掺杂剂材料等添加剂。

[0175] 另外,将有机 EL 层 78 制成了空穴输送层和发光层两层构造,但是,不局限于这种结构。即,有机 EL 层 78 也可以是仅包含发光层的单层构造。另外,也可以由空穴输送层、空穴注入层、电子注入层和电子输送层中的 1 层或 2 层以上以及发光层构成有机 EL 层 78。

[0176] 另外,在有机 EL 层 78 和绝缘膜 79 上形成有第二电极 81。第二电极 81 具有向有机 EL 层 78 注入电子的功能。第二电极 81 能够包含例如  $\text{Mg}$ 、 $\text{Li}$ 、 $\text{Ca}$ 、 $\text{Ag}$ 、 $\text{Al}$ 、 $\text{In}$ 、 $\text{Ce}$  或  $\text{Cu}$  等薄膜,但不仅限于这些。

[0177] 而且,通过第一电极 77、形成于第一电极 77 上并且具有发光层的有机 EL 层 78、形成于有机 EL 层 78 上的第二电极 81,构成形成于显示装置用基板 83 上的有机 EL 显示元件 71。

[0178] 另外,在有机 EL 显示装置 60 中,第一电极 77 具有向有机 EL 层 78 注入空穴的功能,另外,第二电极 81 具有向有机 EL 层 78 注入电子的功能。而且从第一电极 77、第二电极 81 分别注入的空穴和电子在有机 EL 层 78 上再结合,由此有机 EL 层 78 发光。另外,作为基板的基体层 72 和第一电极 77 为光透过性,第二电极 81 为光反射性,发出的光透过第一电极 77 和基体层 72 而从有机 EL 层 78 被取出(底部发射方式)。

[0179] 另外,在第二电极 81 上形成有包含丙烯酸树脂和聚对二甲苯树脂等的平坦化膜 82。另外,平坦化膜 82 的厚度可以设定为例如  $3 \sim 8 \mu\text{m}$ 。



[0180] 另外, TFT74 与在上述实施方式中说明的 TFT5a 同样, 为使用氧化物半导体层的 TFT, 将氧化物半导体作为沟道。这样, 有机 EL 显示装置 60 构成为: 在作为薄膜状的基板的基体层 72 上形成有作为像素 80 的开关元件的 TFT74 和有机 EL 显示元件 71。

[0181] 工业上的可利用性

[0182] 作为本发明的活用例, 能够举出使用了氧化物半导体的半导体层的基板及其制造方法、显示装置。

[0183] 附图标记说明:

[0184] 5a 薄膜晶体管

[0185] 9 集成电路芯片 (电子零件)

[0186] 10a 绝缘基板

[0187] 11aa 栅极电极

[0188] 12 栅极绝缘膜

[0189] 13a 氧化物半导体层

[0190] 15 源极端子 (端子)

[0191] 16aa 源极电极

[0192] 16b 漏极电极

[0193] 17 层间绝缘膜

[0194] 18 平坦化膜

[0195] 19a 像素电极

[0196] 19c 保护罩

[0197] 20a 薄膜晶体管基板 (基板)

[0198] 23 第二端子罩 (另一端子罩)

[0199] 24 第一端子罩 (端子罩)

[0200] 28 沟道保护层

[0201] 29 端子罩保护层

[0202] 30 对置基板 (另一基板)

[0203] 36 导电膜

[0204] 40 液晶层 (显示介质层)

[0205] 50 液晶显示装置

[0206] 60 有机 EL 显示装置

[0207] 71 有机 EL 显示元件 (显示元件)

[0208] 72 基体层 (绝缘基板)

[0209] 83 显示装置用基板 (基板)

[0210] D 显示区域

[0211] P 间距

[0212] R 源极端子间的区域 (端子间的区域)

[0213] T 端子区域

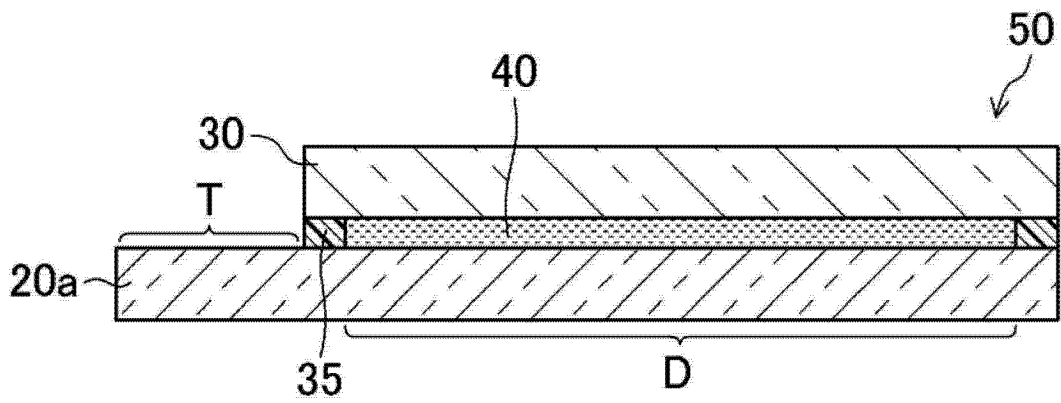


图 1

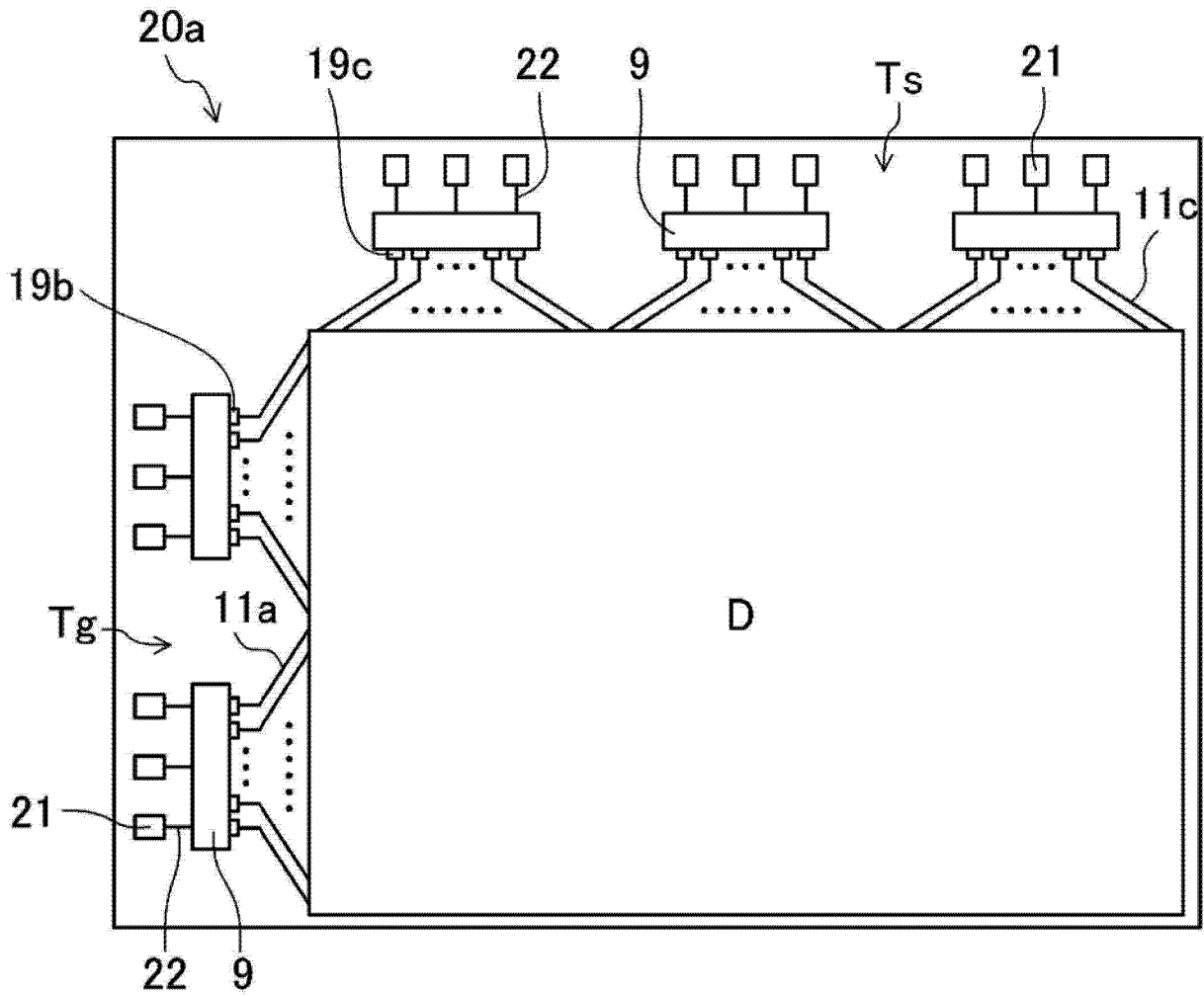


图 2

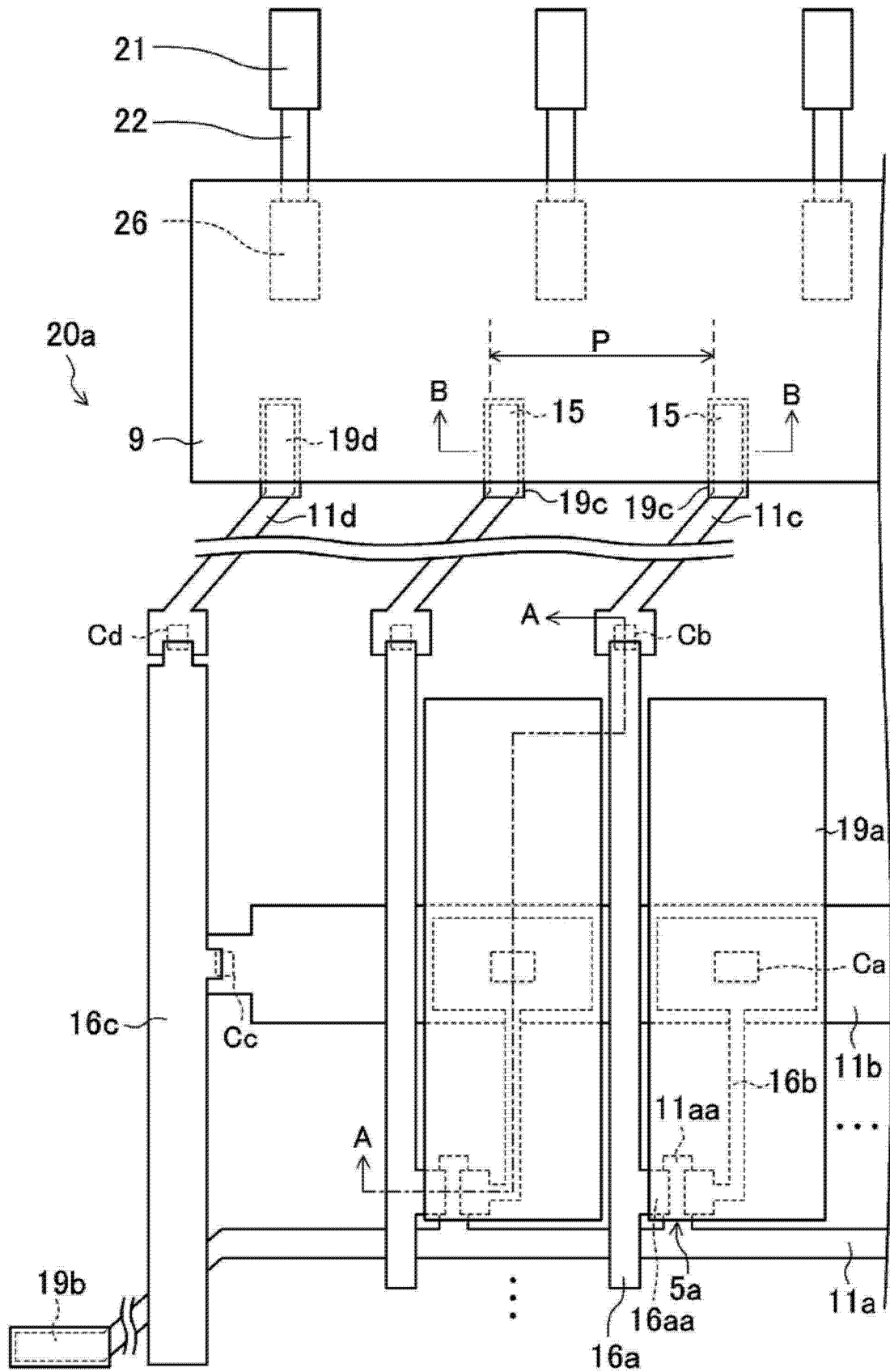


图 3

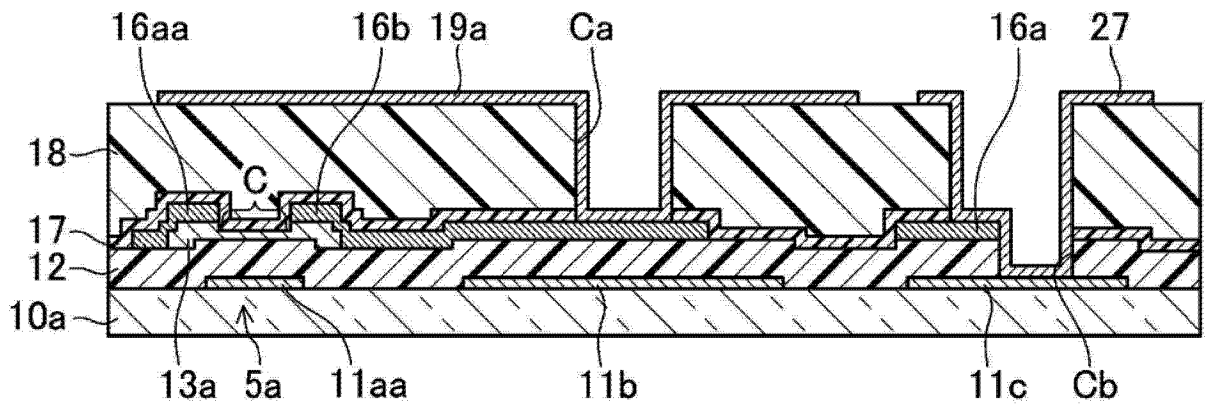


图 4

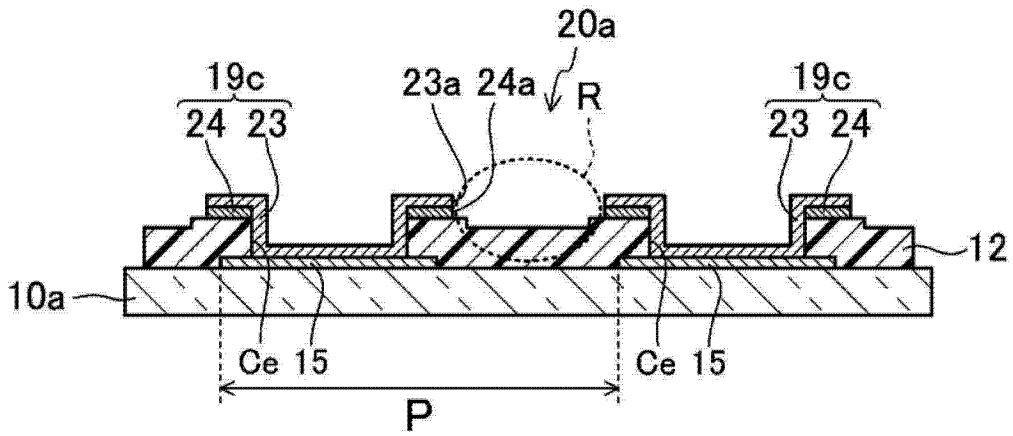


图 5

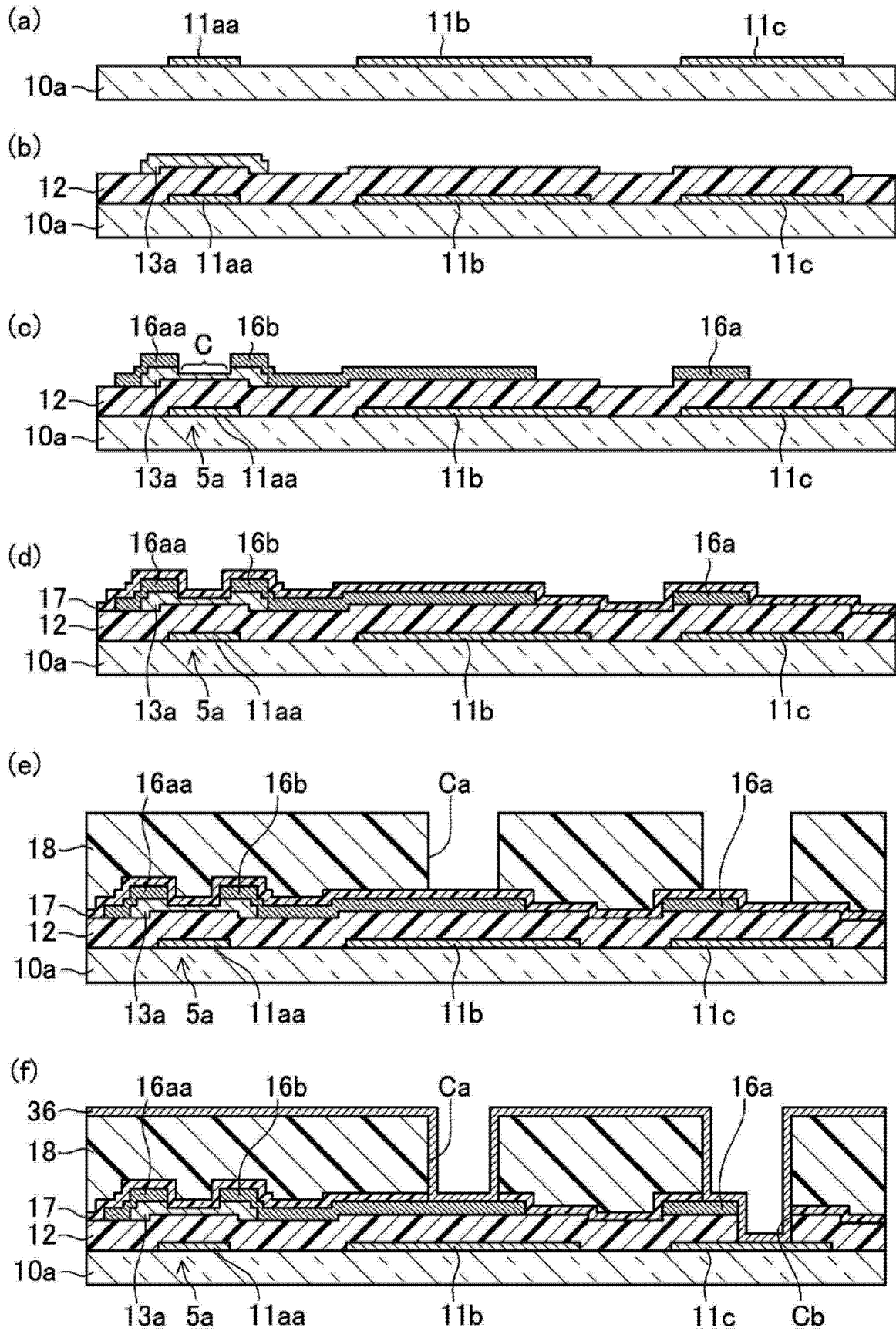


图 6

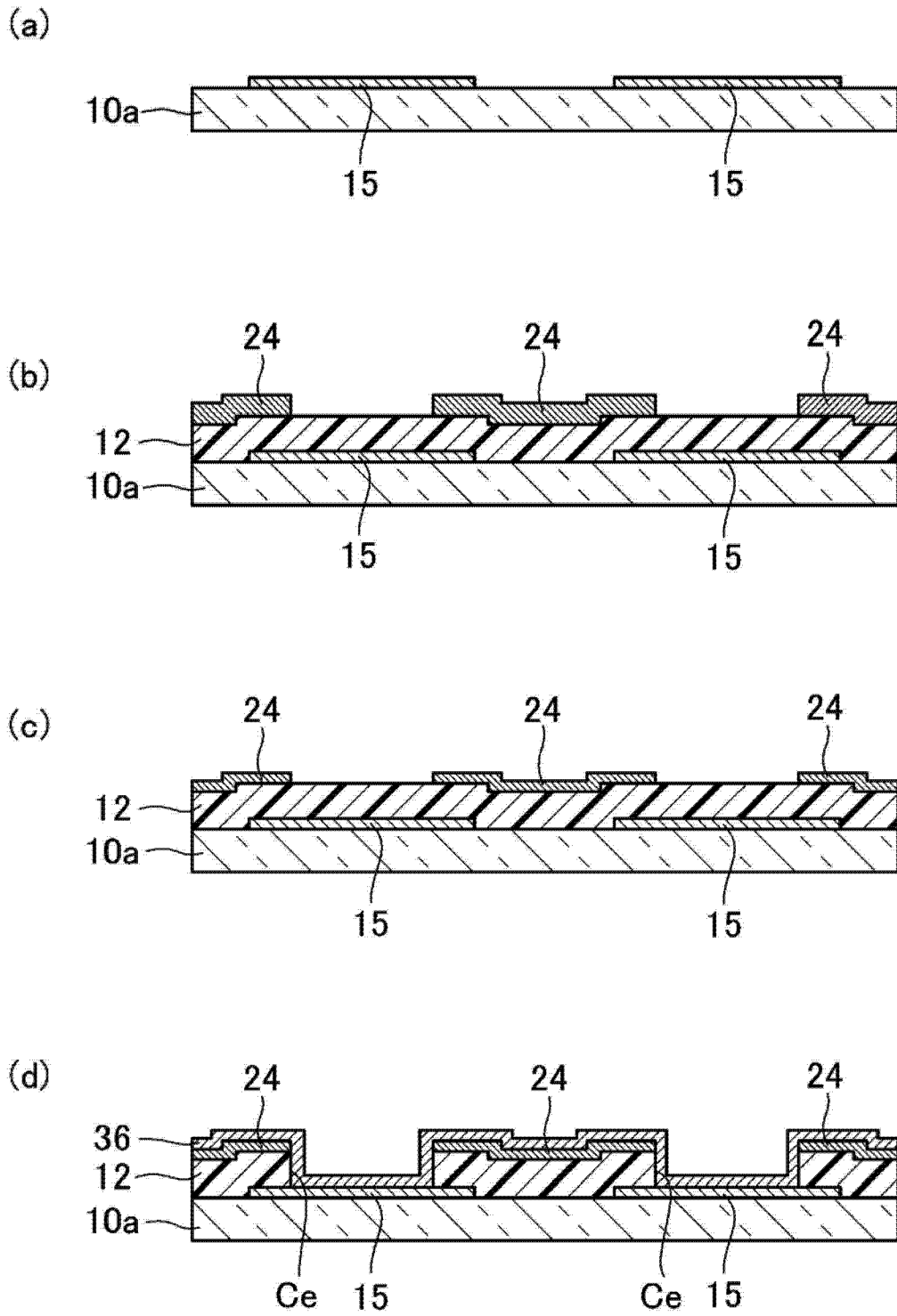


图 7

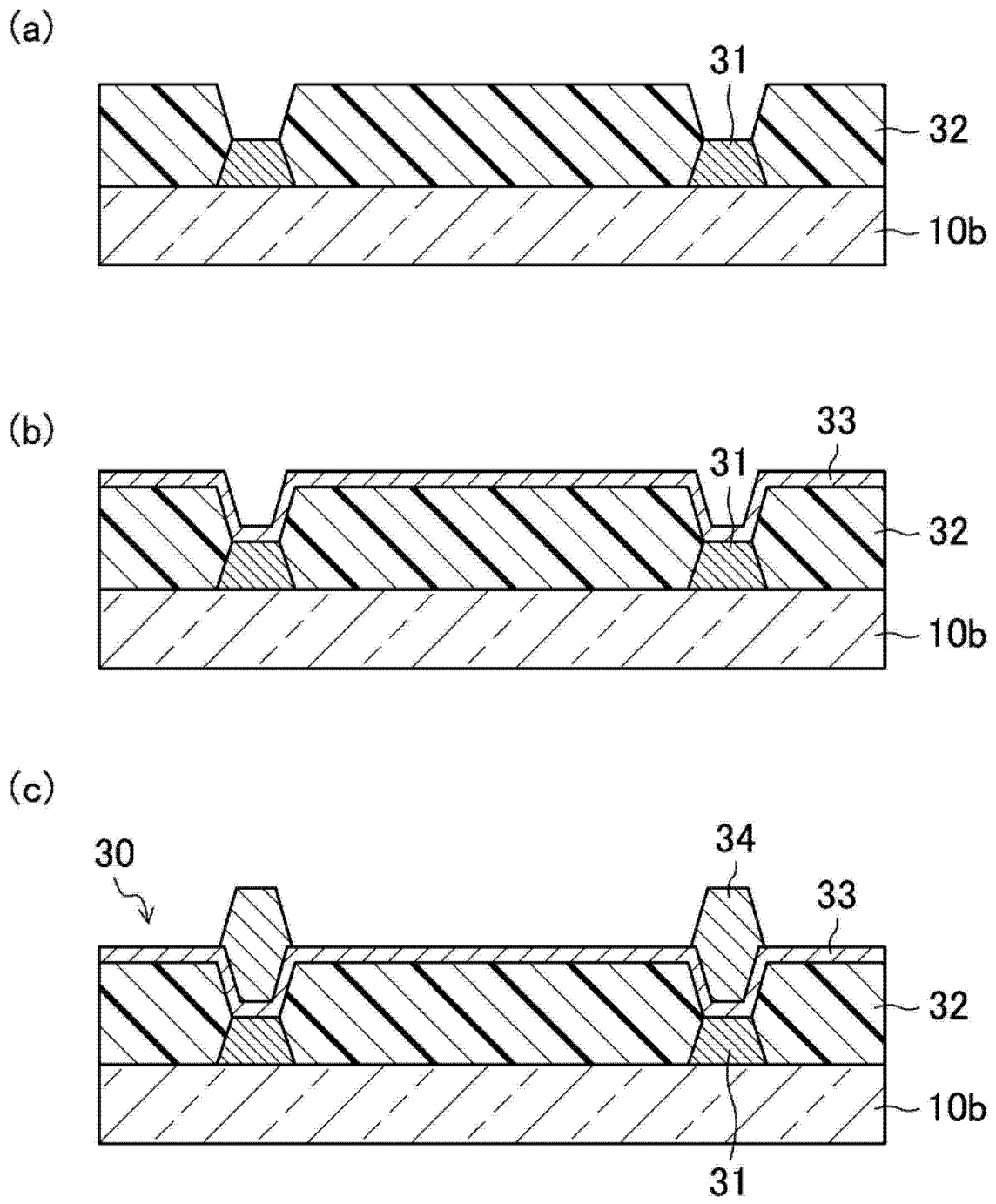


图 8

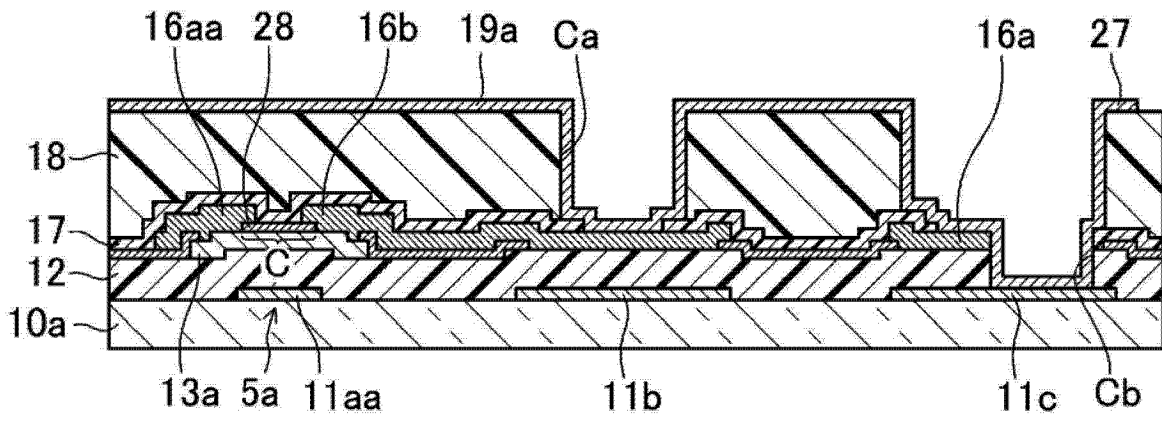


图 9

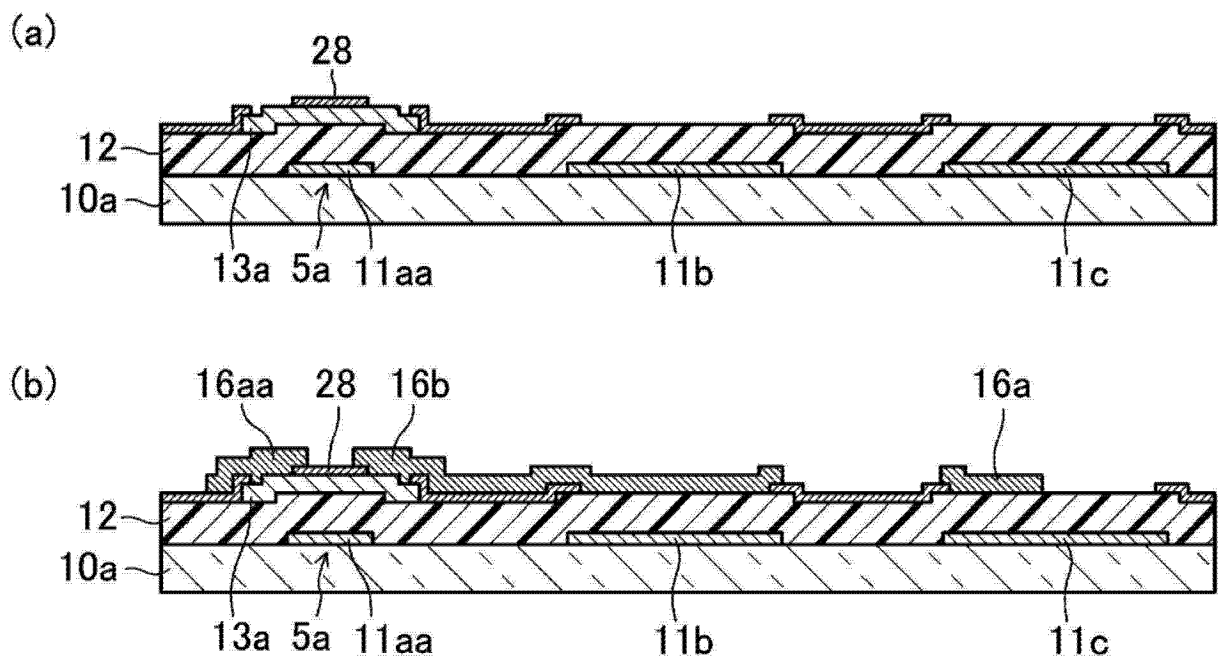


图 10

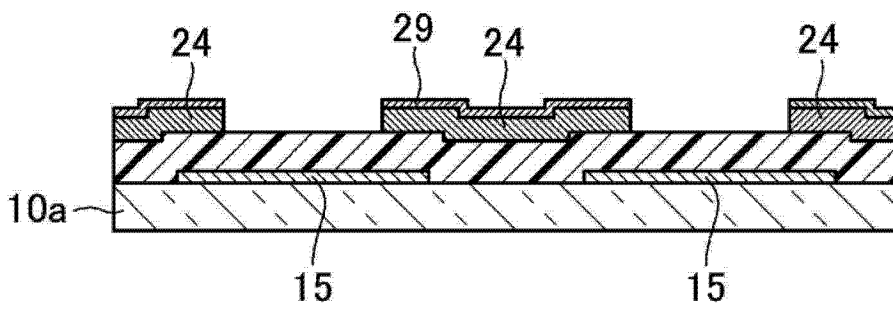


图 11



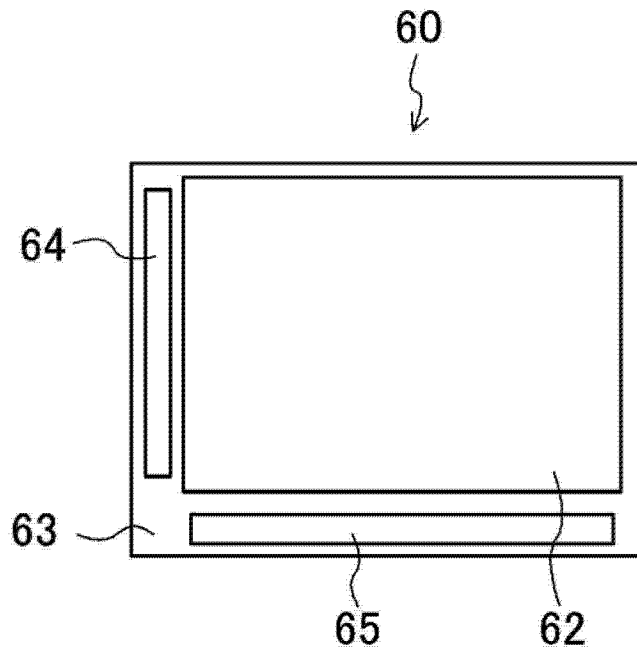


图 12

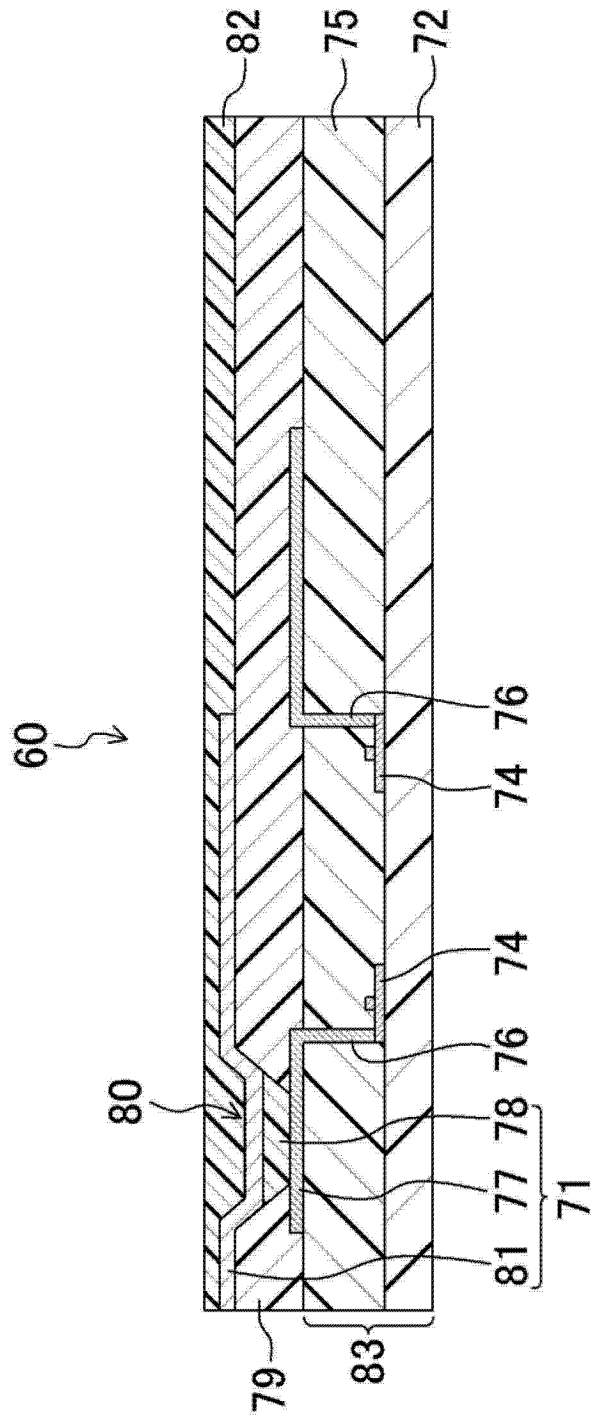


图 13