



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년01월02일  
(11) 등록번호 10-1217778  
(24) 등록일자 2012년12월26일

(51) 국제특허분류(Int. Cl.)  
H01L 21/027 (2006.01)  
(21) 출원번호 10-2011-7021227(분할)  
(22) 출원일자(국제) 2008년06월06일  
심사청구일자 2011년09월09일  
(85) 번역문제출일자 2011년09월09일  
(65) 공개번호 10-2011-0117226  
(43) 공개일자 2011년10월26일  
(62) 원출원 특허 10-2009-7005569  
원출원일자(국제) 2008년06월06일  
심사청구일자 2009년03월18일  
(86) 국제출원번호 PCT/JP2008/060482  
(87) 국제공개번호 WO 2008/149988  
국제공개일자 2008년12월11일  
(30) 우선권주장 JP-P-2007-153184 2007년06월08일 일본(JP)  
(56) 선행기술조사문헌  
KR1020050028781 A\*  
KR100206597 B1\*  
KR1020070003336 A\*  
김용권. “배치식 중형 ALD장치의 현황 및 전망”.  
세라미스트. 2006.08. 제9권 제4호 pp.45-51  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
도쿄엘렉트론가부시키키가이샤  
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고  
(72) 발명자  
나카지마 시게루  
일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 도호쿠 가부시키키가이샤 내  
하세베 카즈히데  
일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 도호쿠 가부시키키가이샤 내  
(74) 대리인  
특허법인엠에이피에스  
(뒷면에 계속)

전체 청구항 수 : 총 28 항

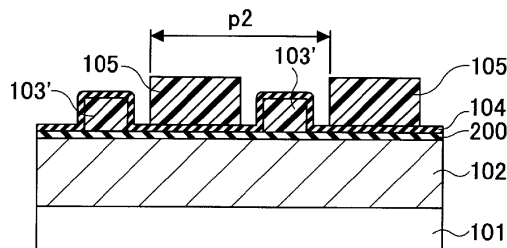
심사관 : 박성호

(54) 발명의 명칭 **패터닝 방법**

**(57) 요약**

개시되는 패터닝 방법은, 기판 상에 제 1 막을 형성하는 공정과, 제 1 막 상에 제 1 레지스트막을 형성하는 공정과, 제 1 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 1 레지스트 패턴으로 가공하는 공정과, 유기 실리콘을 포함하는 제 1 가스와, 활성화된 산소종을 포함하는 제 2 가스를 해당 기판으로 교대로 공급하여, 제 1 레지스트 패턴 및 제 1 막 상에 실리콘 산화막을 형성하는 공정과, 실리콘 산화막 상에 제 2 레지스트막을 형성하는 공정과, 제 2 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 2 레지스트 패턴으로 가공하는 공정과, 제 1 레지스트 패턴 및 제 2 레지스트 패턴을 마스크로 이용하여 제 1 막을 가공하는 공정을 구비한다.

**대표도** - 도5



(72) 발명자

**초우 파오화**

일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 토호쿠 가부시키키가이샤 내

**이와시타 미츠아키**

일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 큐슈 가부시키키가이샤 내

**나이노 레이지**

일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 가부시키키가이샤 내

**특허청구의 범위**

**청구항 1**

기판 상에 제 1 막을 형성하는 공정과,

상기 제 1 막 상에 제 1 레지스트막을 형성하는 공정과,

상기 제 1 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 1 레지스트 패턴으로 가공하는 공정과,

유기 실리콘을 포함하는 제 1 가스를 공급한 후, 잔류 가스를 배출하고, 활성화된 산소종을 포함하는 제 2 가스를 상기 기판으로 공급하는 공정을 반복하여 실시함으로써, 상기 제 1 레지스트 패턴 및 상기 제 1 막 상에 실리콘 산화막을 형성하는 공정과,

상기 실리콘 산화막 상에 제 2 레지스트막을 형성하는 공정과,

상기 제 2 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 2 레지스트 패턴으로 가공하는 공정과,

상기 제 1 레지스트 패턴 및 상기 제 2 레지스트 패턴을 마스크로 이용하여 상기 제 1 막을 가공하는 공정

을 구비하며,

상기 실리콘 산화막을 형성할 때의 성막 온도가 실온 이상, 100℃ 이하이고,

상기 활성화된 산소종은 산소 함유 가스를 플라즈마화함으로써 생성되는 패터닝 방법.

**청구항 2**

제 1 항에 있어서,

상기 제 1 레지스트막을 상기 제 1 레지스트 패턴으로 가공하는 공정 후에, 상기 제 1 레지스트 패턴을 트리밍하는 공정과,

상기 제 2 레지스트막을 상기 제 2 레지스트 패턴으로 가공하는 공정 후에, 상기 제 2 레지스트 패턴을 트리밍하는 공정

을 더 구비하는 패터닝 방법.

**청구항 3**

제 2 항에 있어서,

상기 제 1 레지스트 패턴을 트리밍하는 공정과, 상기 실리콘 산화막을 형성하는 공정이 동일한 성막 장치 내에서 행해지는 패터닝 방법.

**청구항 4**

제 2 항에 있어서,

상기 제 1 레지스트 패턴을 트리밍하는 공정과, 상기 제 2 레지스트 패턴을 트리밍하는 공정 중 적어도 하나에서, 산소 함유 가스 플라즈마 및 오존 가스 중 어느 하나를 이용하여 레지스트 패턴을 트리밍하는 패터닝 방법.

**청구항 5**

제 1 항에 있어서,

상기 유기 실리콘이 아미노실란인 패터닝 방법.

**청구항 6**

제 5 항에 있어서,

상기 아미노실란이 1 가 또는 2 개의 아미노실란인 패터닝 방법.

**청구항 7**

제 6 항에 있어서,  
 상기 1 가 또는 2 개의 아미노실란이,  
 BTBAS(비스터셔리부틸아미노실란),  
 BDMAS(비스디메틸아미노실란),  
 BDEAS(비스디에틸아미노실란),  
 DMAS(디메틸아미노실란),  
 DEAS(디에틸아미노실란),  
 DPAS(디프로필아미노실란),  
 BAS(부틸아미노실란),  
 DIPAS(디이소프로필아미노실란) 및  
 BEMAS(비스에틸메틸아미노실란)으로부터 선택된 적어도 하나인 패터닝 방법.

**청구항 8**

삭제

**청구항 9**

제 1 항에 있어서,  
 상기 산소 함유 가스 플라즈마는, O<sub>2</sub> 가스, NO 가스, N<sub>2</sub>O 가스, H<sub>2</sub>O 가스, O<sub>3</sub> 가스 중 적어도 하나인 패터닝 방법.

**청구항 10**

제 1 항에 있어서,  
 상기 실리콘 산화막은 진공 유지 가능한 처리 용기 내에서 형성되고, 상기 제 1 가스를 상기 처리 용기 내로 공급하는 공정과, 상기 제 2 가스를 상기 처리 용기 내로 공급하는 공정을 교대로 실시하여 형성하는 패터닝 방법.

**청구항 11**

제 10 항에 있어서,  
 상기 제 1 가스를 상기 처리 용기 내로 공급하는 공정과, 상기 제 2 가스를 상기 처리 용기 내로 공급하는 공정의 사이에, 상기 처리 용기 내에 잔류하고 있는 가스를 배출하는 공정을 더 구비하는 패터닝 방법.

**청구항 12**

제 11 항에 있어서,  
 상기 처리 용기 내에 잔류하고 있는 가스를 배출하는 공정에서, 상기 처리 용기 내가 진공 배기되면서 상기 처리 용기 내로 퍼지 가스가 도입되는 패터닝 방법.

**청구항 13**

제 1 항에 있어서,  
 상기 실리콘 산화막을 형성할 때의 성막 온도가 상기 레지스트막의 내열 온도 이하인 패터닝 방법.

**청구항 14**

제 1 항에 있어서,  
 상기 실리콘 산화막을 형성할 때의 성막 온도가 실온인 것인 패터닝 방법.

**청구항 15**

기관 상에 제 1 막을 형성하는 공정과,  
 상기 제 1 막 상에, 상기 제 1 막과는 다른 재료로 구성되는 하드마스크막을 형성하는 공정과,  
 상기 하드마스크막 상에 제 1 레지스트막을 형성하는 공정과,  
 상기 제 1 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 1 레지스트 패턴으로 가공하는 공정과,  
 유기 실리콘을 포함하는 제 1 가스를 공급한 후, 잔류 가스를 배출하고, 활성화된 산소종을 포함하는 제 2 가스를 상기 기관으로 공급하는 공정을 반복하여 실시함으로써, 상기 제 1 레지스트 패턴 및 상기 하드마스크막 상에 실리콘 산화막을 형성하는 공정과,  
 상기 실리콘 산화막 상에 제 2 레지스트막을 형성하는 공정과,  
 상기 제 2 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 2 레지스트 패턴으로 가공하는 공정과,  
 상기 제 1 레지스트 패턴 및 상기 제 2 레지스트 패턴을 마스크로 이용하여, 상기 하드마스크막을 가공하는 공정을 구비하며,  
 상기 실리콘 산화막을 형성할 때의 성막 온도가 실온 이상, 100℃ 이하이고,  
 상기 활성화된 산소종은 산소 함유 가스를 플라즈마화함으로써 생성되는 패터닝 방법.

**청구항 16**

제 15 항에 있어서,  
 상기 제 1 레지스트막을 형성하는 공정 전에, 상기 하드마스크막 상에 제 1 반사 방지막을 형성하는 공정을 더 구비하는 패터닝 방법.

**청구항 17**

제 15 항에 있어서,  
 상기 제 2 레지스트막을 형성하는 공정 전에, 상기 실리콘 산화막 상에 제 2 반사 방지막을 형성하는 공정을 더 구비하는 패터닝 방법.

**청구항 18**

제 15 항에 있어서,  
 상기 제 1 레지스트막을 상기 제 1 레지스트 패턴으로 가공하는 공정 후에, 상기 제 1 레지스트 패턴을 트리밍하는 공정과,  
 상기 제 2 레지스트막을 상기 제 2 레지스트 패턴으로 가공하는 공정 후에, 상기 제 2 레지스트 패턴을 트리밍하는 공정을 더 구비하는 패터닝 방법.

**청구항 19**

제 18 항에 있어서,

상기 제 1 레지스트 패턴을 트리밍하는 공정과, 상기 실리콘 산화막을 형성하는 공정이 동일한 성막 장치 내에서 행해지는 패터닝 방법.

**청구항 20**

제 18 항에 있어서,

상기 제 1 레지스트 패턴을 트리밍하는 공정과 상기 제 2 레지스트 패턴을 트리밍하는 공정 중 적어도 하나에서, 산소 함유 가스 플라즈마 및 오존 가스 중 어느 하나를 이용하여 레지스트 패턴을 트리밍하는 패터닝 방법.

**청구항 21**

제 15 항에 있어서,

상기 유기 실리콘이 아미노실란인 패터닝 방법.

**청구항 22**

제 21 항에 있어서,

상기 아미노실란이 1 가 또는 2 개의 아미노실란인 패터닝 방법.

**청구항 23**

제 22 항에 있어서,

상기 1 가 또는 2 개의 아미노실란이,

BTBAS(비스터셔리부틸아미노실란),

BDMAS(비스디메틸아미노실란),

BDEAS(비스디에틸아미노실란),

DMAS(디메틸아미노실란),

DEAS(디에틸아미노실란),

DPAS(디프로필아미노실란),

BAS(부틸아미노실란),

DIPAS(디이소프로필아미노실란) 및

BEMAS(비스에틸메틸아미노실란)

으로부터 선택된 적어도 하나인 패터닝 방법.

**청구항 24**

삭제

**청구항 25**

제 15 항에 있어서,

상기 산소 함유 가스 플라즈마는, O<sub>2</sub> 가스, NO 가스, N<sub>2</sub>O 가스, H<sub>2</sub>O 가스, O<sub>3</sub> 가스 중 적어도 어느 하나인 패터닝 방법.

**청구항 26**

제 15 항에 있어서,

상기 실리콘 산화막은 진공 유지 가능한 처리 용기 내에서 형성되고, 상기 제 1 가스를 상기 처리 용기 내로 공급하는 공정과, 상기 제 2 가스를 상기 처리 용기 내로 공급하는 공정을 교대로 실시하여 형성하는 패터닝 방법.

**청구항 27**

제 26 항에 있어서,

상기 제 1 가스를 상기 처리 용기 내로 공급하는 공정과, 상기 제 2 가스를 상기 처리 용기 내로 공급하는 공정과의 사이에, 상기 처리 용기 내에 잔류하고 있는 가스를 배출하는 공정을 더 구비하는 패터닝 방법.

**청구항 28**

제 27 항에 있어서,

상기 처리 용기 내에 잔류하고 있는 가스를 배출하는 공정에서, 상기 처리 용기 내가 진공 배기되면서 상기 처리 용기 내로 퍼지 가스가 도입되는 패터닝 방법.

**청구항 29**

제 15 항에 있어서,

상기 실리콘 산화막을 형성할 때의 성막 온도가 상기 레지스트막의 내열 온도 이하인 패터닝 방법.

**청구항 30**

제 15 항에 있어서,

상기 실리콘 산화막을 형성할 때의 성막 온도가 실온인 것인 패터닝 방법.

**명세서**

**기술분야**

[0001] 본 발명은, 반도체 프로세스에 이용되고, 노광 장치의 해상 한계 이하의 패턴을 형성하는 패터닝 방법에 관한 것이다.

**배경기술**

[0002] 반도체 디바이스의 고집적도화에 따라, 제조 프로세스에 요구되는 배선펍 또는 분리폭은 미세화되고 있다. 일반적으로, 미세 패턴은 포토리소그래피 기술을 이용하여 레지스트 패턴을 형성하고, 해당 레지스트 패턴을 에칭 마스크로 이용하여 하지(下地)의 각종 박막을 에칭함으로써 형성된다.

[0003] 미세 패턴을 형성하기 위해서는 포토리소그래피 기술이 중요하지만, 최근의 반도체 디바이스의 미세화는 포토리소그래피 기술의 해상 한계 이하의 치수를 요구하는 데에까지 이르렀다.

[0004] 해상 한계 이하의 패턴을 형성하는 기술은, 예를 들면, 특허 문헌 1에 기재되어 있다.

[0005] 특허 문헌 1은, 제 1 감광막 패턴(이하, 제 1 레지스트 패턴이라고 함)을 형성하고, 해당 제 1 레지스트 패턴을 베이킹(bake)한 후, 해당 제 1 레지스트 패턴 상에 산화막을 형성한다. 그 후, 제 1 레지스트 패턴끼리의 중간에 제 2 감광막 패턴(이하, 제 2 레지스트 패턴이라고 함)을 형성하고, 제 1 레지스트 패턴 및 제 2 레지스트 패턴을 에칭 마스크로 이용하여 하지(下地)의 박막을 에칭하여 미세 패턴을 형성한다.

[0006] 특허 문헌 1에 의하면, 2 개의 노광 마스크를 이용하여 미세 패턴을 형성하므로, 1 개의 노광 마스크를 이용하여 미세 패턴을 형성하는 경우에 비해 2 배 이상의 분해능을 얻을 수 있다. 이 때문에, 해상 한계 이하의 미세 패턴을 형성할 수 있다.

[0007] 또한, 레지스트 패턴 상에 산화막을 형성하는 기술은, 예를 들면, 특허 문헌 2에 기재되어 있다.

[0008] 특허 문헌 2는, 해상 한계 이하의 미세 패턴을 형성하는 방법은 기재하고 있지 않으나, 레지스트 패턴 상에 산화막을 형성해 뒀으로써, 레지스트 패턴의 박화화 현상을 방지할 수 있고, 형성된 미세 패턴에 스트리레이션

(striation) 또는 위글링(wiggling)이 발생하는 것을 방지할 수 있는 기술이 기재되어 있다.

**선행기술문헌**

**특허문헌**

- [0009] (특허문헌 0001) 특허 문헌 1 : 일본특허공보 제2757983호
- (특허문헌 0002) 특허 문헌 2 : 일본특허공개공보 2004-80033호

**발명의 내용**

**해결하려는 과제**

- [0010] 특허 문헌 1에 의하면, 해상 한계 이하의 미세 패턴을 형성할 수 있다. 그러나, 미세 패턴의 임계 치수(CD)의 균일성의 요구는 갈수록 점점 커지고 있다. 예를 들면, 제 1 레지스트 패턴 상에 형성하는 산화막의 막 두께 균일성이 양호하지 않으면, 미세 패턴에 대한 양호한 CD 컨트롤이 곤란해진다.
- [0011] 특허 문헌 2는, 예를 들면, 그 단락 [0010]에, 레지스트 패턴에 손상이 발생하지 않도록, 산화막은 상온 ~ 400 °C의 사이의 온도로 형성하는 것이 바람직하다고 하는 것이 기재되고, 이러한 산화막을 실현하는 방법으로서 원자층 퇴적법(ALD)을 개시하고 있다.
- [0012] 그러나, 특허 문헌 2는, ALD보다 더 저온에서, 또한 균일한 막 두께로 산화막을 형성하는 기술에 대해서는 전혀 개시하고 있지 않다.
- [0013] 본 발명은, 해상 한계 이하의 피치를 갖는 미세 패턴의 CD 균일성을, 보다 양호하게 할 수 있는 패터닝 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0014] 상기 과제를 해결하기 위하여, 본 발명의 제 1 태양에 따른 패터닝 방법은, 기판 상에 제 1 막을 형성하는 공정과, 제 1 막 상에 제 1 레지스트막을 형성하는 공정과, 제 1 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 1 레지스트 패턴으로 가공하는 공정과, 유기 실리콘을 포함하는 제 1 가스와 활성화된 산소종을 포함하는 제 2 가스를 해당 기판으로 교대로 공급하여, 제 1 레지스트 패턴 및 제 1 막 상에 실리콘 산화막을 형성하는 공정과, 실리콘 산화막 상에 제 2 레지스트막을 형성하는 공정과, 제 2 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 2 레지스트 패턴으로 가공하는 공정과, 제 1 레지스트 패턴 및 제 2 레지스트 패턴을 마스크로 이용하여 제 1 막을 가공하는 공정을 구비한다.
- [0015] 또한, 본 발명의 제 2 태양에 따른 패터닝 방법은, 기판 상에 제 1 막을 형성하는 공정과, 제 1 막 상에, 제 1 막과는 다른 재료로 구성되는 하드마스크막을 형성하는 공정과, 하드마스크막 상에 제 1 레지스트막을 형성하는 공정과, 제 1 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 1 레지스트 패턴으로 가공하는 공정과, 유기 실리콘을 포함하는 제 1 가스와 활성화된 산소종을 포함하는 제 2 가스를 해당 기판으로 교대로 공급하여, 제 1 레지스트 패턴 및 하드마스크막 상에 실리콘 산화막을 형성하는 공정과, 실리콘 산화막 상에 제 2 레지스트막을 형성하는 공정과, 제 2 레지스트막을 포토리소그래피에 의하여 소정의 피치를 갖는 제 2 레지스트 패턴으로 가공하는 공정과, 제 1 레지스트 패턴 및 제 2 레지스트 패턴을 마스크로 이용하여 하드마스크막을 가공하는 공정과, 가공된 하드마스크막을 마스크로 이용하여 제 1 막을 가공하는 공정을 구비한다.

**발명의 효과**

- [0016] 본 발명에 의하면, 해상 한계 이하의 피치를 갖는 미세 패턴의 CD 균일성을 보다 양호하게 할 수 있는 패터닝 방법을 제공할 수 있다.

**도면의 간단한 설명**

- [0017] 도 1은 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 2는 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.



- 도 3은 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 4는 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 5는 본 발명의 제 1 실시예에 따른 미세 패턴 형성 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 6은 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 7은 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 8은 본 발명의 제 1 실시예에 따른 패터닝 방법에 사용되는 성막 장치의 일예를 도시한 종단면도이다.
- 도 9는 실리콘 산화막(104)을 형성하기 위한 성막 장치의 일예를 도시한 횡단면도이다.
- 도 10은 실리콘 산화막(104)을 형성하기 위한 성막 방법에서의 가스의 공급 타이밍을 도시한 타이밍 차트이다.
- 도 11은 실리콘 산화막의 성막 방법을 실시할 때의 반응을 설명하기 위한 모식도이다.
- 도 12는 O<sub>2</sub> 가스 플라즈마를 이용하여 성막한 경우와 O<sub>3</sub> 가스를 이용하여 성막한 경우에서 불순물량을 비교한 도면이다.
- 도 13은 본 발명의 제 2 실시예에 따른 패터닝 방법의 주요 제조 공정을 도시한 단면도이다.
- 도 14는 본 발명의 제 2 실시예에 따른 패터닝 방법에 사용되는 성막 장치의 일예를 도시한 종단면도이다.
- 도 15는 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 16은 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 17은 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 18은 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 19는 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 20은 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 21은 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 22는 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 23은 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24a는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24b는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24c는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24d는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24e는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24f는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24g는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24h는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 24i는 본 발명의 제 4 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- 도 25a는 제 1 내지 제 3 실시예에 따른 패터닝 방법에 이어서 실시할 수 있는 반도체 장치의 제조 방법을 설명하기 위한 단면도이다.
- 도 25b는 제 1 내지 제 3 실시예에 따른 패터닝 방법에 이어서 실시할 수 있는 반도체 장치의 제조 방법을 설명하기 위한 단면도이다.
- 도 26a는 제 1 내지 제 3 실시예에 따른 패터닝 방법에 이어서 실시할 수 있는 반도체 장치의 제조 방법을 설명하기 위한 단면도이다.

도 26b는 제 1 내지 제 3 실시예에 따른 패터닝 방법에 이어서 실시할 수 있는 반도체 장치의 제조 방법을 설명하기 위한 단면도이다.

도 27은 제 1 내지 제 3 실시예에 따른 패터닝 방법을 이용하여 제조할 수 있는 반도체 장치의 일예를 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하, 첨부 도면을 참조하여 본 발명의 실시예에 대하여 구체적으로 설명한다.
- [0019] (제 1 실시예)
- [0020] 도 1 내지 도 7은, 본 발명의 제 1 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- [0021] 제 1 실시예는, 본 발명에 따른 패터닝 방법의 기본적인 프로세스 순서를 예시하는 것이다.
- [0022] 우선, 도 1에 도시한 바와 같이, 반도체 기판(101) 상에 박막(102)을 형성한다. 본 명세서에서는, 반도체 기판(101)은, 반도체, 예를 들면 실리콘 기판만을 도시한 것이 아니라, 반도체 기판 내 또는 반도체 기판 상에 형성된 반도체 소자 또는 집적 회로 패턴에 대응한 도전막, 이들을 절연하는 층간 절연막이 형성된 구조체를 포함한다. 박막(102)은 후에 미세 패턴으로 가공되는 막이며, SiN 또는 SiO<sub>2</sub>의 절연막이어도 좋고 도전성 폴리실리콘과 같은 도전막이어도 좋다. 본 실시예에서는, 일례로서 박막(102)을 SiN으로 한다. 이어서, 박막(102) 상에 반사 방지 재료를 도포하고, 반사 방지막(BARC)(200)을 형성한다.
- [0023] 이어서, 도 2에 도시한 바와 같이, 반사 방지막(200) 상에 포토레지스트를 도포하고, 포토레지스트막을 형성한다. 이어서, 포토리소그래피 기술을 이용하여, 포토레지스트막을 소정의 피치(p1)를 갖는 레지스트 패턴(103)으로 가공한다. 본 실시예에서는, 레지스트 패턴(103)은 라인?앤드?스페이스(line-and-space) 패턴을 가지고, 소정의 피치(p1)는 노광 장치의 해상 한계 정도로 한다.
- [0024] 이어서, 도 3에 도시한 바와 같이, 레지스트 패턴(103)을 트리밍하고, 트리밍된 레지스트 패턴(103')을 얻는다(본 명세서에서는, 제 1 회 트리밍 처리라고 함). 트리밍 처리는, 예를 들면 산소 래디컬 또는 오존 가스를 포함하는 분위기 중에서 실온 ~ 100℃의 온도에서 행해진다.
- [0025] 이어서, 도 4에 도시한 바와 같이, 트리밍된 레지스트 패턴(103') 및 반사 방지막(200) 상에, 박막(102), 반사 방지막(200) 및 레지스트 패턴(103')과는 다른 실리콘 산화막(104)을 형성한다. 실리콘 산화막(104)은, 후에 행해지는 2 회째의 포토리소그래피 공정으로부터 레지스트 패턴(103')을 보호하기 위하여 형성된다. 본 명세서에서는, 이러한 실리콘 산화막(104)의 형성을 하드닝 처리라고 한다. 본 실시예에서는, 하드닝 처리를, 유기 실리콘을 포함하는 소스 가스와 플라즈마에 의하여 활성화(여기)된, 산소 래디컬 등의 산소종을 포함하는 가스를 교대로 공급하면서, 트리밍된 레지스트 패턴(103') 및 반사 방지막(200) 상에 실리콘 산화막(104)을 형성한다.
- [0026] 이어서, 도 5에 도시한 바와 같이, 실리콘 산화막(104) 상에 포토레지스트를 도포하고, 포토레지스트막을 형성한다. 이어서, 포토리소그래피 기술을 이용하여, 포토레지스트막을 소정의 피치(p2)를 갖는 레지스트 패턴(105)으로 가공한다. 본 실시예에서는, 레지스트 패턴(105)은 트리밍된 레지스트 패턴(103')과 마찬가지로, 라인?앤드?스페이스 패턴을 가지고 있다. 또한, 레지스트 패턴(105)의 소정의 피치(p2)는 노광 장치의 해상 한계 정도로 한다. 또한, 본 실시예의 레지스트 패턴(105)은 트리밍된 레지스트 패턴(103') 사이에 배치되고, 레지스트 패턴(103')과 레지스트 패턴(105)이 교대로 배치된다.
- [0027] 이어서, 도 6에 도시한 바와 같이, 레지스트 패턴(105)을 트리밍하고, 트리밍된 레지스트 패턴(105')을 얻는다(본 명세서에서는 제 2 회 트리밍 처리라고 함). 트리밍 처리는, 예를 들어, 산소 래디컬 또는 오존 가스를 포함하는 분위기 중에서, 실온 ~ 100℃의 온도에서 행해질 수 있다. 제 2 회 트리밍 처리에 의하여, 레지스트 패턴(103' 및 105')으로 이루어진 레지스트 패턴이 형성된다. 이 레지스트 패턴은, 패턴(103' 및 105')이 교대로 배치된 패턴이므로, 그 피치(p3)는 피치(p1 및 p2)보다 좁은 피치, 본 실시예에서는 피치(p1 및 p2)의 거의 1/2의 피치가 된다. 이와 같이, 따로따로 형성된 레지스트 패턴(103' 및 105')을 교대로 배치함으로써, 해상 한계 이하의 피치를 갖는 레지스트 패턴을 형성할 수 있다.
- [0028] 이어서, 도 7에 도시한 바와 같이, 레지스트 패턴(103' 및 105')을 에칭 마스크로 이용하여, 반사 방지막(200), 실리콘 산화막(104) 및 박막(102)을 에칭하고, 박막(102)을 원하는 미세 패턴으로 가공한다. 가공된 박막(102)의 피치(p4)는 레지스트 패턴(103' 및 105')의 피치(p3)와 거의 동일해지므로, 박막(102)으로 이루어진 미세 패턴의 피치(p4)는 해상 한계 이하로 할 수 있다. 이와 같이 하여, 제 1 실시예에서는 해상 한계 이하

의 피치를 갖는 미세 패턴을 형성할 수 있다.

- [0029] 또한, 제 1 실시예에서는 하드닝 처리 시, 유기 실리콘을 포함하는 소스 가스와, 플라즈마에 의하여 여기된 산소 래디칼 등의 산소종을 포함하는 가스를 교대로 공급하여, 반사 방지막(200) 및 트리밍된 레지스트 패턴(103') 상에 실리콘 산화막(104)을 형성함으로써, 해상 한계 이하의 피치를 갖는 미세 패턴의 CD 균일성을 보다 양호하게 할 수 있다. 이 성막에 대하여 이하 자세하게 설명한다.
- [0030] 도 8은 실리콘 산화막(104)의 성막에 사용되는 성막 장치의 일예를 도시한 종단면도, 도 9는 도 8의 성막 장치를 도시한 횡단면도, 도 10은 본 실시예에서의 가스의 공급 타이밍을 도시한 타이밍 차트이다. 또한, 도 9에서는 가열 장치를 생략하고 있다.
- [0031] 도 8 및 도 9에 도시한 바와 같이, 성막 장치(80)는 하단이 개구된 천장이 있는 원통체 형상의 처리 용기(1)를 가지고 있다. 이 처리 용기(1)의 전체는, 예를 들면 석영에 의하여 형성되어 있고, 이 처리 용기(1) 내의 천장에는 석영제의 천장판(2)이 설치되어 봉지되어 있다. 또한, 이 처리 용기(1)의 하단 개구부에는, 예를 들면 스테인레스 스틸에 의하여 원통체 형상으로 성형된 매니폴드(3)가 O 링 등의 씰 부재(4)를 거쳐 연결되어 있다.
- [0032] 상기 매니폴드(3)는, 처리 용기(1)의 하단을 지지하고 있으며, 이 매니폴드(3)의 하방으로부터 피처리체로서 다수 매, 예를 들면 50 ~ 100 매의 반도체 웨이퍼(W)를 다단으로 재치할 수 있는 석영제의 웨이퍼 보트(5)가 처리 용기(1) 내에 삽입할 수 있게 되어 있다. 이 웨이퍼 보트(5)는 3 개의 지지 기둥(6)을 갖고(도 9 참조), 지지 기둥(6)에 형성된 홈에 의해 다수 매의 웨이퍼(W)가 지지되도록 되어 있다.
- [0033] 이 웨이퍼 보트(5)는 석영제의 보온통(7) 상에 재치되어 있으며, 보온통(7)은 테이블(8) 상에 재치되어 있다. 테이블(8)은 매니폴드(3)의 하단 개구부를 개폐하는, 예를 들면 스테인레스 스틸제의 덮개부(9)를 관통하는 회전축(10) 상에 지지된다.
- [0034] 그리고, 이 회전축(10)의 관통부에는, 예를 들면 자성 유체 씰(11)이 설치되어 있으며, 회전축(10)을 기밀하게 씰링하면서 회전 가능하게 지지하고 있다. 또한, 덮개부(9)의 주변부와 매니폴드(3)의 하단부와의 사이에는, 예를 들면, O 링으로 이루어지는 씰 부재(12)가 개재되어 있으며, 이에 의해 처리 용기(1) 내의 씰성을 유지하고 있다.
- [0035] 상기의 회전축(10)은, 예를 들면 보트 엘리베이터 등의 승강 기구(도시하지 않음)에 지지된 암(13)의 선단에 설치되어 있으며, 웨이퍼 보트(5) 및 덮개부(9) 등은 일체적으로 상승되어 처리 용기(1) 내에 삽입되고, 강하되어 처리 용기(1)로부터 취출된다. 또한, 상기 테이블(8)을 상기 덮개부(9) 측에 고정하여 설치하고, 웨이퍼 보트(5)를 회전시키지 않고 웨이퍼(W)의 처리를 행하여도 좋다.
- [0036] 또한, 성막 장치(80)는, 처리 용기(1) 내에 산소 함유 가스, 예를 들면 O<sub>2</sub> 가스를 공급하는 산소 함유 가스 공급 기구(14)와, 처리 용기(1) 내에 Si 소스 가스를 공급하는 Si 소스 가스 공급 기구(15)와, 처리 용기(1) 내에 퍼지 가스로서 불활성 가스, 예를 들면 N<sub>2</sub> 가스를 공급하는 퍼지 가스 공급 기구(16)를 가지고 있다.
- [0037] 본 실시예에서는, 실리콘 산화막(104)을 성막하기 위한 Si 소스 가스로서 유기 실리콘을 포함하는 Si 소스 가스를 이용한다. 유기 실리콘을 포함하는 Si 소스 가스의 예는, 아미노실란계 프리커서이다. 아미노실란계 프리커서의 예는, 1 가 또는 2 개의 아미노실란계 프리커서이다. 1 가 또는 2 개의 아미노실란계 프리커서의 구체적인 예는, BTBAS(비스터셔리부틸아미노실란), BDMAS(비스디메틸아미노실란), BDEAS(비스디에틸아미노실란), DMAS(디메틸아미노실란), DEAS(디에틸아미노실란), DPAS(디프로필아미노실란), BAS(부틸아미노실란), DIPAS(디이소프로필아미노실란) 및 BEMAS(비스에틸메틸아미노실란)이다. 또한, 유기 실리콘을 포함하는 Si 소스 가스로서, 상기 열거한 프리커서 중 하나를 이용하여도 좋고, 이들 중 둘 이상을 조합하여 이용해도 좋다.
- [0038] 또한, 아미노실란계 프리커서로서는, 3 개의 아미노실란계 프리커서를 이용할 수도 있다. 3 개의 아미노실란계 프리커서의 예는, TDMAS(트리디메틸아미노실란)이다.
- [0039] 또한, 유기 실리콘을 포함하는 Si 소스 가스로서는, 아미노실란계 프리커서 외에, 에톡시실란계 프리커서를 이용할 수도 있다. 에톡시실란계 프리커서의 예는, 예를 들면 TEOS(테트라에톡시실란)이다.
- [0040] 산소 함유 가스 공급 기구(14)는, 산소 함유 가스 공급원(17)과, 산소 함유 가스 공급원(17)으로부터 산소 함유 가스를 유도하는 산소 함유 가스 배관(18)과, 이 산소 함유 가스 배관(18)에 접속되고, 매니폴드(3)의 측벽을 내측으로 관통하여 상방향으로 굴곡되어 수직으로 연장되는 석영관으로 이루어지는 산소 함유 가스 분산 노즐(19)을 가지고 있다. 이 산소 함유 가스 분산 노즐(19)의 수직 부분에는, 복수의 가스 토출 홀(19a)이 소정의

간격을 두고 형성되어 있으며, 각 가스 토출 홀(19a)로부터 수평 방향으로 처리 용기(1)를 향하여 대략 균일하게 산소 함유 가스, 예를 들면 O<sub>2</sub> 가스를 토출할 수 있도록 되어 있다.

- [0041] 또한, Si 소스 가스 공급 기구(15)는, Si 소스 가스 공급원(20)과, 이 Si 소스 가스 공급원(20)으로부터 Si 소스 가스를 유도하는 Si 소스 가스 배관(21)과, 이 Si 소스 가스 배관(21)에 접속되고, 매니폴드(3)의 측벽을 내측으로 관통하여 상방향으로 굴곡되어 수직으로 연장되는 석영관으로 이루어지는 Si 소스 가스 분산 노즐(22)을 가지고 있다. 여기에서는 Si 소스 가스 분산 노즐(22)은 2 개 설치되어 있으며(도 9 참조), 각 Si 소스 가스 분산 노즐(22)에는 그 길이 방향을 따라 복수의 가스 토출 홀(22a)이 소정의 간격을 두고 형성되어 있으며, 각 가스 토출 홀(22a)로부터 수평 방향으로 처리 용기(1) 내에 대략 균일하게 유기 실리콘을 포함하는 Si 소스 가스를 토출할 수 있도록 되어 있다. 또한, Si 소스 가스 분산 노즐(22)은 1 개뿐이어도 좋다.
- [0042] 또한, 퍼지 가스 공급 기구(16)는, 퍼지 가스 공급원(23)과, 퍼지 가스 공급원(23)으로부터 퍼지 가스를 유도하는 퍼지 가스 배관(24)과, 이 퍼지 가스 배관(24)에 접속되고, 매니폴드(3)의 측벽을 관통하여 설치된 퍼지 가스 노즐(25)을 가지고 있다. 퍼지 가스로서는, 불활성 가스, 예를 들면 N<sub>2</sub> 가스를 적합하게 이용할 수 있다.
- [0043] 산소 함유 가스 배관(18), Si 소스 가스 배관(21), 퍼지 가스 배관(24)에는 각각 개폐 밸브(18a, 21a, 24a) 및 매스플로우 콘트롤러와 같은 유량 제어기(18b, 21b, 24b)가 설치되어 있으며, 산소 함유 가스, Si 소스 가스 및 퍼지 가스를 각각 유량 제어하면서 공급할 수 있다.
- [0044] 이 플라즈마 생성 기구(30)는 플라즈마 구획벽(32)을 갖고 있다. 플라즈마 구획벽(32)은, 처리 용기(1)의 측벽에서의 소정의 폭을 가진 세로로 긴 부분을 제거함으로써, 형성된 가늘고 긴 개구(31)를 외측으로부터 감싸듯이 처리 용기(1)의 외벽에 기밀하게 장착되어 있다. 또한, 플라즈마 구획벽(32)은, 단면 오목부 형상을 이루어 상하로 가늘고 길게 형성되고, 예를 들면 석영으로 형성되어 있다. 또한, 플라즈마 생성 기구(30)는, 이 플라즈마 구획벽(32)의 양측벽의 외면에 상하 방향을 따라 서로 대향하듯이 배치된 가늘고 긴 한 쌍의 플라즈마 전극(33)과, 이 플라즈마 전극(33)에 급전 라인(34)을 거쳐 접속되어 고주파 전력을 공급하는 고주파 전원(35)을 가지고 있다. 그리고, 상기 플라즈마 전극(33)에 고주파 전원(35)으로부터, 예를 들면 13.56 MHz의 고주파 전압을 인가함으로써, 산소 함유 가스의 플라즈마가 발생할 수 있다. 또한, 이 고주파 전압의 주파수는 13.56 MHz에 한정되지 않고, 다른 주파수, 예를 들면 400 kHz 등을 이용하여도 좋다.
- [0045] 상기와 같은 플라즈마 구획벽(32)을 형성함으로써, 처리 용기(1)의 측벽의 일부가 오목부 형상으로 외측으로 함몰되고, 플라즈마 구획벽(32)의 내부 공간이 처리 용기(1)의 내부 공간에 일체적으로 연통된다. 또한, 개구(31)는 웨이퍼 보트(5)에서의 웨이퍼(W)가 유지되는 영역의 세로 방향의 전체에 대응하는 높이를 가지고 있다.
- [0046] 상기 산소 함유 가스 분산 노즐(19)은, 처리 용기(1) 내를 상방향으로 연장되어 가는 도중에, 처리 용기(1)의 반경 방향의 바깥 방향으로 굴곡되고, 상기 플라즈마 구획벽(32) 내의 가장 안쪽 부분(처리 용기(1)의 중심으로부터 가장 멀리 떨어진 부분)을 따라, 상방을 향하여 기립되어 있다. 이 때문에, 가스 토출 홀(19a)로부터 토출된 산소 함유 가스는, 고주파 전원(35)이 온(on) 되어 전극(33) 사이에 생성되는 고주파 전자계에 의하여 플라즈마화되어, 처리 용기(1)의 내부 공간으로 유입된다.
- [0047] 플라즈마 구획벽(32)의 외측에는, 이를 감싸도록, 예를 들면 석영으로 이루어지는 절연 보호 커버(36)가 장착되어 있다. 또한, 이 절연 보호 커버(36)의 내측 부분에는, 도시하지 않은 냉매 통로가 설치되어 있으며, 예를 들면, 냉각된 질소 가스를 흐르게 함으로써 상기 플라즈마 전극(33)을 냉각할 수 있다.
- [0048] 2 개의 Si 소스 가스 분산 노즐(22)은, 처리 용기(1) 내에서 개구(31)의 양측에 위치하도록 기립하고 있으며, 이 Si 소스 가스 분산 노즐(22)에 형성된 복수의 가스 분사 홀(22a)로부터 처리 용기(1)의 내측을 향하여 Si 소스 가스로서 1 분자 내에 1 개 또는 2 개의 아미노기를 갖는 아미노실란 가스를 토출할 수 있도록 되어 있다.
- [0049] 한편, 처리 용기(1)의 개구(31)의 반대측에는, 처리 용기(1) 내를 진공 배기하기 위한 배기구(37)가 설치되어 있다. 이 배기구(37)는 처리 용기(1)의 측벽의 일부를 세로로 길게 제거함으로써 형성되어 있다. 처리 용기(1)의 이 배기구(37)에 대응하는 부분에는, 배기구(37)를 감싸도록 단면 오목부 형상으로 성형된 배기구 커버 부재(38)가 용접에 의하여 설치되어 있다. 이 배기구 커버 부재(38)는, 처리 용기(1)의 측벽을 따라 상방으로 연장되어 있으며, 처리 용기(1)의 상방에 가스 출구(39)를 규정하고 있다. 그리고, 이 가스 출구(39)로부터, 도시하지 않은 진공 펌프 등을 포함하는 진공 배기 기구에 의하여 진공 배기된다. 그리고, 이 처리 용기(1)의 외주를 둘러싸듯이, 이 처리 용기(1) 및 그 내부의 웨이퍼(W)를 가열하는 통체 형상의 가열 장치(40)가 설치되어 있다.
- [0050] 성막 장치(80)의 각 구성부의 제어, 예를 들면 밸브(18a, 21a, 24a)의 개폐에 의한 각 가스의 공급/정지, 매스

플로우 컨트롤러(18b, 21b, 24b)에 의한 가스 유량의 제어, 및 고주파 전원(35)의 온/오프 제어, 가열 장치(40)의 제어 등은, 예를 들면 마이크로 프로세서(컴퓨터)로 이루어진 컨트롤러(50)에 의하여 행해진다. 컨트롤러(50)에는, 공정 관리자가 성막 장치(80)를 관리하기 위하여 커맨드의 입력 조작 등을 행하는 키보드 또는 성막 장치(80)의 가동 상황을 표시하는 디스플레이 등으로 이루어진 유저 인터페이스(51)가 접속되어 있다.

[0051] 또한, 컨트롤러(50)에는, 성막 장치(80)에서 실행되는 각종 처리를 컨트롤러(50)의 제어로 실현하기 위한 제어 프로그램, 또는 처리 조건에 따라 성막 장치(80)의 각 구성부에 처리를 실행시키기 위한 프로그램, 즉, 레시피가 저장된 기억부(52)가 접속되어 있다. 제어 프로그램 또는 레시피는, 기억 매체(52a)에 기억되어 있어도 좋고, 기억 매체(52a)로부터 기억부(52)에 저장된다. 기억 매체(52a)는 하드 디스크 또는 반도체 메모리여도 좋고, CD-ROM, DVD, 플래시 메모리 등의 가반성(可搬性)의 것이어도 좋다. 또한, 제어 프로그램 또는 레시피는, 다른 장치로부터, 예를 들면 전용 회선을 거쳐 다운로드되어 기억부(52)에 기억되게 해도 좋다.

[0052] 그리고, 필요에 따라, 유저 인터페이스(51)로부터의 지시 등으로, 임의의 레시피를 기억부(52)로부터 독출(讀出)하여 컨트롤러(50)에 실행시킴으로써, 컨트롤러(50)의 제어 하에서 성막 장치(80)에서의 원하는 처리가 행해진다.

[0053] 이어서, 이상과 같이 구성된 성막 장치를 이용하여 행해지는 실리콘 산화막(104)의 성막 방법의 일예를, 도 10을 참조하여 설명한다.

[0054] 예를 들면 50 ~ 100 매의 웨이퍼(W)가 탑재된 상태의 웨이퍼 보트(5)를 사전에 소정의 온도로 제어된 처리 용기(1) 내로 그 하방으로부터 상승시킴으로써 로드하고, 덮개부(9)에서 매니폴드(3)의 하단 개구부를 닫음으로써 처리 용기(1) 내를 밀폐 공간으로 한다. 웨이퍼(W)는, 예를 들면 직경 300 mm를 갖고 있어도 좋다.

[0055] 그리고, 처리 용기(1) 내를 소정의 프로세스 압력으로 유지하고, 또한 가열 장치(40)로의 공급 전력을 제어하여, 웨이퍼 온도를 상승시켜 프로세스 온도로 유지하고, 웨이퍼 보트(5)를 회전시킨 상태에서 성막 처리를 개시한다.

[0056] 이 때의 성막 처리의 일예를 도 10에 도시한다. 본 일예는, 유기 실리콘을 포함하는 Si 소스 가스로서, 아미노실란 가스, 예를 들면, BTBAS를 이용한 경우이지만, 다른 아미노실란 가스를 이용한 경우 및 에톡시실란 가스를 이용한 경우에도 마찬가지로 실시할 수 있다.

[0057] 도 10에 도시한 바와 같이, 성막 처리의 일예에서는, 유기 실리콘을 포함하는 Si 소스 가스를 처리 용기(1) 내로 흘려 Si 소스를 흡착시키는 공정(S1)과, 산소 함유 가스를 플라즈마로 여기함으로써 형성된, 산소 래디컬 등의 산소종을 포함하는 가스를 처리 용기(1)에 공급하여, Si 소스 가스를 산화시키는 공정(S2)을 교대로 반복한다. 또한, 본 일예에서는, 이들 공정(S1)과 공정(S2)과의 사이에서 처리 용기(1) 내로부터 처리 용기(1) 내로 잔류하는 가스를 배출하는 공정(S3)을 실시한다.

[0058] 구체적으로는, 본 일예에서는, 공정(S1)에서, Si 소스 가스 공급 기구(15)의 Si 소스 가스 공급원(20)으로부터, Si 소스 가스로서 1 분자 내에 2 개의 아미노기를 갖는 아미노실란 가스, 예를 들면 BTBAS를 Si 소스 가스 배관(21) 및 Si 소스 가스 분산 노즐(22)을 거쳐, 가스 토출 홀(22a)로부터 처리 용기(1) 내로 T1 기간 공급한다. 이에 의해, 웨이퍼(W)에 Si 소스를 흡착시킨다. 이 때의 기간 T1은, 1 ~ 60 sec가 예시된다. 또한, Si 소스 가스의 유량은 10 ~ 500 mL/min(sccm)가 예시된다. 또한, 이 때의 처리 용기(1) 내의 압력은 13.3 ~ 665 Pa가 예시된다.

[0059] 플라즈마에 의하여 생성된, 산소 래디컬 등의 산소종을 포함하는 가스를 공급하는 공정(S2)에서는, 산소 함유 가스 기구(14)의 산소 함유 가스 공급원(17)으로부터, 산소 함유 가스로서, 예를 들면 O<sub>2</sub> 가스를 산소 함유 가스 배관(18) 및 산소 함유 가스 분산 노즐(19)을 거쳐 가스 토출 홀(19a)로부터 토출하고, 이 때, 플라즈마 생성 기구(30)의 고주파 전원(35)을 온(on)으로 하여 고주파 전계를 형성하고, 이 고주파 전계에 의하여 산소 함유 가스, 예를 들면 O<sub>2</sub> 가스를 플라즈마화한다. 그리고, 이와 같이 플라즈마화된 산소 함유 가스를 처리 용기(1) 내로 공급한다. 이에 의해, 웨이퍼(W)에 흡착된 Si 소스가 산화되어 SiO<sub>2</sub>가 형성된다. 이 처리 기간 T2는 5 ~ 300 sec의 범위가 예시된다. 또한, 산소 함유 가스의 유량은 웨이퍼 보트(5)에 유지되는 웨이퍼(W)의 매수에 따라서도 다르지만, 100 ~ 20000 mL/min(sccm)가 예시된다. 또한, 고주파 전원(35)의 주파수는 13.56 MHz여도 좋고, 파워로서는 5 ~ 1000 W여도 좋다. 또한, 이 때의 처리 용기(1) 내의 압력은 13.3 ~ 665 Pa여도 좋다.

[0060] 이 경우에, 산소 함유 가스로서는, O<sub>2</sub> 가스 외에, NO 가스, N<sub>2</sub>O 가스, H<sub>2</sub>O 가스, O<sub>3</sub> 가스를 들 수 있고, 이들을 고주파 전계에 의하여 플라즈마화하여 산화제로서 이용한다. 산화제로서는, 상기의 산소 함유 가스의 플라즈마

에 한정되지 않고, 다른 산소 함유 가스의 플라즈마여도 좋지만, 그 중에서도 O<sub>2</sub> 플라즈마가 바람직하다. 산화제로서, 특히 O<sub>2</sub> 가스 플라즈마 중의, 산소 래디컬을 포함하는 산소종을 이용함으로써, SiO<sub>2</sub> 막의 성막이 300℃ 이하, 나아가 100℃ 이하, 이상적으로는 실온에서도 성막이 가능하다. 또한, 산소 함유 가스로서, 예시한 산소 함유 가스 중 하나를 이용해도 좋고, 둘 이상을 이용해도 좋다.

[0061] 또한, 공정(S1)과 공정(S2)과의 사이에 행해지는 공정(S3)은, 공정(S1) 후 및 공정(S2) 후에 처리 용기(1) 내에 잔류하는 가스를 배기하여, 다음의 공정에서 원하는 반응을 발생시키는 공정이다. 공정(S3)은, 처리 용기(1) 내를 진공 배기하면서 퍼지 가스 공급 기구(16)의 퍼지 가스 공급원(23)으로부터 퍼지 가스 배관(24) 및 퍼지 가스 노즐(25)을 거쳐, 퍼지 가스로서 불활성 가스, 예를 들면 N<sub>2</sub> 가스를 공급함으로써 행해진다. 이 공정(S3)의 기간 T3으로서는 1 ~ 60 sec가 예시된다. 또한, 퍼지 가스 유량으로서는 50 ~ 5000 mL/min(sccm)가 예시된다. 또한, 이 공정(S3)은, 처리 용기(1) 내에 잔류하고 있는 가스를 배기할 수 있다면, 퍼지 가스를 공급하지 않고 모든 가스의 공급을 정지한 상태에서 진공 배기를 계속하여 행해도 좋다. 단, 퍼지 가스를 공급함으로써, 단시간에 처리 용기(1) 내의 잔류 가스를 배출할 수 있다. 또한, 이 때의 처리 용기(1) 내의 압력은 13.3 ~ 665 Pa 여도 좋다.

[0062] 이와 같이 하여, 공정(S1)과 공정(S2)과의 사이에, 처리 용기(1) 내로부터 가스를 제거하는 공정(S3)을 사이에 두고, 교대로 간헐적으로 Si 소스 gas와 산소 래디컬 등의 산소종을 포함하는 O<sub>2</sub> 플라즈마를 반복하여 공급함으로써, SiO<sub>2</sub> 막의 얇은 막을 한 층씩 반복하여 적층하여 소정의 두께로 할 수 있다.

[0063] 이 때의 반응예를 도 11에 도시한다. 도 11에는 반응예가 모식적으로 도시된다. 본 반응예에서는, 일례로서 Si 소스 gas에 BTBAS를 이용한 때를 예시한다.

[0064] 도 11(a)에 도시한 바와 같이, 이미 퇴적된 SiO<sub>2</sub> 막의 표면에는 OH 기가 존재하고 있으며, 거기에 Si 소스로서, 예를 들면 BTBAS가 공급된다. 그리고, Si 소스가 흡착되는 공정(공정(S1))에서는, 도 11(b)에 도시한 바와 같이, BTBAS의 Si가 표면의 OH 기의 산소 원자와 결합하여 트리메틸아미노기를 이탈시킨다. 이 때, 2 개의 아미노기를 갖는 아미노실란인 BTBAS는 OH와의 반응성이 높고, 또한 아미노기는 이러한 Si와 OH 기와의 반응의 구조적인 장애가 되기 어려우므로, Si의 흡착 반응이 신속하게 진행된다. 이 때 이탈한 트리메틸아미노기는 공정(S3)에 의하여 처리 용기(1)로부터 배출된다. 그리고, 다음의 산화 공정(공정(S2))에서는, 도 11(c)에 도시한 바와 같이, 트리메틸아미노기가 이탈된 후의 Si 화합물이, O<sub>2</sub> 가스 플라즈마 중의, 산소 래디컬을 포함하는 산소종에 의하여 산화되어 SiO<sub>2</sub>가 된다(단, 표면에는 H가 흡착하여 OH 기가 형성되어 있음). 이와 같이, O<sub>2</sub> 가스 플라즈마 중의, 산소 래디컬을 포함하는 산소종을 이용한 산화 반응은, 순수한 화학적 반응과 달리 높은 온도가 필요하지 않으므로, 저온에서의 반응이 가능하다.

[0065] BTBAS는 Si 소스 gas로서 이용하는 1 분자 내에 2 개의 아미노기를 갖는 아미노실란 가스이다. 이러한 아미노실란 가스로서는, 상기 BTBAS 외에 BDEAS(비스디에틸아미노실란), BDMAS(비스디메틸아미노실란)를 들 수 있다.

[0066] 또한, Si 소스 gas에는, 1 분자 내에 3 개 이상의 아미노기를 갖는 아미노실란 가스를 이용할 수도 있고, 1 분자 내에 1 개의 아미노기를 갖는 아미노실란 가스를 이용할 수도 있다.

[0067] 제 1 실시예는, Si 소스로서 유기 실리콘을 포함하는 소스 gas를 이용하고, 산화 처리에서 반응이 온도를 상승시키지 않고 진행할 수 있는 O<sub>2</sub> 가스 플라즈마에 포함되는 산소 래디컬을 포함하는 산소종을 이용하고, 이들을 교대로 공급하므로, 양호한 막질의 SiO<sub>2</sub> 막을 100℃ 이하, 나아가 실온이라고 하는 종래에서는 생각할 수 없는 저온 및 높은 성막률로 성막할 수 있다.

[0068] 이와 같이, 본 실시예에서는, 원리적으로 100℃ 이하라고 하는 극저온에서 성막할 수 있으나, 이보다 높은 온도에서도 성막할 수 있다. 단, 성막 온도가 상승함에 따라 막 두께 불균일이 커지는 것과, 레지스트 패턴(103')에 주는 열적인 영향을 고려하면, 성막 온도는 100℃ 이하인 것이 가장 바람직하다.

[0069] 이어서, 제 1 실시예에 기초하여, 실제로 성막한 결과에 대하여 설명한다.

[0070] 우선, 산화제에 대하여 실험을 행하였다. Si 소스 gas로서 BTBAS를 이용하고, 산화 처리에 O<sub>2</sub> 가스 플라즈마를 이용하고, 이들을 교대로 공급함으로써 SiO<sub>2</sub> 막을 성막하였다. 여기서는, 처리 용기 내에 300 mm 웨이퍼를 100 매 삽입하고, 성막 온도를 100℃로 하고, BTBAS의 공급량을 30 mL/min(sccm), 압력을 53 Pa로 하여 공정

(S1)을 30 sec 행하고, O<sub>2</sub> 가스의 공급량을 2000 mL/min(sccm), 압력을 665 Pa, 13.56 MHz의 고주파 파워를 50 W로 하여 공정(S2)을 40 sec 행하고, 이들을 42 사이클 반복하여 SiO<sub>2</sub> 막을 성막한다. 또한, 처리 용기 내를 퍼지(purge)하기 위해, 공정(S1) 전에는 처리 용기 내를 진공 배기하면서 3500 mL/min(sccm)의 유량으로 퍼지 가스로서 N<sub>2</sub> 가스를 7 sec 동안 공급하고, 공정(S2) 전에는 처리 용기 내를 진공 배기하면서 3500 mL/min(sccm)의 유량으로 퍼지 가스로서 N<sub>2</sub> 가스를 6 sec 동안 공급하였다.

[0071] 비교를 위해, 공정(S2)의 산화 처리 시의 산화제로서, O<sub>3</sub> 가스를 플라즈마화하지 않고, 250 g/Nm<sup>3</sup>의 유량으로 공급한 이외에는 상기 조건과 동일하게 하여 SiO<sub>2</sub> 막을 성막하였다.

[0072] 그 결과, 본 발명의 실시예에 기초하여, 산화제로서 O<sub>2</sub> 가스 플라즈마 중의, 산소 래디칼을 포함하는 산소종을 이용한 경우에는, 산소를 래디칼화하지 않는 O<sub>3</sub> 가스를 이용한 경우보다 5 배 정도의 성막률(속도)을 얻을 수 있음이 확인되었다. 또한, O<sub>2</sub> 가스 플라즈마를 이용한 경우에는, 막 두께의 면 내 불균일도 매우 작다는 것도 확인되었다.

[0073] 이어서, 성막 온도에 대하여 실험을 행하였다.

[0074] 여기에서는, Si 소스 가스로서 BTBAS를 이용하고, 산화 처리에 O<sub>2</sub> 가스 플라즈마를 이용하고, 성막 온도 이외에는 상기 실험과 동일하게 하여 성막을 행하였다. 온도는 실온(25℃), 75℃, 100℃, 200℃, 300℃으로 변화시켜 실험을 행하였다.

[0075] 그 결과, 100℃ 이하라고 하는 저온에서도 높은 성막률로 성막할 수 있고, 실온에서도 충분히 실용적인 성막이 가능하다는 것이 확인되었다. 또한, 100℃ 이하, 특히 25℃(실온) ~ 75℃이라고 하는 저온역에서는, 높은 성막률로 균일성이 높은 막 두께를 얻을 수 있음이 확인되었다. 또한, 성막 온도가 300℃를 넘으면 막 두께 불균일이 커지고, 성막 온도는 300℃ 이하가 바람직함이 확인되었다. 특히, 레지스트 패턴 상에 성막하는 경우에는 100℃ 이하가 바람직하다는 것은 전술한 바와 같다.

[0076] 이어서, 하드닝 처리 시의 불순물 농도를 측정하였다.

[0077] 여기에서는, Si 소스 가스로서 BTBAS를 이용하고, 산화 처리에 O<sub>2</sub> 가스 플라즈마를 이용하여 성막한 경우와, O<sub>3</sub> 가스를 이용하여 성막한 경우에, 불순물로서 탄소(C) 및 질소(N)의 농도를 비교해 보았다. 측정은, 2 차 이온 질량 분석(SIMS)을 이용하여 행하였다.

[0078] 그 결과를 도 12에 도시한다. 이 도에 도시한 바와 같이, O<sub>2</sub> 가스 플라즈마를 이용하여 성막한 경우의 탄소(C)의 농도 및 질소(N)의 농도를 각각 “1” 로서 규격화했을 때, O<sub>3</sub> 가스를 이용하여 성막한 경우에는, 탄소(C)의 농도는 20 배, 질소(N)의 농도는 8 배라고 하는 측정 결과를 얻을 수 있었다. 이 결과로부터, 하드닝 처리에, O<sub>2</sub> 가스 플라즈마를 이용하여 성막하는 것이, 불순물의 저감에 효과적임이 확인되었다. 포토레지스트는 일반적으로 암모니아에 약하고, 암모니아의 발생이 포트레지스트 포이즈닝(poisoning)의 한 요인이 된다. 암모니아의 발생을 억제하기 위해서는, 질소(N)의 발생을 억제하는 것이 효과적이다. O<sub>2</sub> 가스 플라즈마를 이용하여 산화 처리하면, 질소(N)의 발생량을 적게 억제할 수 있으므로, 포트레지스트 포이즈닝을 억제할 수 있게 된다. 이는, 하드닝 처리에 유리하다.

[0079] 이와 같이, 제 1 실시예에 의하면, 해상 한계 이하의 피치를 갖는 미세 패턴을 형성할 수 있다. 이와 함께, 실리콘 산화막(104)을, 유기 실리콘을 포함하는 소스 가스와, 플라즈마에 의하여 생성된, 산소 래디칼 등의 산소종을 포함하는 가스를 교대로 공급하여 형성함으로써, 레지스트 패턴(103')의 내열 온도 이하의 매우 낮은 온도로, 또한 막 두께의 제어성도 좋게 형성할 수 있다. 또한, 질소(N)의 발생을 억제하므로, 포토레지스트 포이즈닝을 억제하는 것도 가능해진다. 그 결과, 실리콘 산화막(104)의 막 두께를 분자 레벨에서 제어할 수 있고, CD 제어가 용이하게 되며, CD 균일성의 확보가 양호하게 이루어진다.

[0080] 이와 같이 하여 형성된 박막(102)의 미세 패턴은, 예를 들면 트랜지스터의 게이트 전극 또는 반도체 메모리의 비트선과 같이, 고밀도로 배치되는 집적 회로 패턴에 이용할 수 있다.

[0081] (제 2 실시예)

- [0082] 도 13은, 본 발명의 제 2 실시예에 따른 패터닝 방법의 주요 제조 공정을 도시한 단면도이다.
- [0083] 도 13에 도시한 바와 같이, 제 2 실시예는 제 1 실시예에서 설명한 제 1 회 트리밍 처리와 하드닝 처리를 동일한 성막 장치 내에서 연속 처리하도록 한 것이다(in-situ 처리).
- [0084] 트리밍 처리는 에칭 장치 또는 애싱 장치 등을 이용하여 행하여지고, 이에 대하여 하드닝 처리는 성막 장치를 이용하여 행하여진다. 이 때문에, 일반적으로 트리밍 처리를 끝낸 반도체 기판(웨이퍼)은, 애싱 장치로부터 일단 인출된 후, 성막 장치에 반송된다.
- [0085] 이와 같이, 트리밍 처리 후, 웨이퍼가 장치로부터 인출되므로, 레지스트 패턴(103')의 표면에 먼지 등이 부착될 가능성이 있다. 레지스트 패턴(103')의 표면에 먼지 등이 부착되면, 레지스트 패턴(103') 상에 형성되는 실리콘 산화막(104)에서는 결합 밀도가 증가하고, 또한 그 막 두께의 균일성이 쉽게 악화된다.
- [0086] 이에 대하여, 제 2 실시예에 의하면, 트리밍 처리를 성막 장치에서 행하고, 또한, 트리밍 처리와 하드닝 처리를 동일한 성막 장치 중에서 연속적으로 행한다. 이에 의해, 레지스트 패턴(103')의 표면을 청정하게 유지한 채로, 실리콘 산화막(104)을 성막할 수 있어, 그 결합 밀도를 저감시키고, 또한 막 두께의 균일성을 높일 수 있다고 하는 이점이 발생된다.
- [0087] 또한, 두 처리를 동일 장치 내에서 연속적으로 행함으로써, 반송 또는 대기 시간(Queuing-time)을 저감하여, 생산 효율을 향상시켜 비용을 저감할 수 있다고 하는 효과도 있다.
- [0088] 이 제 2 실시예에 따른 패터닝 방법에 사용되는 성막 장치의 일예를 도 14에 도시한다.
- [0089] 도 14에 도시한 바와 같이, 제 2 실시예에 따른 패터닝 방법에 사용되는 성막 장치(80')의 기본 구성은, 도 8에 도시한 성막 장치(80)와 마찬가지로, 특히 산소 함유 가스 공급 기구(14)와, Si 소스 가스 공급 기구(15)와, 플라즈마 생성 기구(30)를 구비하고 있으므로, 제 1 실시예에서 설명한 실리콘 산화막(104)의 성막과 동일한 성막을 행할 수 있다.
- [0090] 또한, 성막 장치(80')는, 오존 함유 가스 공급 기구(14')를 구비하고 있다. 오존 함유 가스 공급 기구(14')는 오존 함유 가스 공급원(17')을 구비하고, 이 오존 함유 가스 공급원(17')은 유량 제어기(18d) 및 개폐 밸브(18c)를 거쳐, 예를 들면 산소 함유 가스 배관(18)에 접속되어 있다. 이에 의해, 오존 함유 가스를 처리 용기(1) 내로 공급할 수 있다
- [0091] 트리밍 처리 시에는, 오존 함유 가스, 예를 들면 오존 가스를 이용한다. 오존 가스를 이용하여 트리밍 처리할 때에는 플라즈마를 생성하지 않아도 좋다. 이 때문에, 오존 함유 가스는, 예를 들면, 플라즈마 생성 기구(30)에서는 플라즈마 전극(33)에 고주파 전압을 인가하지 않는 상태에서, 분산 노즐(19)을 거쳐 처리 용기(1) 내로 공급하도록 하면 된다.
- [0092] 도 14에 도시한 성막 장치(80')에 의하면, 산소 함유 가스 공급 기구(14), Si 소스 가스 공급 기구(15) 및 플라즈마 생성 기구(30)에, 추가로 오존 함유 가스 공급 기구(14')를 구비하고 있으므로, 처리 용기(1) 내에서 오존 함유 가스를 이용하여 레지스트 패턴(103)을 트리밍 처리한 후, 동일한 처리 용기(1) 내에서 유기 실리콘을 포함하는 소스 가스, 플라즈마에 생성된 산소 래디칼 등의 산소종을 포함하는 가스를 교대로 공급하면서 실리콘 산화막(104)을 성막할 수 있다. 따라서, 레지스트 패턴(103')의 표면을 청정하게 유지한 채로, 제 1 실시예에서 설명한 방법으로 실리콘 산화막(104)을 성막할 수 있고, 제 1 실시예에 비해, 실리콘 산화막(104)의 결합 밀도를 저감시키고, 또한 막 두께의 균일성을 높일 수 있다고 하는 이점이 발생된다.
- [0093] (제 3 실시예)
- [0094] 도 15 내지 도 23은, 본 발명의 제 3 실시예에 따른 패터닝 방법을 주요 제조 공정마다 도시한 단면도이다.
- [0095] 제 3 실시예는, 본 발명에 따른 패터닝 방법을, 실제의 반도체 프로세스에 보다 적합하게 적용할 수 있는 일례를 도시한 것이다.
- [0096] 우선, 도 15에 도시한 바와 같이, 제 1 실시예와 마찬가지로, 반도체 기판(101) 상에, 박막(102), 예를 들면 도전성 실리콘막을 형성한 후, 박막(102) 상에 하드마스크막(106)을 형성한다. 하드마스크막(106)은 박막(102)과 다른 막으로 이루어지고, 또한, 박막(102)에 대하여 에칭 선택비를 실현할 수 있는 막으로 이루어진다. 예를 들면, 박막(102)이 도전성 실리콘막인 경우에는, 하드마스크막(106)에는, 예를 들면 실리콘 질화막 등이 선택된다. 이어서, 하드마스크막(106) 상에 반사 방지막(200)을 형성한다.



- [0097] 이어서, 도 16에 도시한 바와 같이, 반사 방지막(200) 상에 포토레지스트를 도포하고, 포토레지스트막을 형성한다. 이어서, 포토리소그래피 기술을 이용하여, 포토레지스트막을 소정의 피치(p1)를 갖는 레지스트 패턴(103)으로 가공한다. 본 실시예에서는, 제 1 실시예와 마찬가지로, 레지스트 패턴(103)은, 예를 들면 라인?앤드?스페이스 패턴을 가지고, 소정의 피치(p1)로서는 노광 장치의 해상 한계 정도로 한다.
- [0098] 이어서, 도 17에 도시한 바와 같이, 레지스트 패턴(103)을 트리밍하고, 트리밍된 레지스트 패턴(103')을 얻는다(제 1 회 트리밍 처리). 트리밍 처리의 조건은 제 1 실시예와 동일한 조건이면 된다.
- [0099] 이어서, 도 18에 도시한 바와 같이, 트리밍된 레지스트 패턴(103') 및 반사 방지막(200) 상에 실리콘 산화막(104)을 형성한다(하드닝 처리). 제 3 실시예에서도 실리콘 산화막(104)의 형성은 제 1 실시예와 마찬가지로, 유기 실리콘을 포함하는 소스 가스와, 플라즈마에 의하여 생성된, 산소 래디칼 등의 산소종을 포함하는 가스를 교대로 공급하면서 형성된다.
- [0100] 이어서, 도 19에 도시한 바와 같이, 실리콘 산화막(104) 상에 반사 방지막(201)을 형성한다. 이어서, 반사 방지막(201) 상에 포토레지스트를 도포하고, 포토레지스트막을 형성한다. 이어서, 포토리소그래피 기술을 이용하여, 포토레지스트막을 소정의 피치(p2)를 갖는 레지스트 패턴(105)으로 가공한다. 본 실시예에서는, 레지스트 패턴(105)은, 트리밍된 레지스트 패턴(103')과 마찬가지로 라인?앤드?스페이스 패턴을 갖는다. 또한, 레지스트 패턴(105)의 소정의 피치(p2)는 노광 장치의 해상 한계 정도로 한다. 또한, 본 실시예의 레지스트 패턴(105)은 트리밍된 레지스트 패턴(103') 사이에 배치되고, 레지스트 패턴(103')과 레지스트 패턴(105)이 교대로 배치된다.
- [0101] 이어서, 도 20에 도시한 바와 같이, 레지스트 패턴(105)을 트리밍하고, 트리밍된 레지스트 패턴(105')을 얻는다(제 2 회 트리밍 처리). 트리밍 처리의 조건은 제 1 실시예와 동일한 조건이면 된다. 제 2 회 트리밍 처리에 의하여, 레지스트 패턴(103' 및 105')으로 이루어진 레지스트 패턴이 형성되고, 제 1 실시예와 마찬가지로, 해상 한계 이하의 피치를 갖는 레지스트 패턴이 형성된다.
- [0102] 이어서, 도 21에 도시한 바와 같이, 레지스트 패턴(103' 및 105')을 에칭 마스크로 이용하여 반사 방지막(201, 200) 및 실리콘 산화막(104)을 에칭하고, 또한, 도 22에 도시한 바와 같이, 하드마스크막(106)을 에칭한다.
- [0103] 이어서, 도 23에 도시한 바와 같이, 반사 방지막(201, 200), 실리콘 산화막(104), 레지스트 패턴(103' 및 105')을 제거한 후, 하드마스크막(106)을 에칭 마스크로 이용하여 박막(102)을 에칭하고, 박막(102)을 원하는 미세 패턴으로 가공한다. 하드마스크막(106)의 피치(p3')는 레지스트 패턴(103' 및 105')의 피치(p3)와 거의 동일하며, 해상 한계 이하이다. 따라서, 하드마스크막(106)을 에칭 마스크로 이용하여 에칭된 박막(102)의 피치(p4)는 해상 한계 이하가 된다. 이와 같이 하여, 제 3 실시예에서는, 해상 한계 이하의 피치를 갖는 미세 패턴을 형성할 수 있다.
- [0104] 제 3 실시예에서도, 하드닝 처리 시, 유기 실리콘을 포함하는 소스 가스와, 플라즈마에 의해 여기된, 산소 래디칼 등의 산소종을 포함하는 가스를 교대로 공급하여 실리콘 산화막(104)을 형성하므로, 제 1 실시예와 마찬가지로, 해상 한계 이하의 피치를 갖는 미세 패턴의 CD 균일성을 보다 양호하게 할 수 있다.
- [0105] 또한, 제 3 실시예에 의하면, 박막(102)을 하드마스크막(106)을 에칭 마스크로 이용하여 에칭하므로, 레지스트 패턴(103' 및 105')을 에칭 마스크로 이용하여 에칭하는 경우에 비해, 막 두께가 두꺼운 박막(102)을 가공할 수 있다고 하는 이점이 발생된다.
- [0106] 또한, 제 3 실시예는 제 2 실시예와 조합할 수 있으며, 제 1 회 트리밍 처리(도 17 참조)와 하드닝 처리(도 18 참조)를 동일한 성막 장치 중에서 연속 처리할 수 있다. 이 경우에는, 제 2 실시예와 마찬가지로, 레지스트 패턴(103')의 표면을 청정하게 유지한 채로 실리콘 산화막(104)을 성막할 수 있으므로, 실리콘 산화막(104)의 막 두께의 균일성을 보다 높일 수 있게 된다.
- [0107] (제 4 실시예)
- [0108] 도 24a 내지 도 24i는, 본 발명의 제 4 실시예에 따른 패턴링 방법을 주요 제조 공정마다 도시한 단면도이다.
- [0109] 우선, 도 24a에 도시한 바와 같이, 제 1 실시예와 마찬가지로, 반도체 기판(101) 상에 박막(102)을 형성한다. 본 명세서에서는, 반도체 기판(101)은, 반도체, 예를 들면, 실리콘 기판만을 도시한 것이 아니라, 반도체 기판 내, 또는 반도체 기판 상에 형성된 반도체 소자 또는 집적 회로 패턴에 대응한 도전막, 이들을 절연하는 층간

절연막이 형성된 구조체를 포함한다. 박막(102)은, 후에 미세 패턴으로 가공되는 막이며, SiN 또는 SiO<sub>2</sub>의 절연 막이어도 좋고, 도전성 폴리실리콘과 같은 도전막이어도 좋다. 본 실시예에서는, 일례로서 박막(102)을 SiN으로 한다. 이어서, 박막(102) 상에 반사 방지 재료를 도포하고, 반사 방지막(BARC)(200)을 형성한다.

- [0110] 이어서, 도 24b에 도시한 바와 같이, 반사 방지막(200) 상에 포토레지스트를 도포하고, 포토레지스트막을 형성하고, 포토리소그래피 기술을 이용하여 포토레지스트막을 가공하여, 소정의 피치(p1)를 갖는 레지스트 패턴(103)을 얻는다. 본 실시예에서는, 레지스트 패턴(103)은 라인?엔드?스페이스 패턴을 가지고, 소정의 피치(p1)는 노광 장치의 해상 한계 정도로 한다.
- [0111] 이어서, 도 24c에 도시한 바와 같이, 레지스트 패턴(103)을 트리밍하고, 트리밍된 레지스트 패턴(103')을 얻는다(본 명세서에서는 제 1 회 트리밍 처리라고 함). 트리밍 처리는, 예를 들면 산소 래디컬 또는 오존 가스를 포함하는 분위기 중에서, 실온 ~ 100℃의 온도에서 행해진다.
- [0112] 이어서, 도 24d에 도시한 바와 같이, 트리밍된 레지스트 패턴(103') 및 반사 방지막(200) 상에, 박막(102), 반사 방지막(200) 및 레지스트 패턴(103')과는 다른 실리콘 산화막(104)을 형성한다(하드닝 처리). 실리콘 산화막(104)은, 선행하는 실시예와 마찬가지로, 도 8 내지 도 10을 참조하면서 설명한 성막 장치(80) 또는 도 14를 참조하면서 설명한 성막 장치(80')를 이용하여 형성할 수 있다.
- [0113] 이어서, 도 24e에 도시한 바와 같이, 실리콘 산화막(104) 상에 반사 방지 재료를 도포하고, 반사 방지막(BARC)(201)을 형성한다. 반사 방지막(201)의 두께는 그 표면이 거의 평탄하게 되는 정도이며, 이에 의해, 레지스트 패턴(103')에 의하여 발생하는 고저(高低)차가 충분히 저감된다.
- [0114] 이어서, 반사 방지막(201) 상에 포토레지스트를 도포하고, 포토레지스트막을 형성한다. 이 후, 도 24f에 도시한 바와 같이, 포토리소그래피 기술에 의하여 포토레지스트막을 가공하여, 소정의 피치(p2)를 갖는 레지스트 패턴(105)을 형성한다. 본 실시예에서는, 레지스트 패턴(105)은, 트리밍된 레지스트 패턴(103')과 마찬가지로 라인?엔드?스페이스 패턴을 가지고 있다. 또한, 레지스트 패턴(105)의 소정의 피치(p2)는 노광 장치의 해상 한계 정도로 한다. 또한, 본 실시예의 레지스트 패턴(105)은 트리밍된 레지스트 패턴(103') 사이에 배치되고, 레지스트 패턴(103')과 레지스트 패턴(105)이 교대로 배치된다.
- [0115] 이어서, 제 2 회째의 트리밍 처리를 행한다. 즉, 도 24g에 도시한 바와 같이, 레지스트 패턴(105)을 트리밍하고, 트리밍된 레지스트 패턴(105')을 얻는다(도 24h). 이 트리밍 처리는, 예를 들면 산소 래디컬 또는 오존 가스를 포함하는 분위기 중에서, 실온 ~ 100℃의 온도에서 행할 수 있다. 지금까지 설명한 순서에 의하여, 레지스트 패턴(103')과 레지스트 패턴(105')이라고 하는 2 개의 레지스트 패턴이 형성된다. 이들 2 개의 레지스트 패턴(103', 105')은, 후술하는 바와 같이, 실질적으로 하나의 레지스트 패턴으로서 기능한다. 이 레지스트 패턴은, 패턴(103' 및 105')이 교대로 배치된 패턴이므로, 그 피치(p3)는 피치(p1 및 p2)보다 좁은 피치, 본 실시예에서는, 피치(p1 및 p2)의 거의 1/2의 피치가 된다. 이와 같이, 각각 형성된 레지스트 패턴(103' 및 105')을 교대로 배치함으로써, 해상 한계 이하의 피치를 갖는 레지스트 패턴을 형성할 수 있다.
- [0116] 이어서, 도 24i에 도시한 바와 같이, 레지스트 패턴(103' 및 105')을 에칭 마스크로 이용하여, 반사 방지막(201, 200), 실리콘 산화막(104) 및 박막(102)을 에칭하고, 박막(102)을 원하는 미세 패턴으로 가공한다. 가공된 박막(102)의 피치(p4)는, 레지스트 패턴(103' 및 105')의 피치(p3)와 거의 동일해지므로, 박막(102)으로 이루어진 미세 패턴의 피치(p4)는 해상 한계 이하로 할 수 있다. 이와 같이 하여, 제 4 실시예에서는, 해상 한계 이하의 피치를 갖는 미세 패턴을 형성할 수 있다.
- [0117] 또한, 제 4 실시예에 의한 미세 패턴 형성 방법에 의하면, 레지스트 패턴(103')의 보호막으로서의 실리콘 산화막(104) 상에, 표면이 평탄해지는 정도의 두께를 갖는 반사 방지막(201)이 형성되므로, 반사 방지막(201) 상에, 윤곽이 보다 명확한 레지스트 패턴(105(105'))을 형성할 수 있게 된다. 따라서, 레지스트 패턴(103' 및 105')을 마스크 층으로서 이용한 박막(102)의 에칭에서의 에칭 정밀도를 전체적으로 높일 수 있다.
- [0118] 또한, 본 발명은, 상기 실시예에 한정되지 않고, 다양한 변형이 가능하다. 예를 들면, 상기 실시예에서는, 본 발명을 복수의 반도체 웨이퍼를 탑재하여 일괄적으로 성막을 행하는 배치(batch)식의 성막 장치에 적용한 예를 도시하였으나, 이에 한정되지 않고, 1 매의 웨이퍼마다 성막을 행하는 매엽식의 성막 장치에 적용할 수도 있다. 또한, 에톡시실란 가스 및 아미노실란 가스로서는, 상기 실시예에 도시한 것에 한정되지 않는다. 또한, 산화제로서 다양한 산소 함유 가스를 플라즈마화함으로써 생성한 산소 래디컬 등을 도시하였으나, 이에 한정되지 않고, 산소 래디컬 등의 산소종을 생성할 수 있는 한, 어떠한 가스라도 이용할 수 있다. 또한, 상술한 산소종은 플라즈마에 의하지 않고, 다양한 산소 함유 가스에 레이저 광 또는 자외선 광(파장 : 약 350 nm 이하)을 조사하

여 산소 분자 등을 활성화함으로써 생성해도 좋고, 또한, 산소 함유 가스를 열적으로 활성화함으로써 생성해도 좋다.

- [0119] 또한, 상기 실시예에서는, Si 소스 가스와 플라즈마에 의하여 여기된 산소종을 포함하는 가스를 완전히 교대로 공급하였으나, Si 소스 가스를 공급할 때에도, 플라즈마 등에 의해 활성화(여기)된 산소종을 포함하는 가스를 공급하도록 해도 좋다.
- [0120] 또한, 상기의 실시예에서 설명한 패터닝 방법은, 이하의 프로세스를 계속 행함으로써, 반도체 장치를 제조하는 방법으로 발전시킬 수 있다. 즉, 에칭 대상인 박막(102)이, 산화 실리콘, 산질화 실리콘, 질화 실리콘 등의 절연성의 재료로 형성되는 경우, 박막(102)을 에칭하여 미세 패턴을 얻는 단계를 행한 후(도 7, 도 23, 도 24i 참조), 이 에칭에서 에칭 마스크로서 사용한 레지스트 패턴(103', 105') 등을 제거하는 단계를 행하면, 도 25a에 도시한 바와 같이, 반도체 기판(101) 상에 미세 패턴(이하, 편의상 절연막(102a)이라고 함)만이 남는다. 이어서, 절연막(102a)의 간극을, 반도체, 예를 들면 실리콘으로 매립하는 단계와, 매립한 반도체를 평탄화하여 절연막(102a)의 상면을 노출시키는 단계를 행하면, 도 25b에 도시한 바와 같이, 절연막(102a)과 실리콘부(110a)가 교대로 배열되어 형성된다. 이와 같이 하면, 실리콘부(110a)를 소자 영역으로 하고, 절연막(102a)을 소자 분리 영역으로 하는 반도체 장치를 제조할 수 있게 된다. 또한, 절연막(102a)의 간극을 반도체로 매립할 때, 반도체에 소정의 불순물을 첨가하여 전도 제어(전도형 및/또는 전도도의 제어)를 행해도 좋다. 또한, 레지스트 패턴(103', 105') 등을 제거하는 단계를 행하지 않고, 반도체로 매립하는 단계를 행해도 좋다. 이와 같이 해도, 평탄화하는 단계에서 레지스트 패턴(103', 105') 등을 제거할 수 있기 때문이다. 단, 레지스트 패턴(103', 105') 등을 제거하는 편이, 절연막(102a)의 간극을 반도체로 매립할 때에 에스펙트비를 작게할 수 있다는 점에서 바람직하다.
- [0121] 또한, 에칭 대상인 박막(102)이, 반도체, 예를 들면 실리콘으로 형성되는 경우, 박막(102)을 에칭하여 미세 패턴을 얻는 단계를 행한 후(도 7, 도 23, 도 24i 참조), 이 에칭에서 에칭 마스크로서 사용한 레지스트 패턴(103', 105') 등을 제거하는 단계를 행하면, 미세 패턴(이하, 편의상 실리콘막(102b)이라고 함)만이 반도체 기판(101) 상에 남는다. 이어서, 실리콘막(102b)의 간극을, 산화 실리콘, 산질화 실리콘, 질화 실리콘 등의 절연성의 재료로 매립하는 단계와, 매립한 절연성의 재료를 평탄화하여 실리콘막(102b)의 상면을 노출시키는 단계를 행하면, 도 26b에 도시한 바와 같이, 실리콘막(102b)과 절연부(110b)가 교대로 배열되어 형성된다. 이와 같이 하면, 실리콘막(102b)을 소자 영역으로 하고, 절연부(110b)를 소자 분리 영역으로 하는 반도체 장치를 제조할 수 있게 된다. 또한, 박막(102)을 반도체로 형성하는 경우, 사전에, 이온 주입법(Ion Implantation)에 의하여 박막(102)에 소정의 불순물을 첨가하여 전도 제어(전도형 및/또는 전도도의 제어)를 행해도 좋다. 또한, 박막(102)을 CVD 등에 의하여 형성하는 경우에, 소정의 도펀트 가스를 이용하여 불순물을 첨가하여 전도 제어를 행해도 상관없다. 또한, 레지스트 패턴(103', 105') 등을 제거하는 단계를 행하지 않고, 절연성의 재료로 매립하는 단계를 행해도 좋다. 이와 같이 해도, 평탄화하는 단계에서 레지스트 패턴(103', 105') 등을 제거할 수 있기 때문이다. 단, 레지스트 패턴(103', 105') 등을 제거하는 편이, 실리콘막(102b)의 간극을 절연성의 재료로 매립할 때에 에스펙트비를 작게할 수 있다 점에서 바람직하다.
- [0122] 또한, 제 1 내지 제 3 실시예에 따른 패터닝 방법은, 일례로서 도 27에 도시한 반도체 장치의 제조에 이용할 수 있다. 도 27은, 반도체로 형성되고, 제 1 내지 제 3 실시예 중 어느 하나의 패터닝 방법에 의하여 형성된 박막(102)과, 이 박막(102)을 개재하도록 형성된 절연층(GOX)과, 절연층(GOX)에 접하는 전극층(G)을 구비하는, 소위 Fin형 전계 효과 트랜지스터(FET)의 단면도이다. 본 발명의 실시예에 의한 패터닝 방법에 의하면, 포토리소그래피에 이용할 수 있는 노광 장치의 해상 한계 치수보다 좁은 폭을 갖는 박막(102)을 형성할 수 있으므로, Fin형 FET를 미세화할 수 있고, 집적 밀도의 향상이 가능해진다.
- [0123] 또한, 상기 실시예에서는, 플라즈마를 형성하는 기구를 처리 용기에 일체적으로 내장한 예에 대하여 설명하였으나, 이에 한정되지 않으며, 처리 용기와는 별개로 설치하여, 처리 용기의 밖에서 사전에 플라즈마화하여 처리 용기에 도입하는 리모트 플라즈마 장치를 이용하여도 좋다.
- [0124] 또한, 성막 장치(80, 80')의 웨이퍼 보트(5)는, 50 ~ 100 매의 웨이퍼(W)를 탑재할 수 있다고 설명하였으나, 탑재 웨이퍼 매수는 이 범위에 한정되지 않는다. 예를 들면, 성막 장치(80, 80')는 비교적 적은 매수의 웨이퍼, 예를 들면 2 ~ 15 매 정도를 탑재할 수 있는 웨이퍼 보트(5)를 갖고 있어도 좋다. 또한, 성막 장치(80, 80')는 2 ~ 15 매 정도의 비교적 적은 매수의 웨이퍼를 일괄적으로 처리하는 것을 의도한, 이른바 세미?벡치(미니?벡치) 타입의 성막 장치로서 구성해도 좋다.
- [0125] 또한, 피처리체로서는, 반도체 웨이퍼에 한정되지 않고, LCD 글라스 기판 등의 다른 기판에도 본 발명을 적용할

수 있다.

[0126] 또한, 포토레지스트막을 형성하기 전에, 반사 방지막(200, 201)을 형성하였으나, 반사 방지막(200, 201)은 필요에 따라 형성하면 된다.

[0127] 또한, 레지스트 패턴(103 및 105)의 트리밍도 필요에 따라 행하면 좋다.

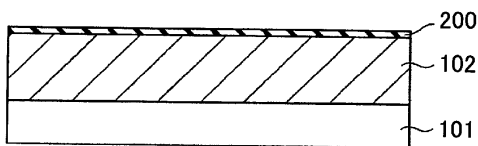
[0128] 본 국제 출원은 2007년 6월 8일에 출원된 일본특허출원 2007-153184호에 기초한 우선권을 주장하는 것이며, 2007-153184호의 전체의 내용을 여기에 원용한다.

**부호의 설명**

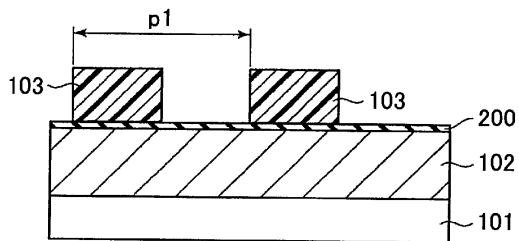
- [0129] 101 : 반도체 기판
- 102 : 박막
- 103 : 포토레지스트 패턴
- 103' : 트리밍된 포토레지스트 패턴
- 104 : 실리콘 산화막
- 105 : 포토레지스트 패턴
- 105' : 트리밍된 포토레지스트 패턴
- 106 : 하드마스크막
- 200, 201 : 반사 방지막

**도면**

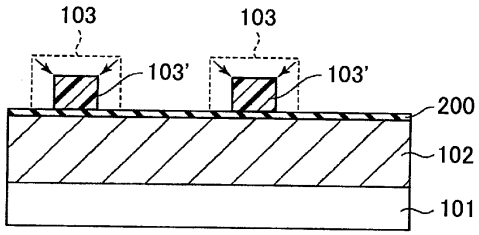
**도면1**



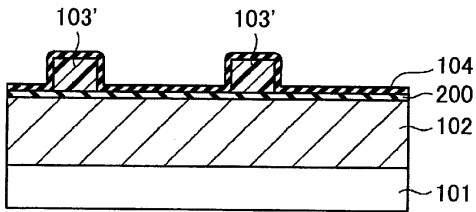
**도면2**



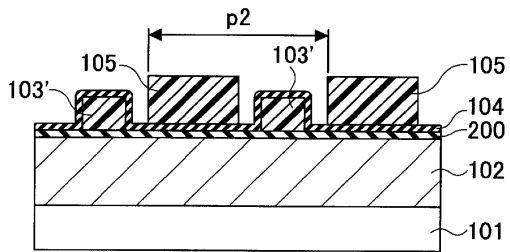
도면3



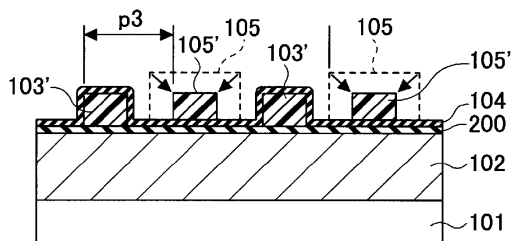
도면4



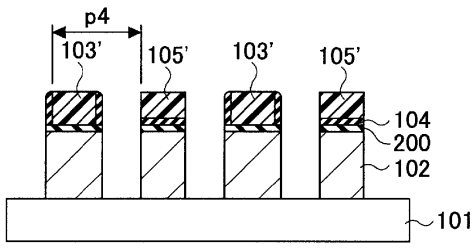
도면5



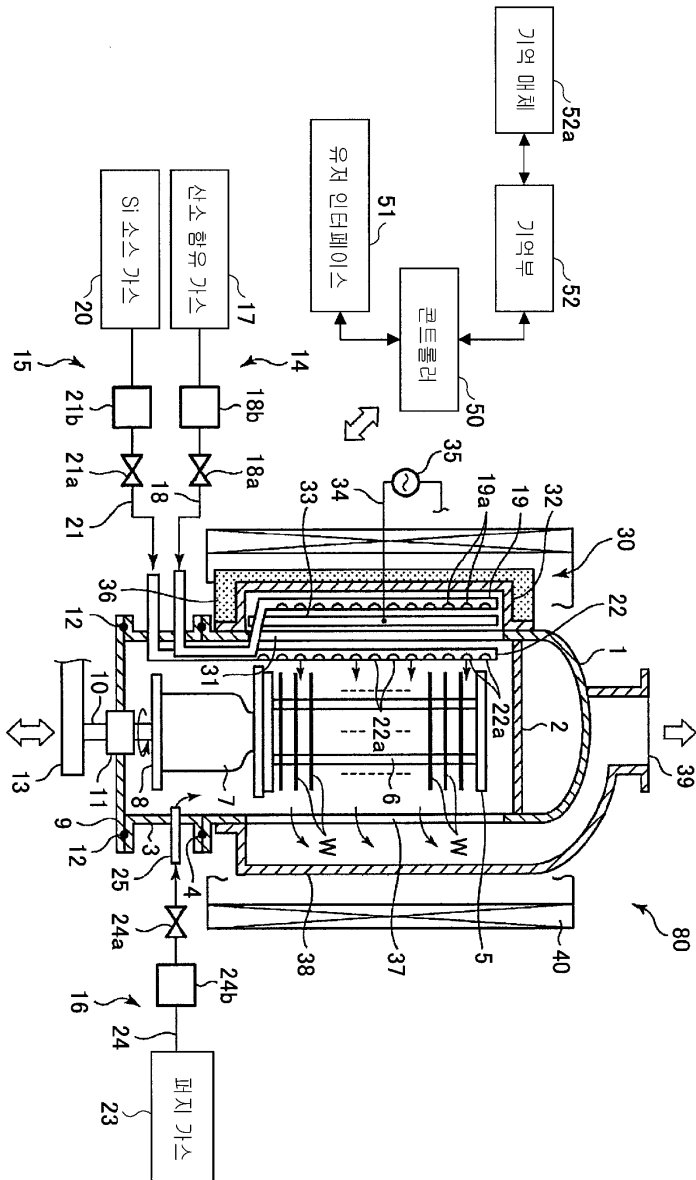
도면6



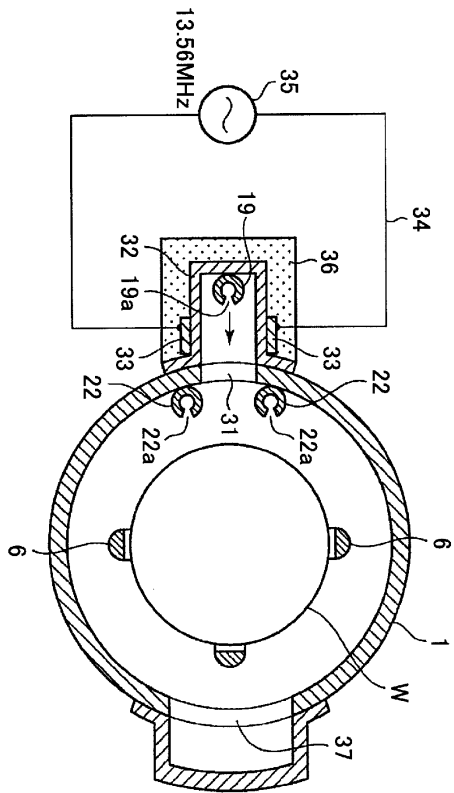
도면7



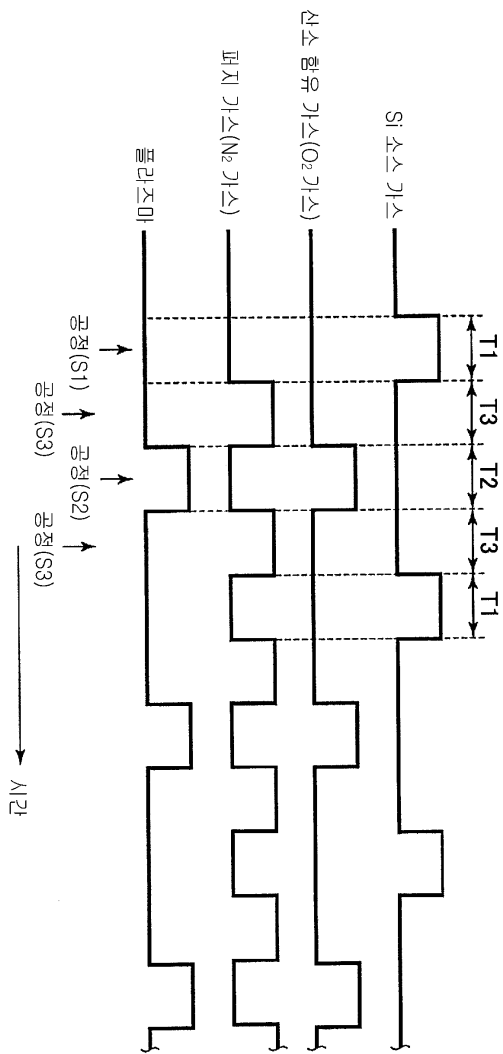
도면8



도면9

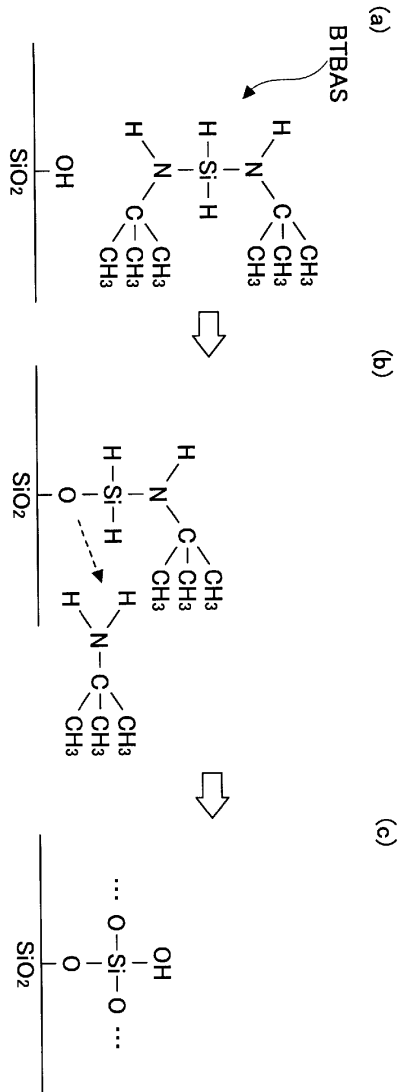


도면10





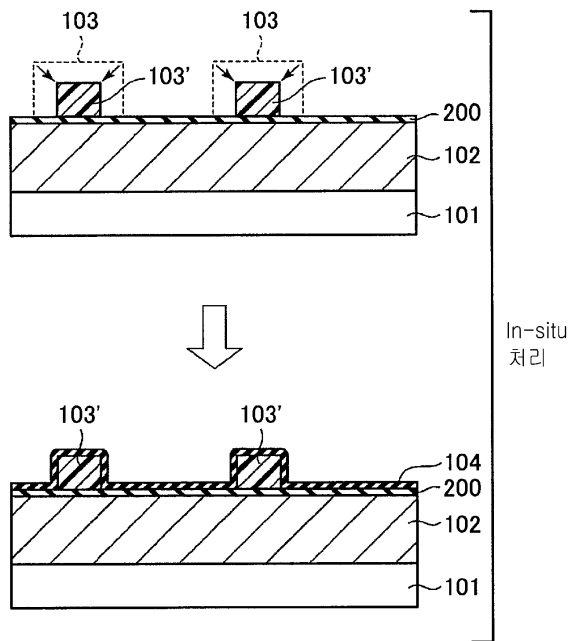
도면11



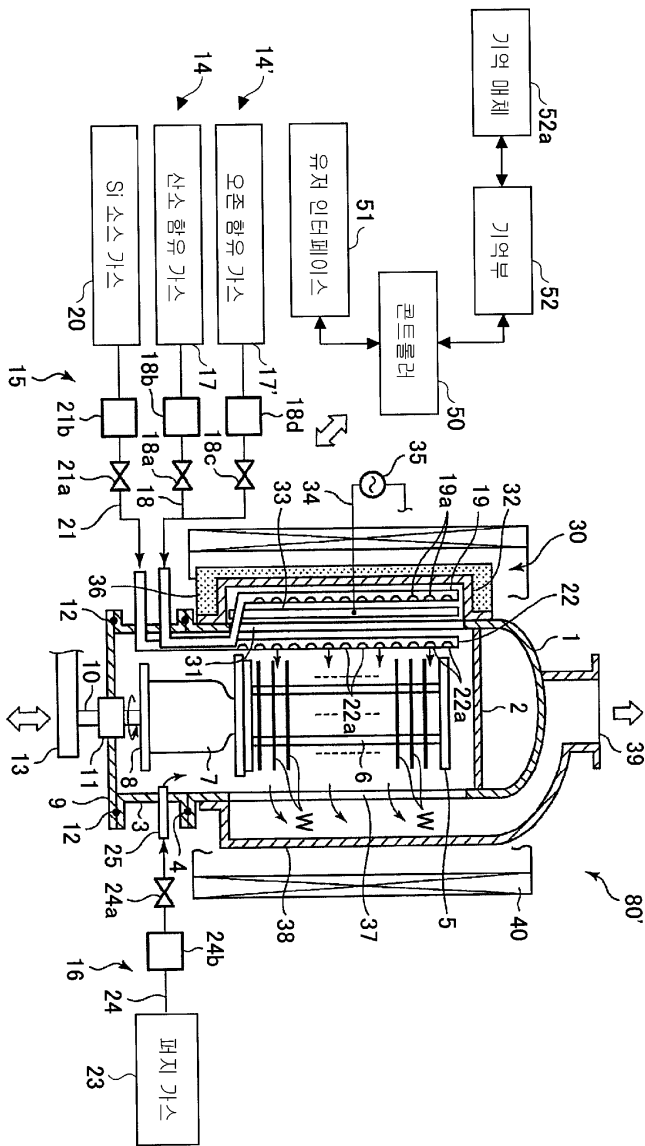
도면12

물순물	O <sub>2</sub> 가스 플라즈마	O <sub>3</sub> 가스
C	1	20
N	1	8

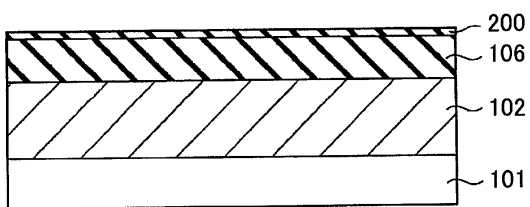
도면13



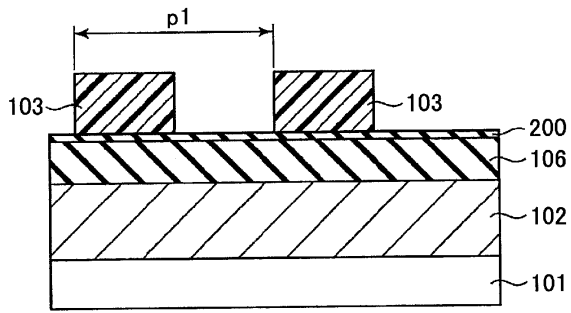
도면14



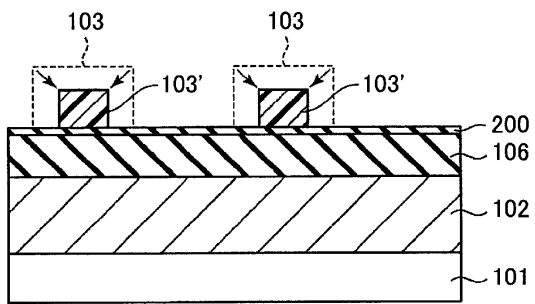
도면15



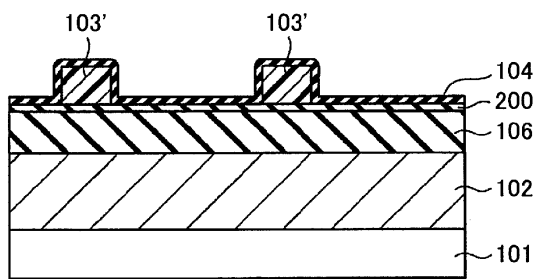
도면16



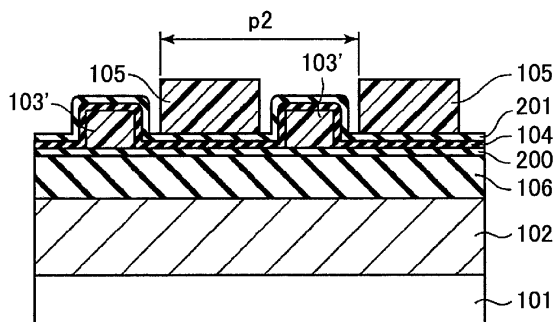
도면17



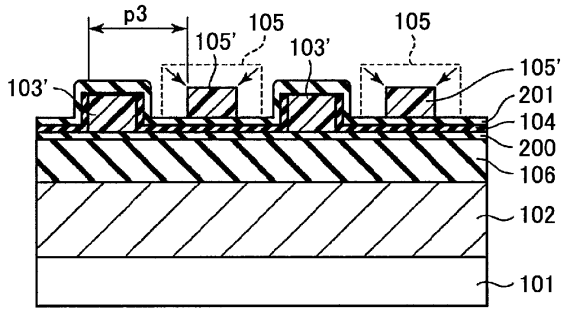
도면18



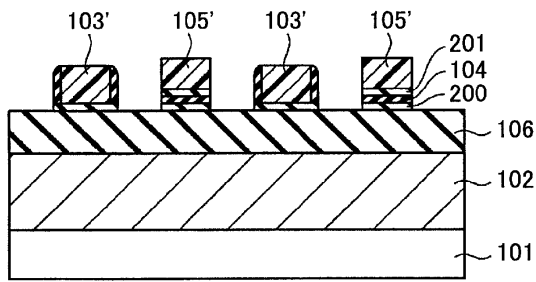
도면19



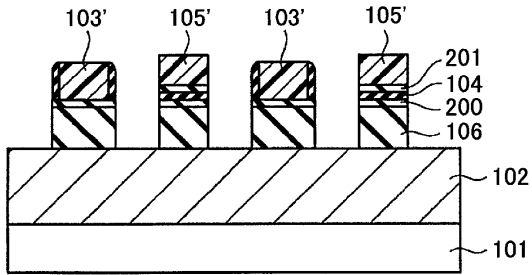
도면20



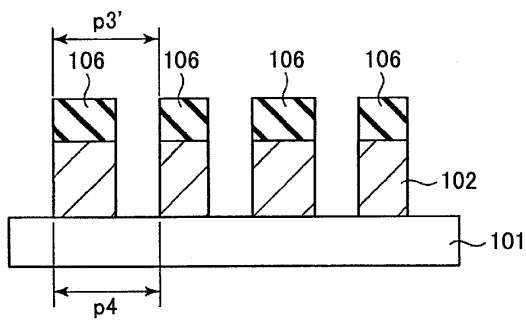
도면21



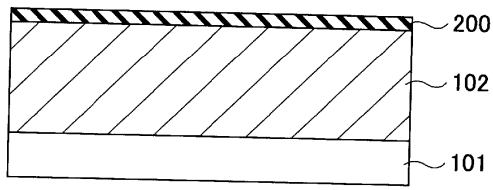
도면22



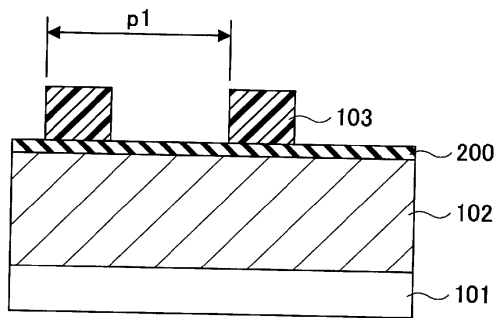
도면23



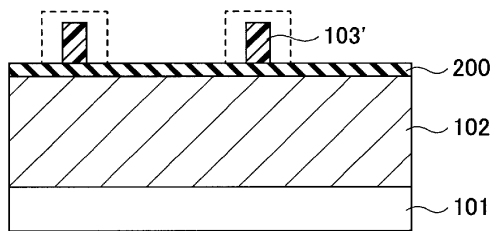
도면24a



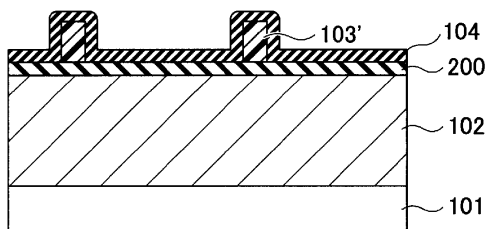
도면24b



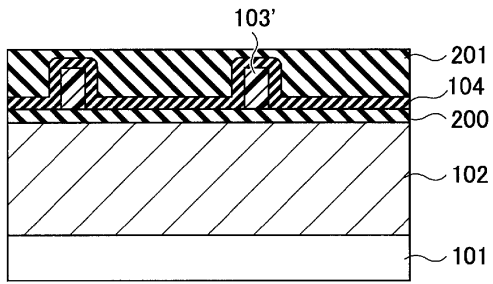
도면24c



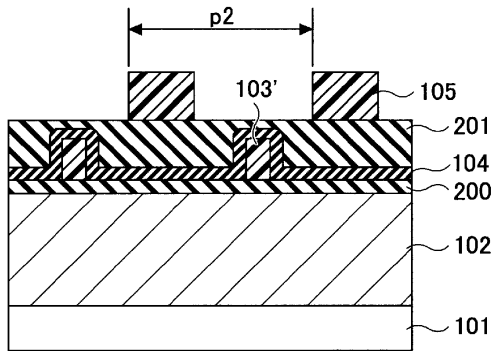
도면24d



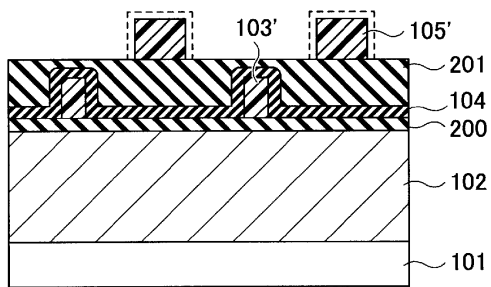
도면24e



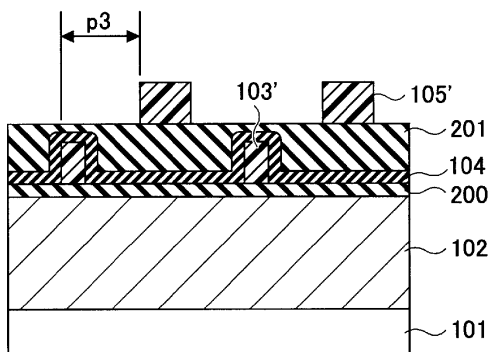
도면24f



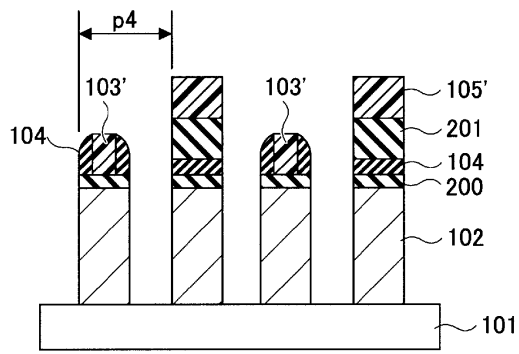
도면24g



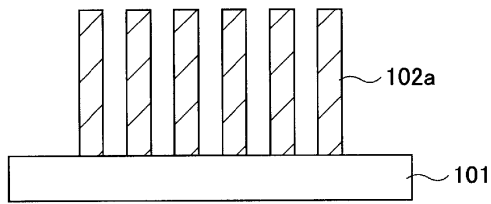
도면24h



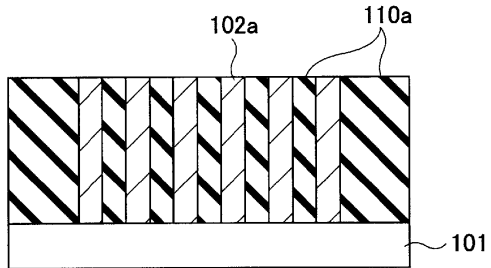
도면24i



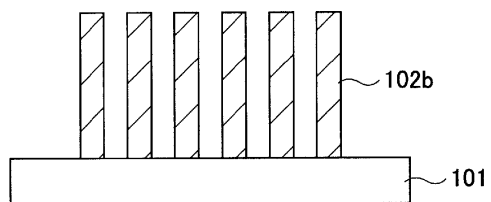
도면25a



도면25b

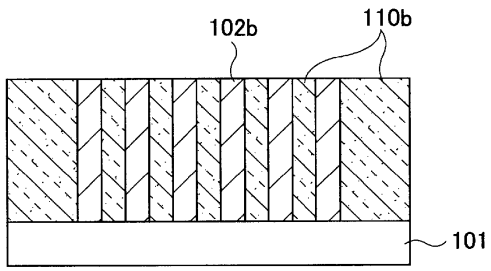


도면26a





도면26b



도면27

